

L'Électronique dans les Expériences

École

Du Détecteur à la Mesure

Fréjus

12-18 mai 2013



Hervé Lebbolo (LPNHE)

herve@lpnhe.in2p3.fr



Participation aux Expériences

- Outer Detector de Delphi (LEP)
 - Trigger et trajectographe
- RD1 : r&d sur calorimètre plomb/fibre scintillante
 - Séparation électrons/pions
- Spacal H1 : calorimètre arrière
 - Réjection des événements hors temps
- DIRC de BABAR
 - Identification de particules, mesure de temps
- Calorimètre de DØ accordéon argon liquide
 - Calibratrion électronique
- HESS2 : astronomie gamma de haute énergie
 - Asic pour trigger

Participation aux Expériences

- R & D international linear collider
 - asic frontal pour détecteur à micropiste de silicium
- LLRF : digital low level radio frequency control
 - Contrôle de l'amplitude et de la phase de la puissance RF dans des cavités accélératrices
- DICE : direct illumination calibration experiment
 - Asic ampli de courant pour photo diode
- LSST : large synoptic survey telescope
 - Asic de lecture de CCD
 - Asic de cadencement et polarisation de CCD
- AUGER : rayons cosmiques de très haute énergie
 - Détection radio

Ref :

http://www.in2p3.fr/actions/formation/DetAMesure-11/cdlt_Oleron11.ppt

L'Électronique dans les expériences

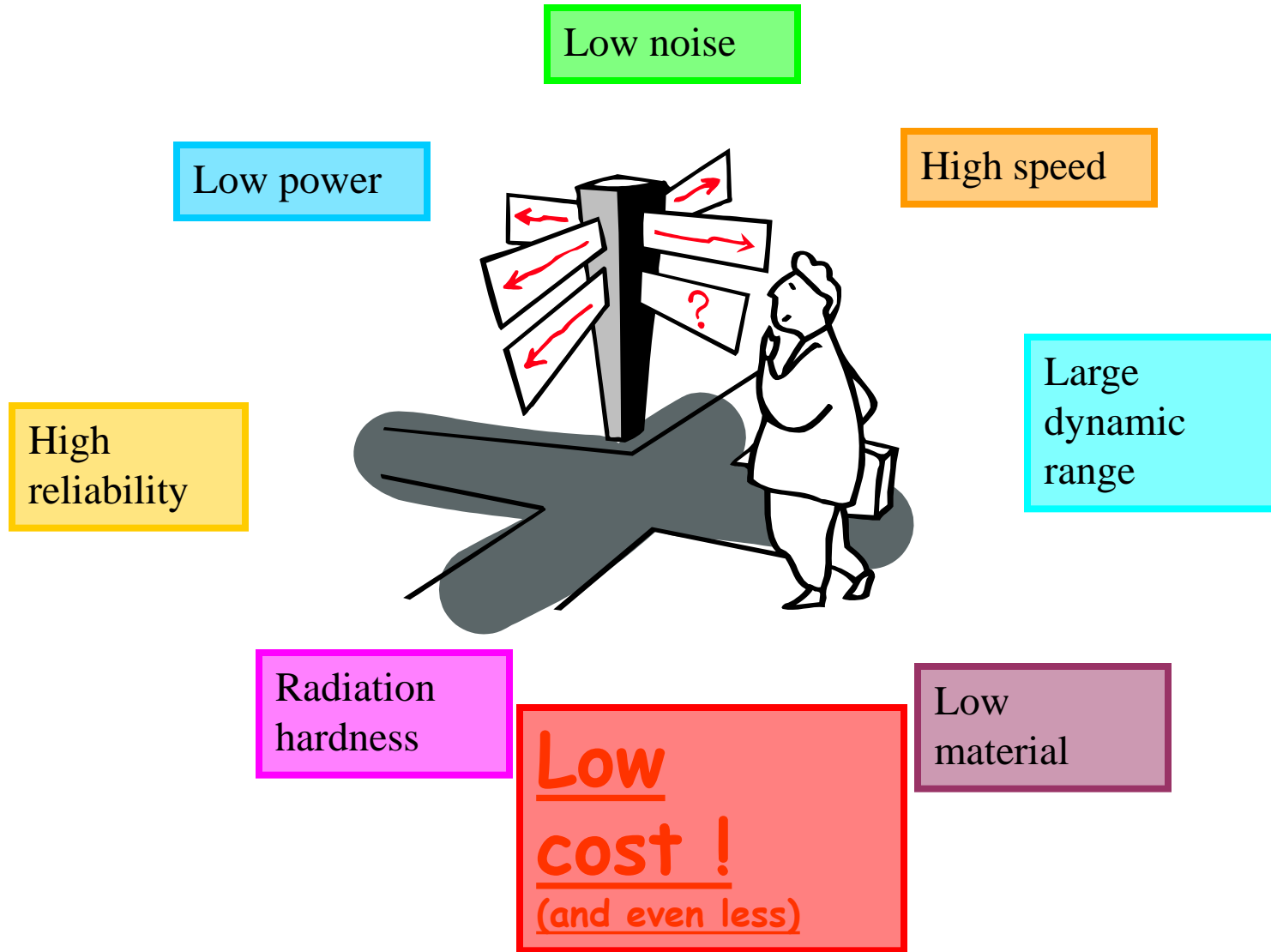
- Pour quoi faire ?
 - Mesures d'énergie
 - Mesure de trajectoires
 - Mesure de temps
 - Contrôle de faisceau
 - Déclenchement



L'Électronique dans les expériences

- Amplification : charge, courant, tension
- Discrimination
- Mesure de temps
- Filtrage : optimisation du rapport signal/bruit
- Stockage pendant la latence du trigger
- Conversion analogique / numérique
- Traitement numérique

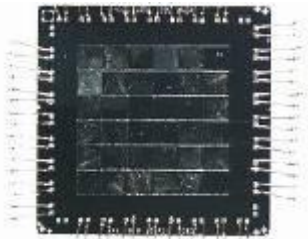
Readout electronics : requirements



Détecteurs

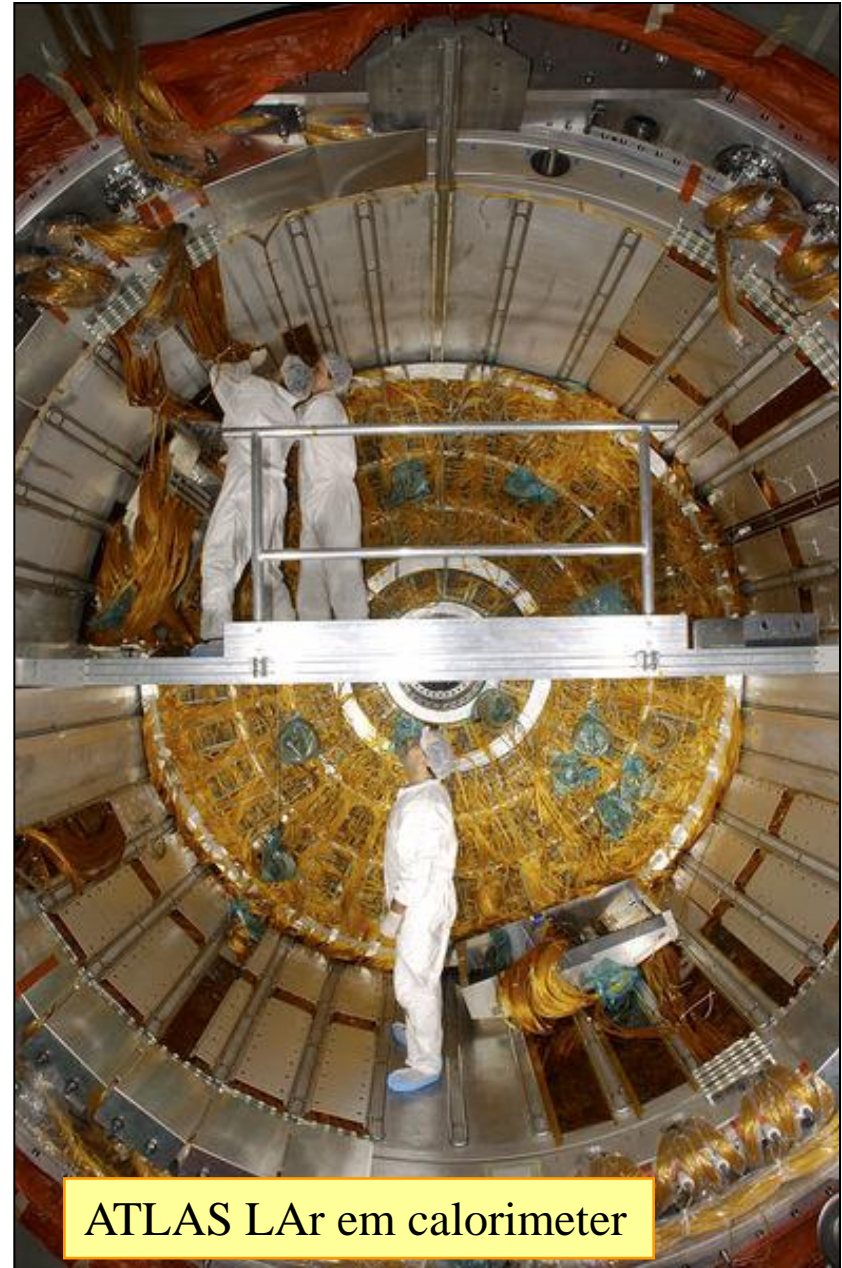
- A large variety
- A similar modelization

PMT for Antares



6x6 pixels, 4x4 mm²
HgTe absorbers, 65 mK
12 eV @ 6 keV

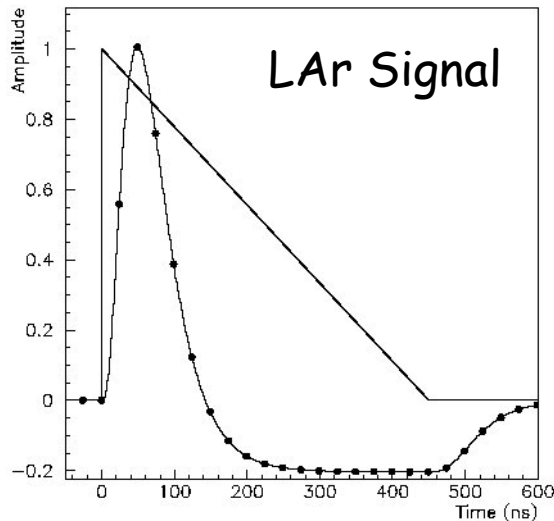
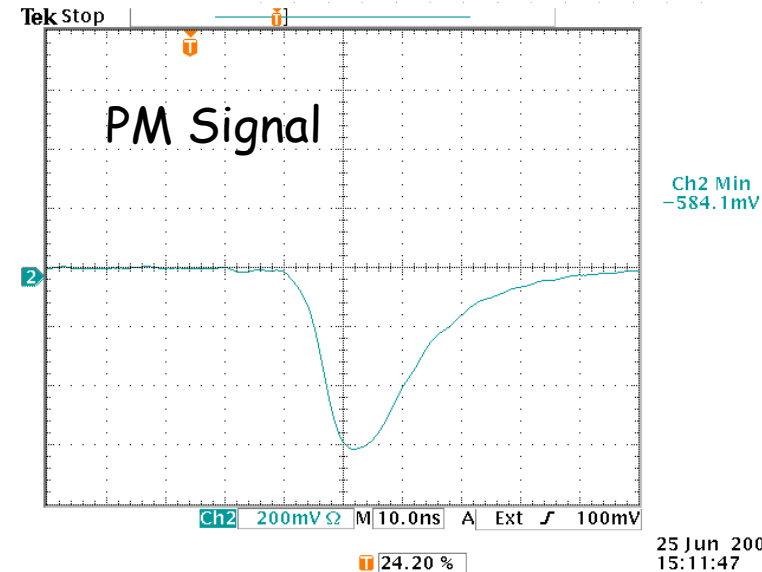
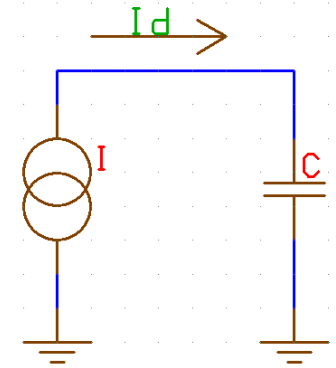
CMS Pixel module



ATLAS LAr em calorimeter

Détecteurs

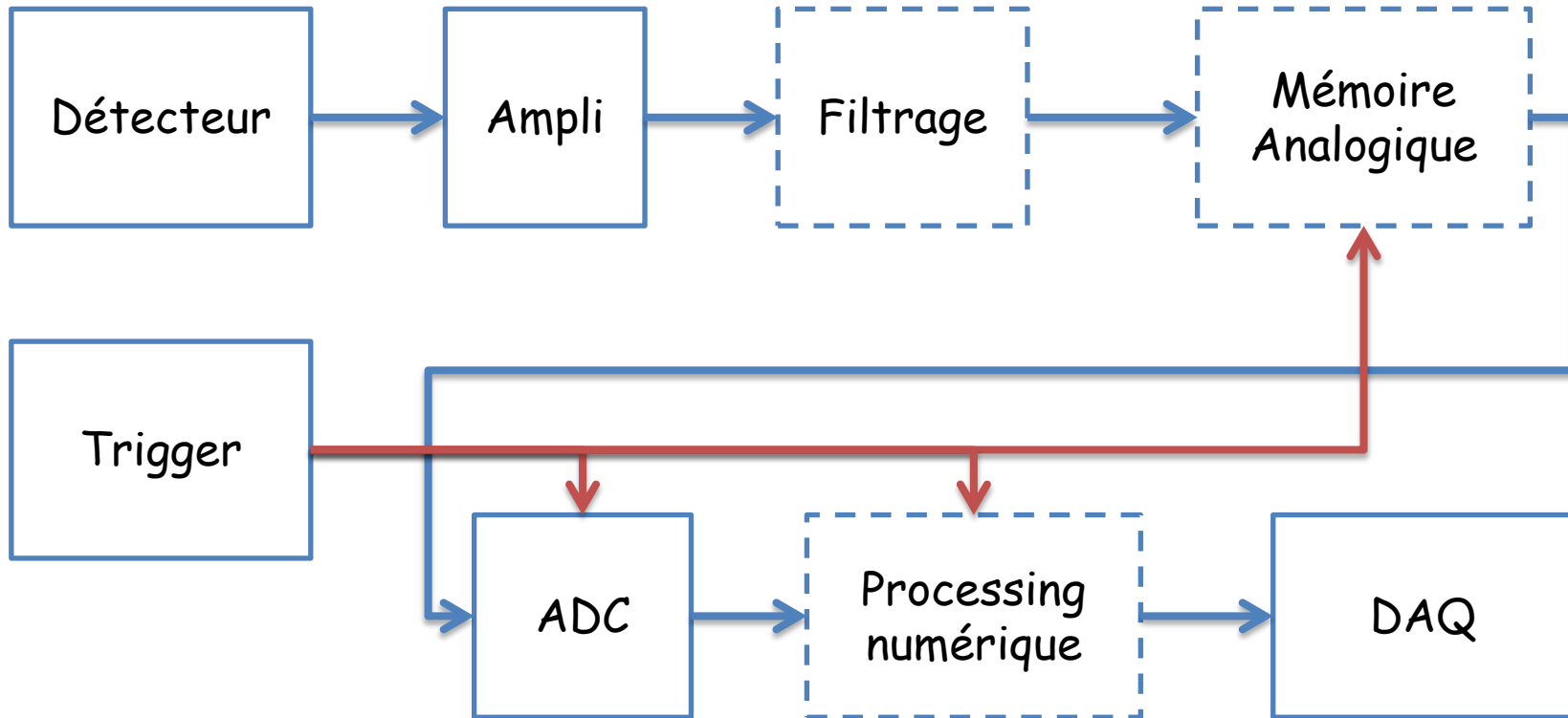
- Détecteur : peut être modélisé par un condensateur en parallèle avec une source de courant
- Détecteur :
 - Pixels $\sim 0,1 \rightarrow 10\text{pF}$, PM $\sim 3 \rightarrow 30\text{pF}$
 - CCD $\sim 15\text{fF}$, LAr $\rightarrow \text{qq nF}$
 - Micro strip \rightarrow ligne de transmission



Signal :

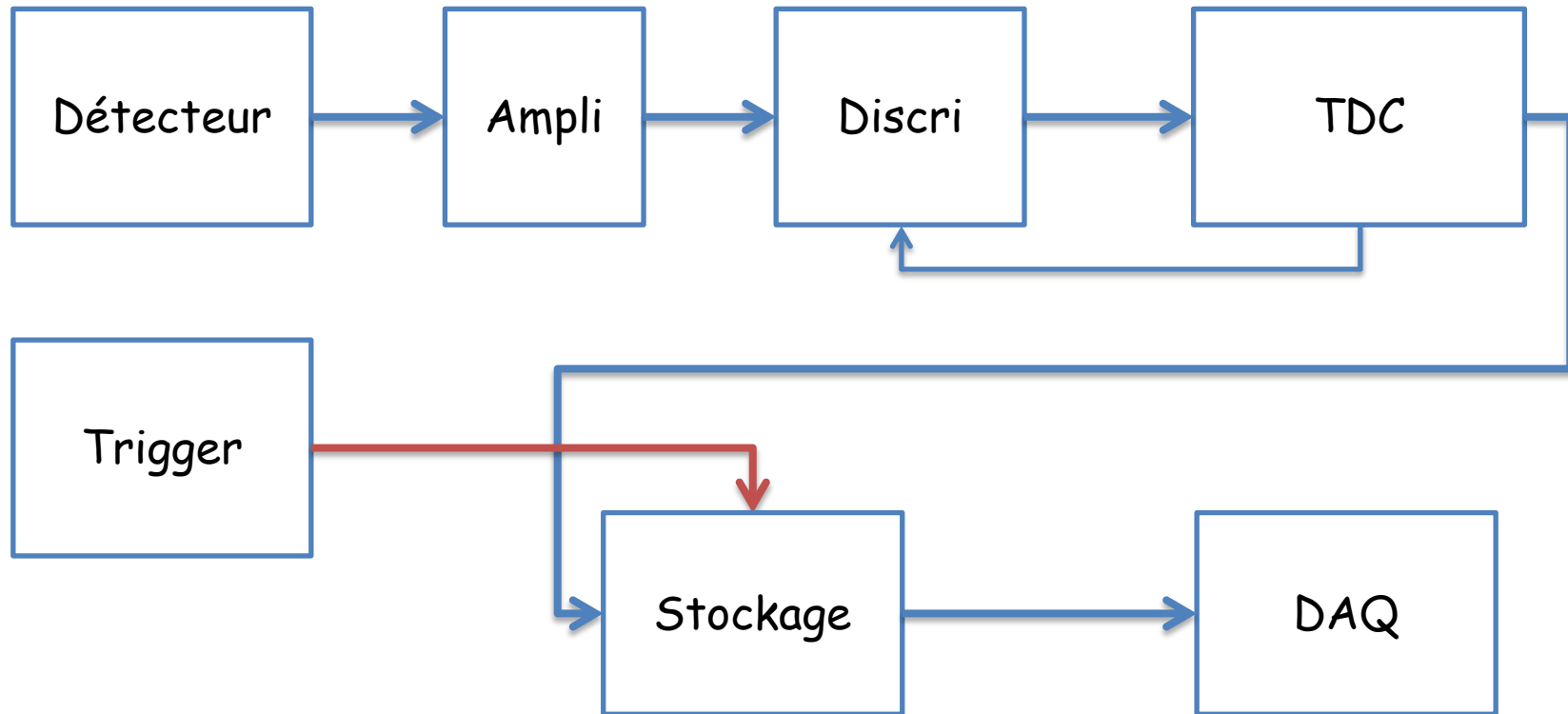
- Pixels : $\sim 100 e^- / \mu\text{m}$
- PM : $1 \rightarrow 10^7$ électrons
- CCD : $1 \rightarrow 10^5 e^-$

Chaîne de lecture typique



Mesure de charge, courant, tension

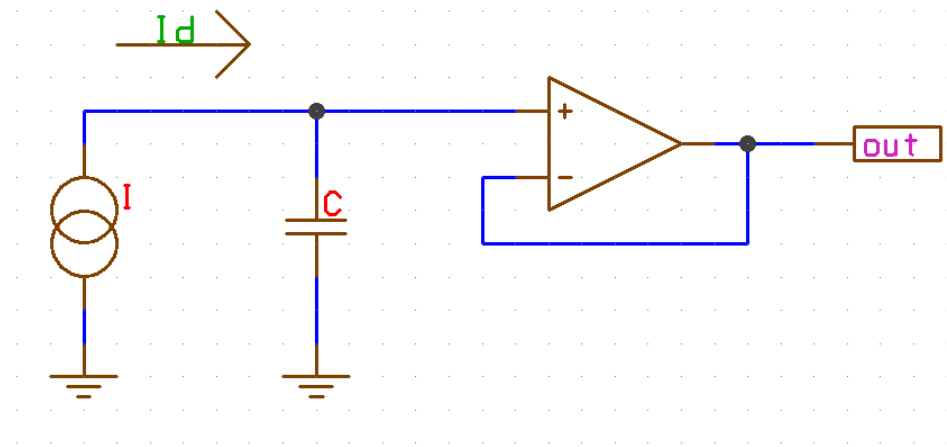
Chaîne de lecture typique



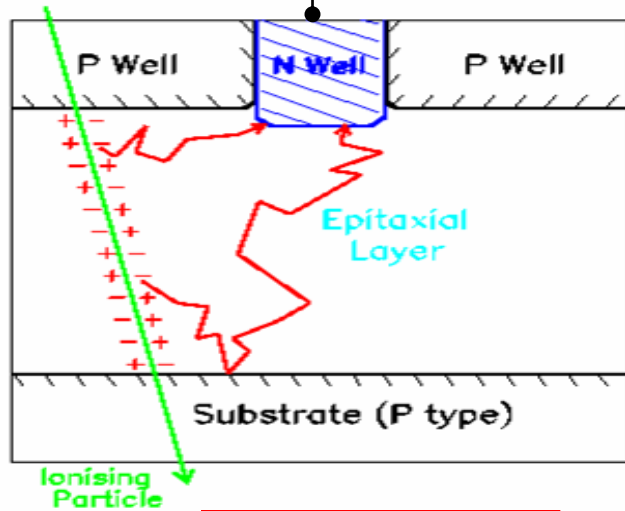
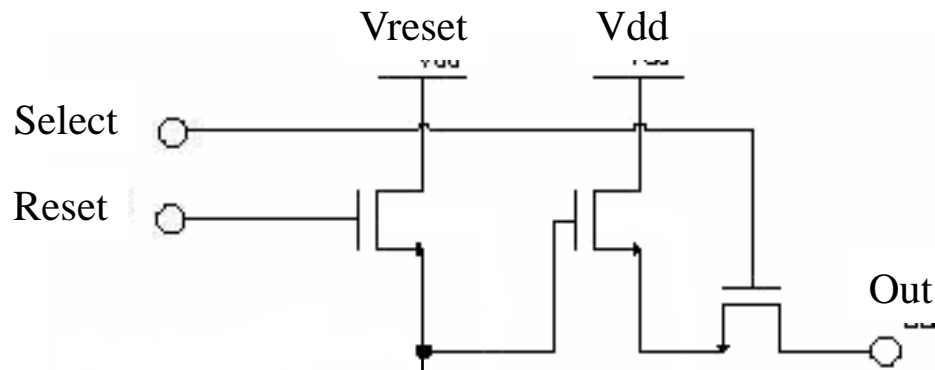
Mesure de temps

Mesure de charge

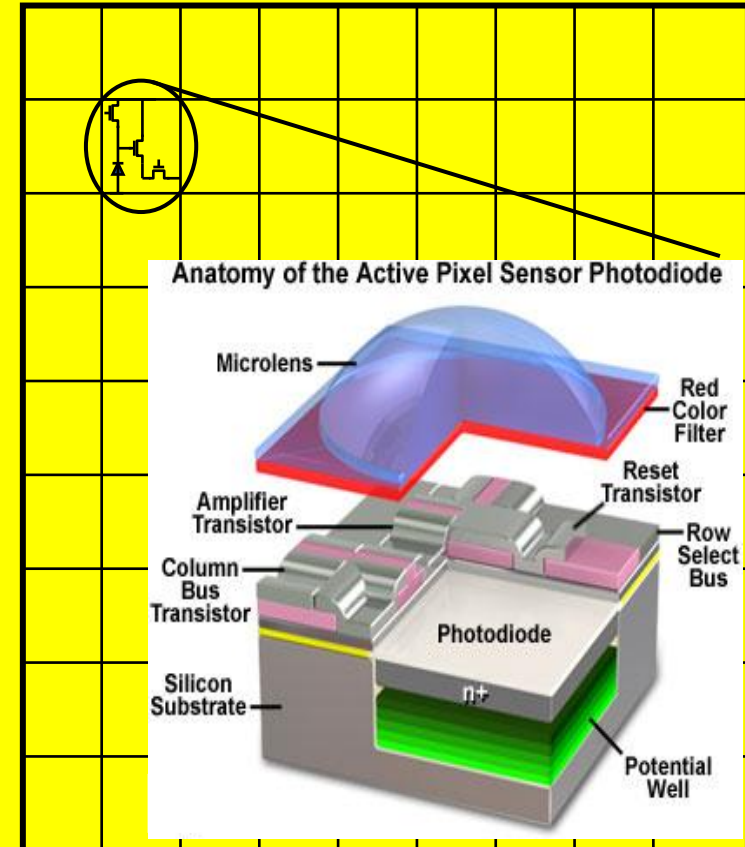
- Intégrer sur la capa du détecteur :
- = mesure de tension aux bornes de C_d
- $Out = q/c$
- Besoin d'un buffer
- Diaphonie
- Linéarité C
- Reset



Monolithic Active Pixels



MAPS readout



Column-parallel ADCs

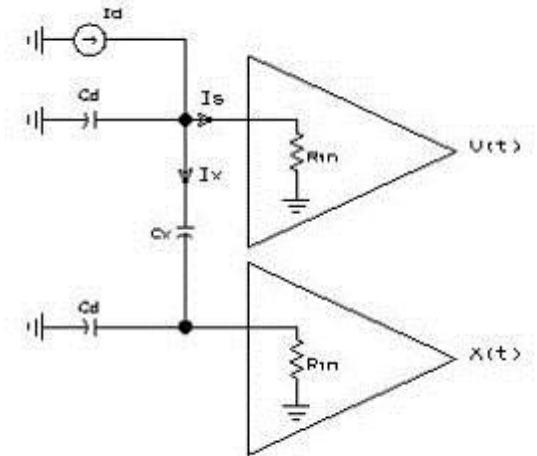
Data processing / Output stage

Readout control

I2C control

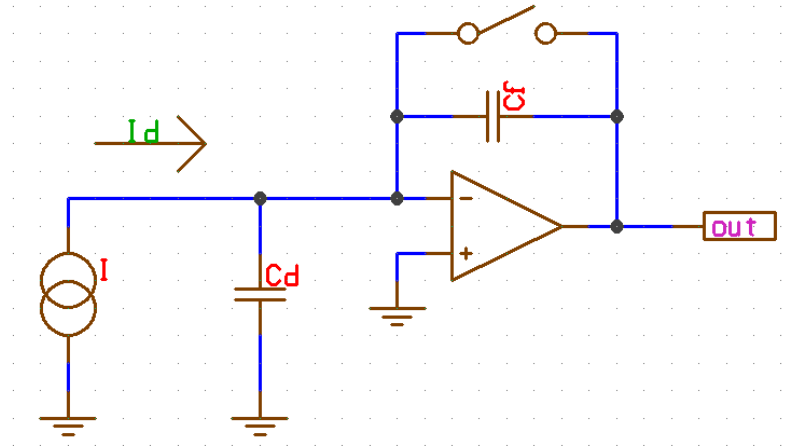
Diaphonie

- Crosstalk capacitif :
 - Signal différencié et même signe
 - Proportionnel à C_x/C_d et Z_{in}
 -
- Couplage inductif :
 - « retours de masse » communs
 - Mutuelle inductance



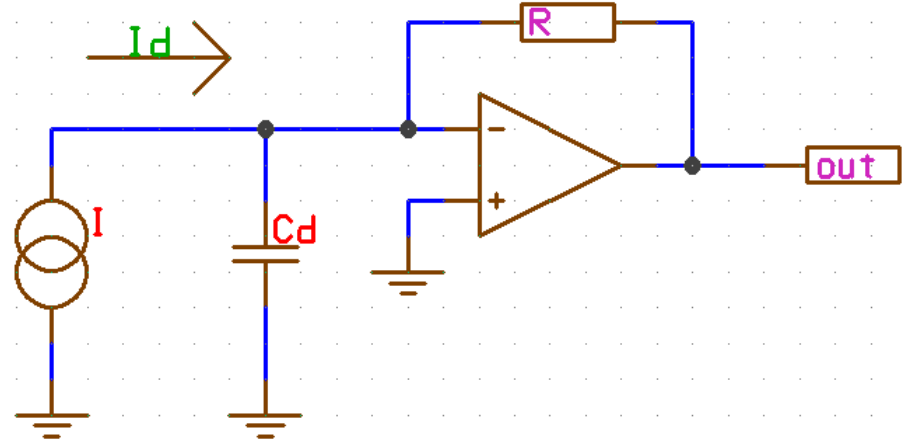
Mesure de charge

- Intégrateur parfait
- $Out = -Q/C_f$
- Masse virtuelle
- Meilleure diaphonie
- « indépendant » de la capa du détecteur
- Employé dans 90% des cas



Mesure de courant

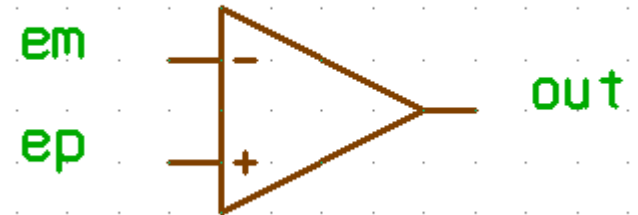
- Convertisseur courant / tension parfait
- Masse virtuelle
- $Out = -R \cdot i$
- Transrésistance
- Bruit



Ampli op idéal

- Impédance d'entrée infinie

- Gain différentiel infini



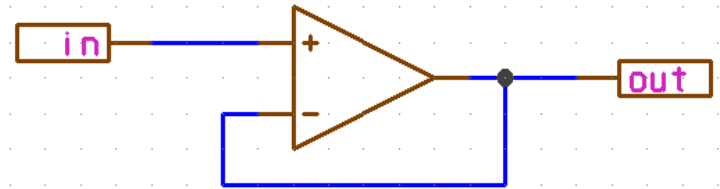
- Gain de mode commun nul

- Bande passante infinie

AOP idéal

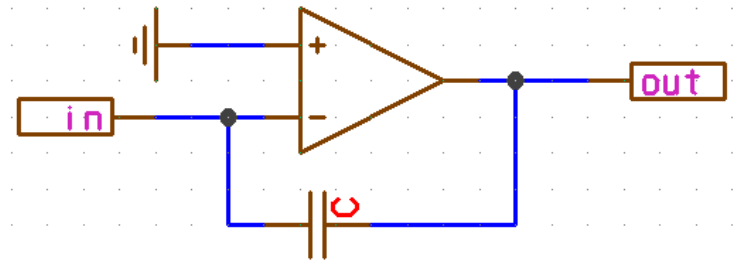
- Buffer

- $E_p = E_m = V_{out}$,
- Z_{in} infinie, Z_{out} nulle



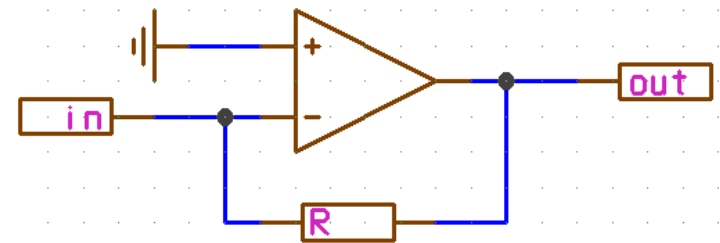
- Intégrateur

- $E_p = E_m = 0$, $Z_{in} = 0$
- $S = -\frac{1}{C} * \int idt$



- Ampli de courant

- $E_p = E_m = 0$, $Z_{in} = 0$
- $S = -R*i$



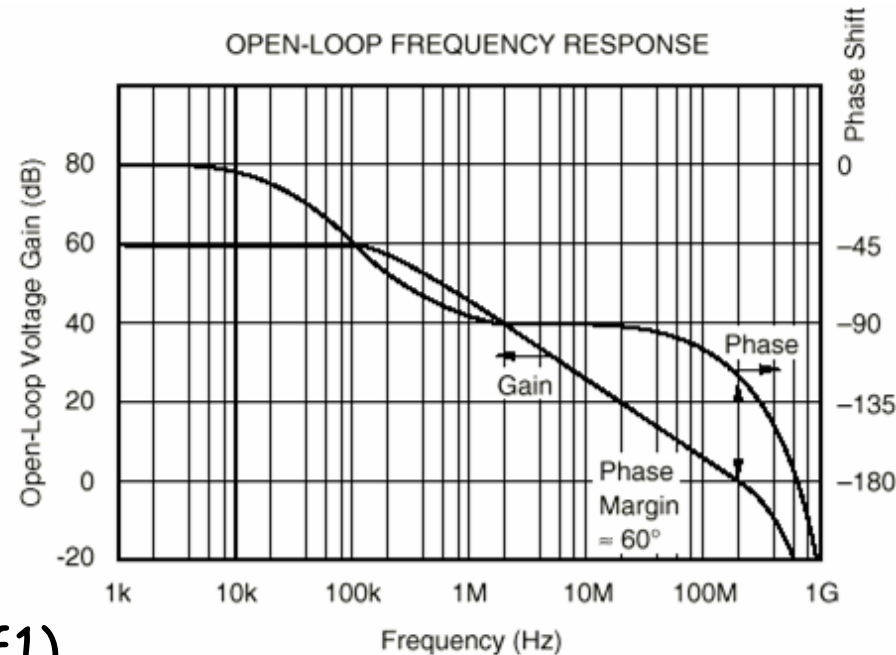
Aop moins idéal

- Gain fini

- $S = G_d(E_p - E_m) + G_c(E_p + E_m)$
- Gain de mode commun
- $E_p \neq E_m$
- → déficit

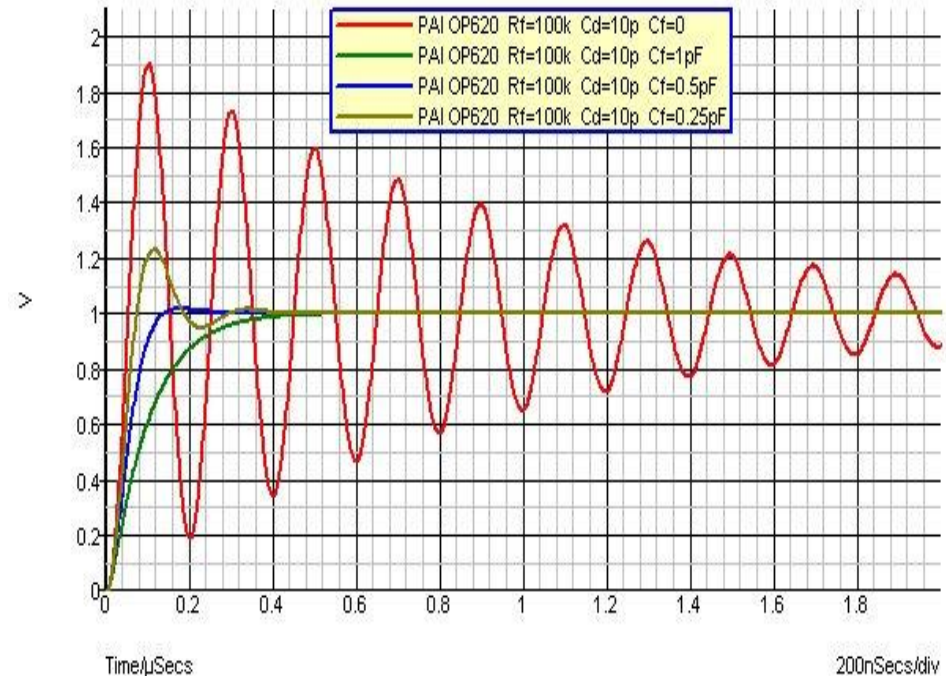
- Bande passante finie

- $G = G_0 / ((1 + jf/f_0)(1 + jf/f_1))$
- Le gain dépend de la fréquence
- $Z_{in} \sim Z_f / G$, l'impédance d'entrée dépend de la fréquence
- → stabilité



Amplis de courant

- $E_m = V_{out}/G$
- $Z_{in} \sim R/G$
- $= R(1+jf/f_0)/G_0$



L'impédance d'entrée est inductive

→ Circuit résonant LC, risque d'oscillation plus ou moins amortie

Charge vs Current preamps

■ Charge preamps

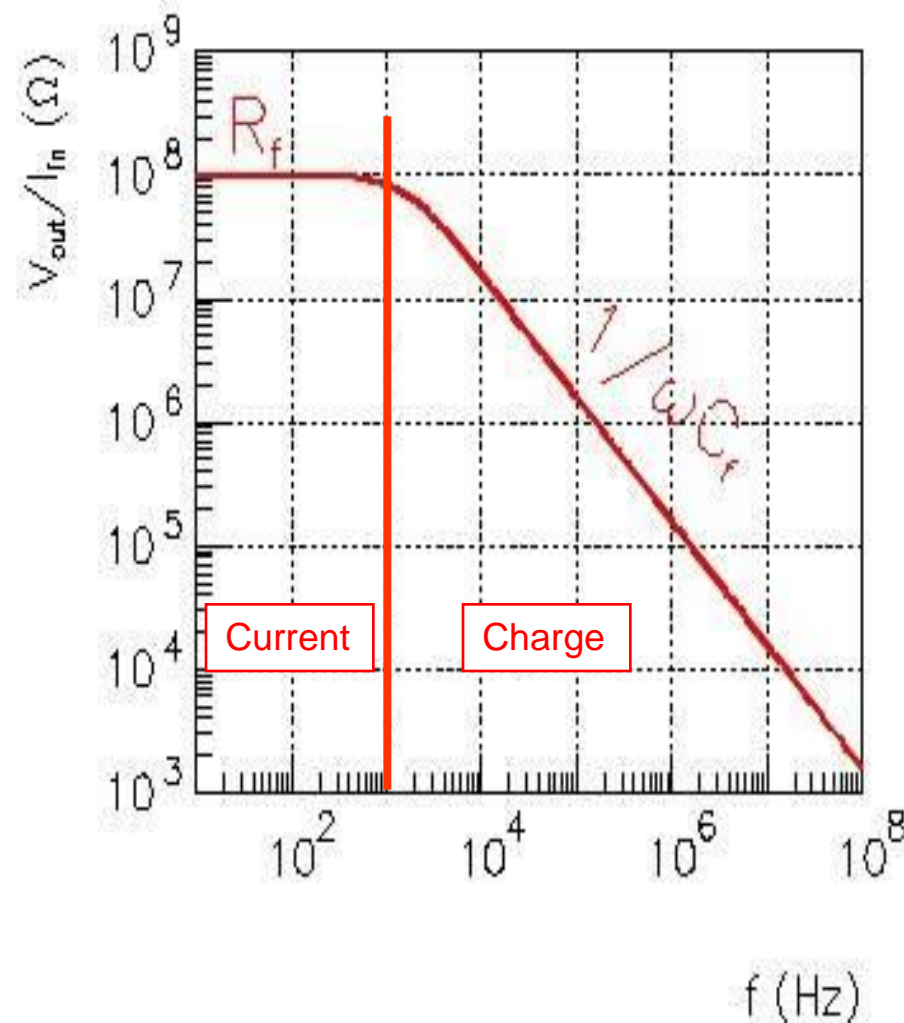
- Best noise performance
- Best with short signals
- Best with small capacitance

■ Current preamps

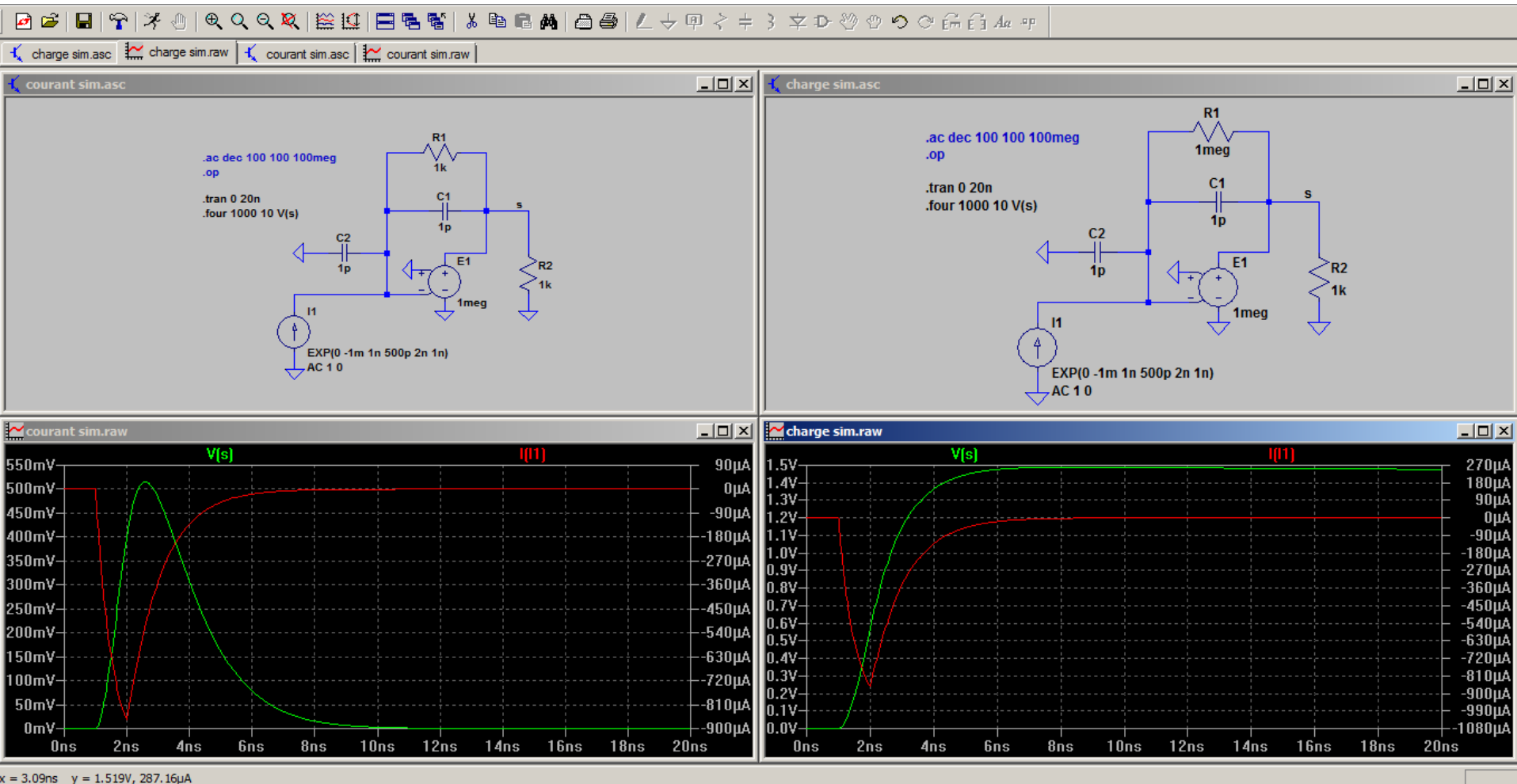
- Best for long signals
- Best for high counting rate
- Significant parallel noise

■ Charge preamps are not slow, they are long

■ Current preamps are not faster, they are shorter (but easily unstable)



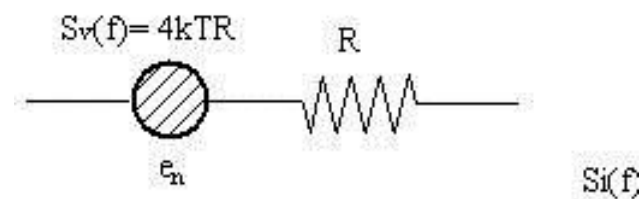
Courant vs Charge



Pub gratuite : LTspice

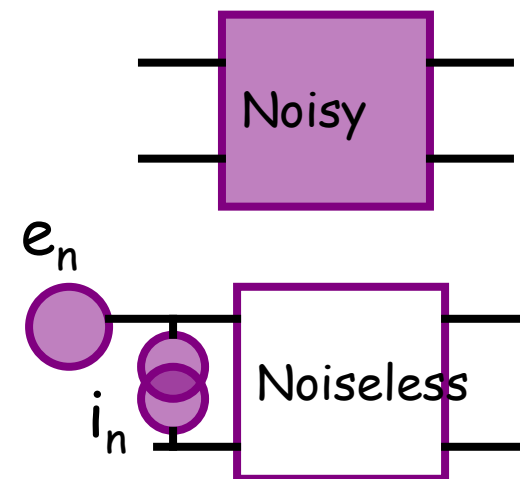
Bruit

- Fluctuation aléatoire (et indésirable) superposée au signal \rightarrow traitement statistique



- Sources :

- Bruit thermique $S_v(f) = 4kTR$
- Shot noise $S_i(f) = 2qI$
- Bruit en $1/f$
- parasites

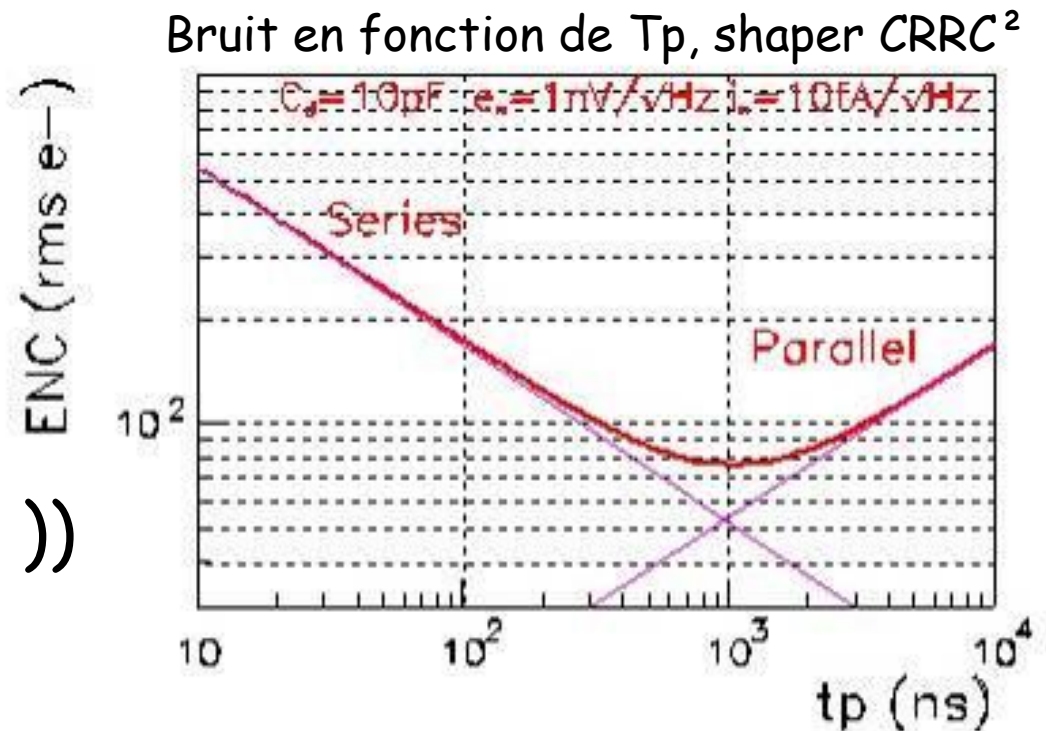


Bruit, filtrage

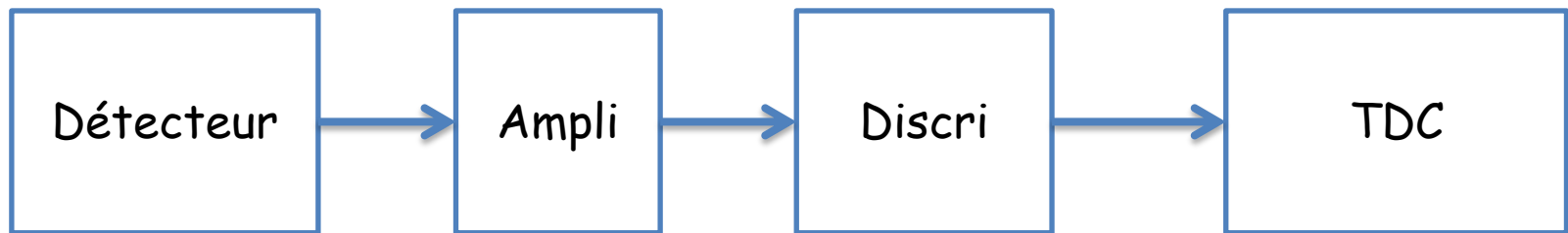
- Optimisation du rapport signal/bruit
= optimisation de la bande passante

Passer bas pour
le bruit série
Passer haut pour
le bruit parallèle

((filtrage numérique))



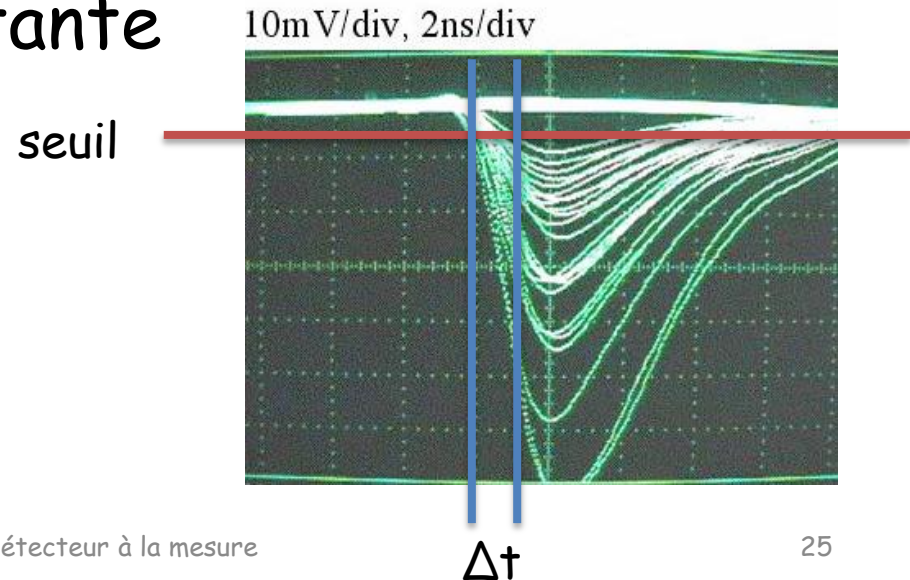
Mesure de temps



- Discriminateur classique :
 - Temps dépendant de l'amplitude du signal !

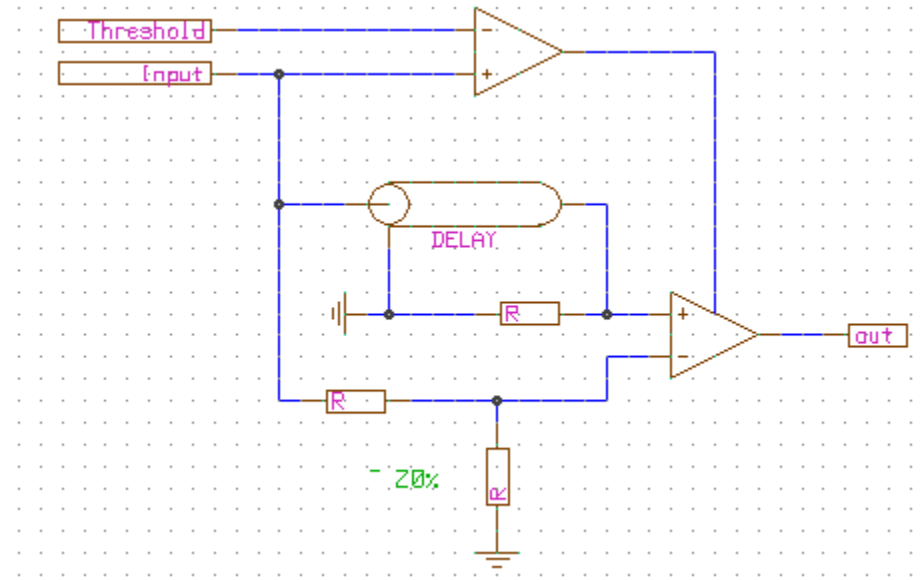
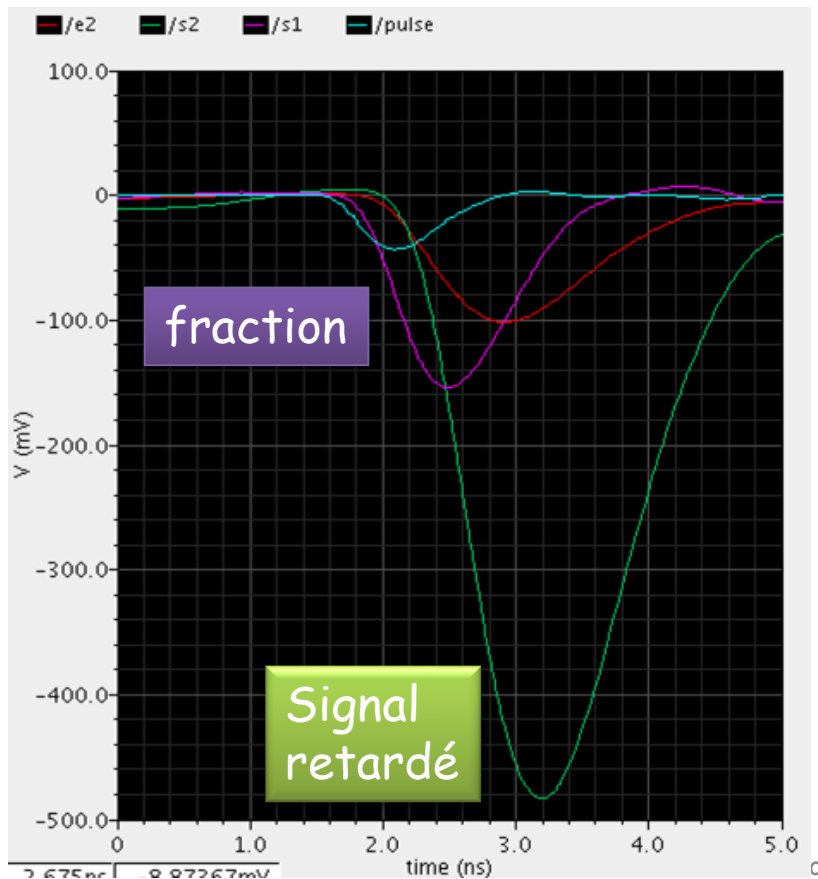
→ Discr à fraction constante

→ Zero crossing



CFD

Comparaison entre une fraction du signal et le signal retardé



Retard : temps entre la pente maximum et le sommet du signal

Fraction : rapport entre les amplitudes au sommet et à la pente max

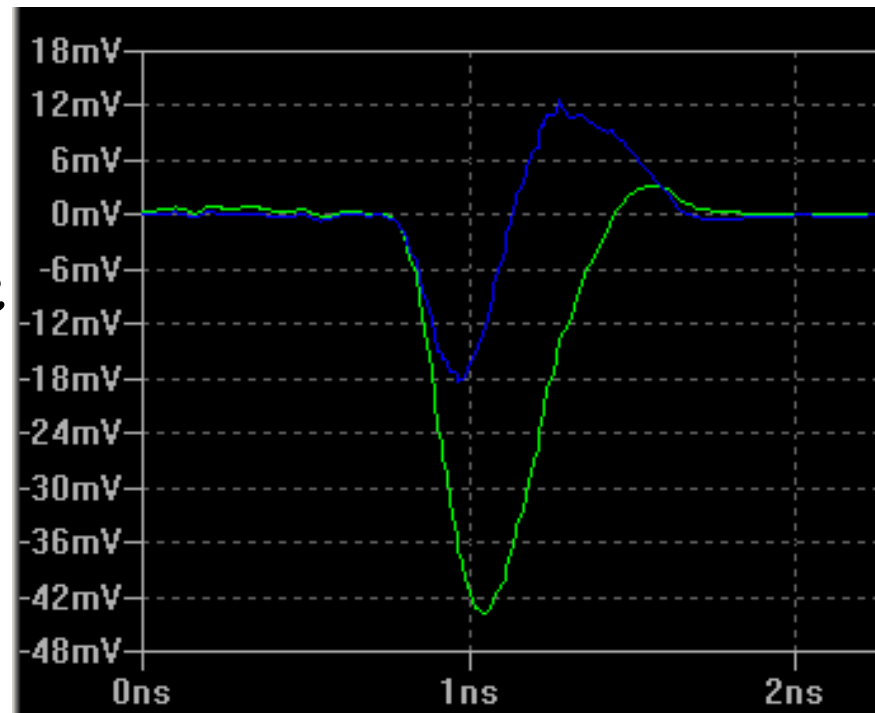
Besoin d'un comparateur supplémentaire pour « armer »

Zero crossing

- Différenciation du signal

Temps de passage à 0
indépendant de l'amplitude

Mais pente dépendante de
l'amplitude



Mesure de temps : TDC

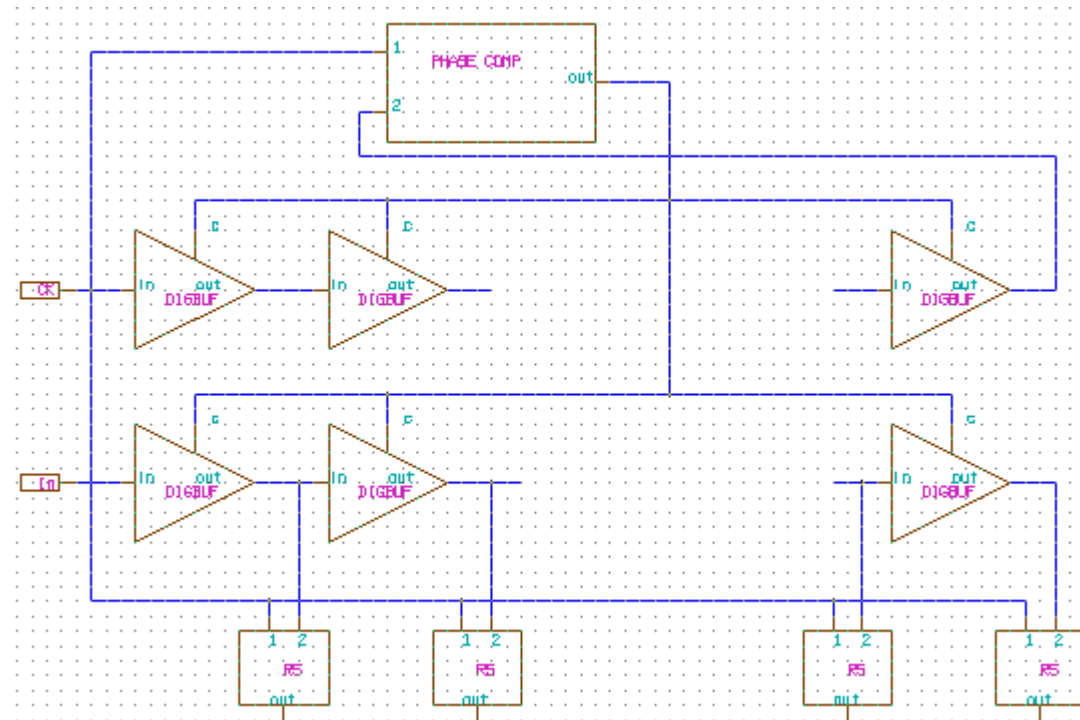
- DLL delay lock loop
- Asservissement du temps de propagation de portes sur une horloge

Une pll compare les phases de l'horloge et la sortie de la chaîne de référence

Polarise les portes pour le bon temps de propagation

La polarisation est envoyée sur les autres chaînes identiques à la chaîne de référence

Les bascules RS mémorisent le lieu de la coïncidence entre l'horloge et le signal retardé



Montages de base

Emetteur commun
(source commune)

$$I_{out} = g \cdot V_{in}$$

$$Z_{out} = R_0$$

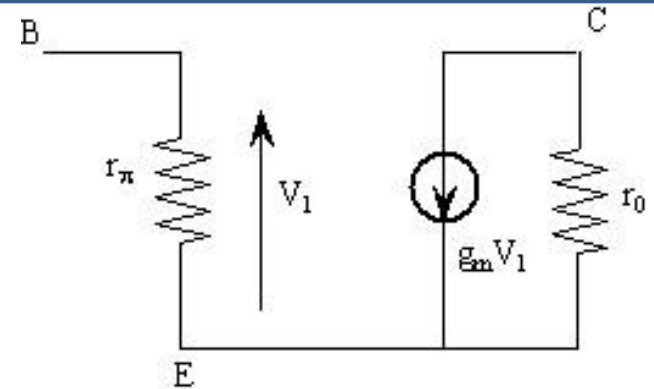
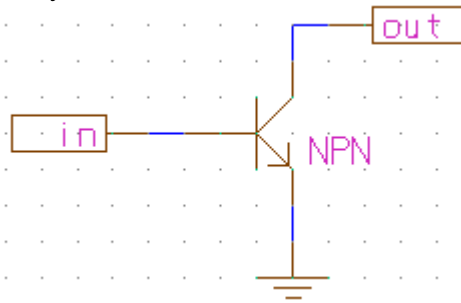
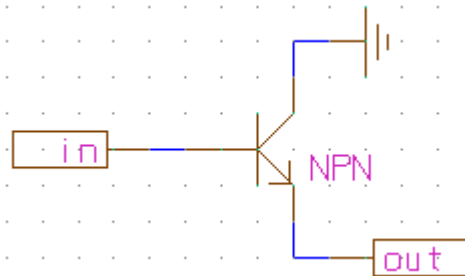


Schéma équivalent basse fréquence
d'un transistor

Collecteur commun
(drain commun)
Voltage follower

$$V_{out} \sim V_{in}$$

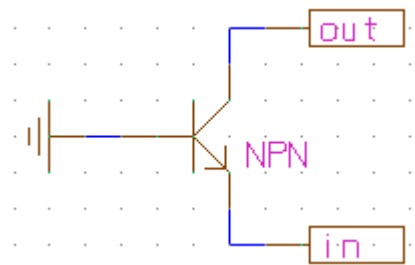
$$Z_{out} = 1/g_m$$



Base commune
(gate commune)

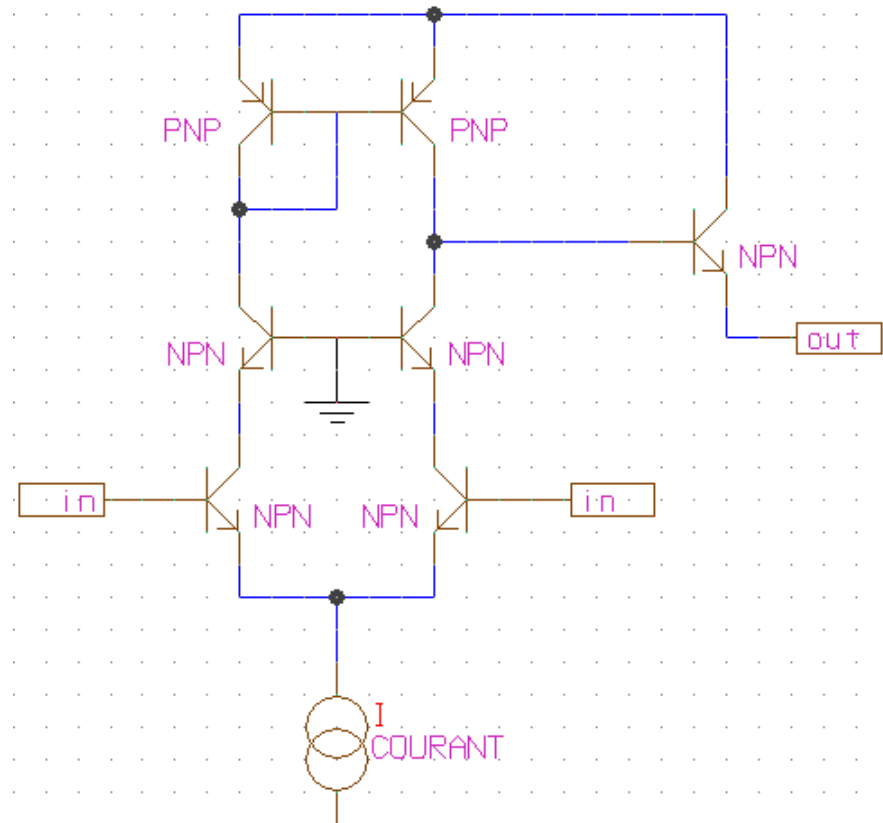
$$I_{out} \sim I_{in}$$

$$Z_{in} = 1/g_m$$



Montages de base

- Différentiel
 - Emetteurs communs
- Cascode
 - Bases communes
- Miroir de courant
- Follower



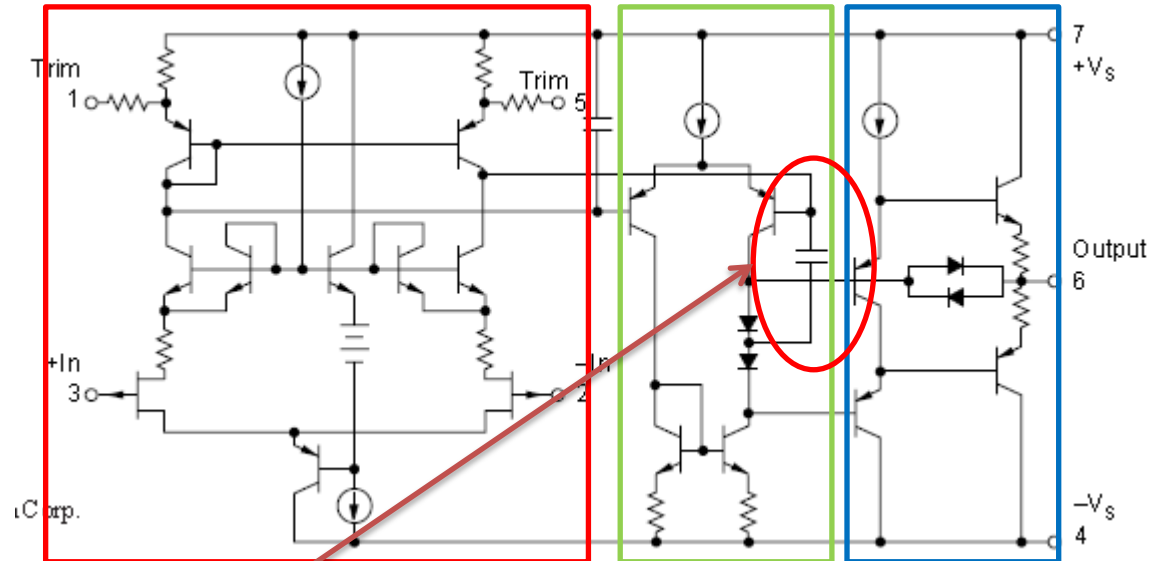
Ampli op

Schéma simplifié d'un OPA627 (Burr Brown)

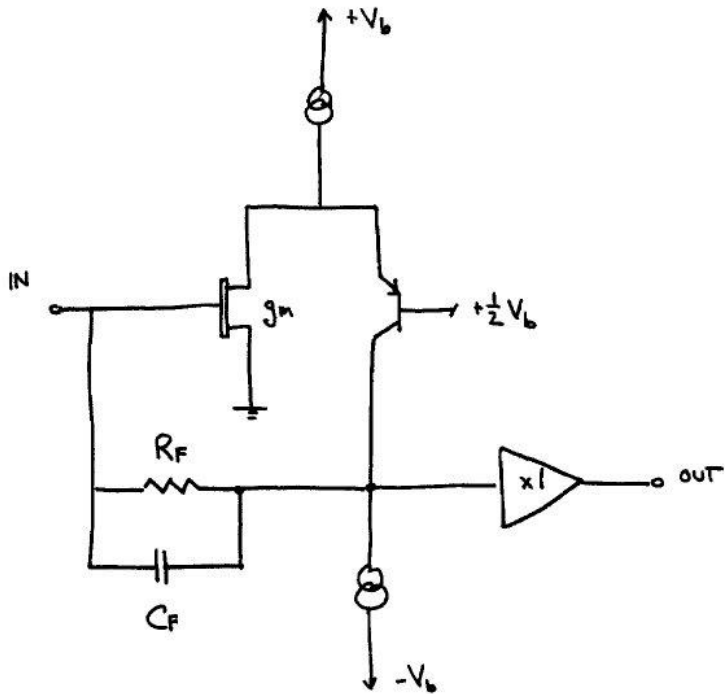
1) Étage d'entrée
- différentiel
- transconductance

2) Étage intermédiaire
- Amplification en tension (vas)
- Intégration (stabilité)

3) Étage de sortie
- Abaissement de l'impédance de sortie

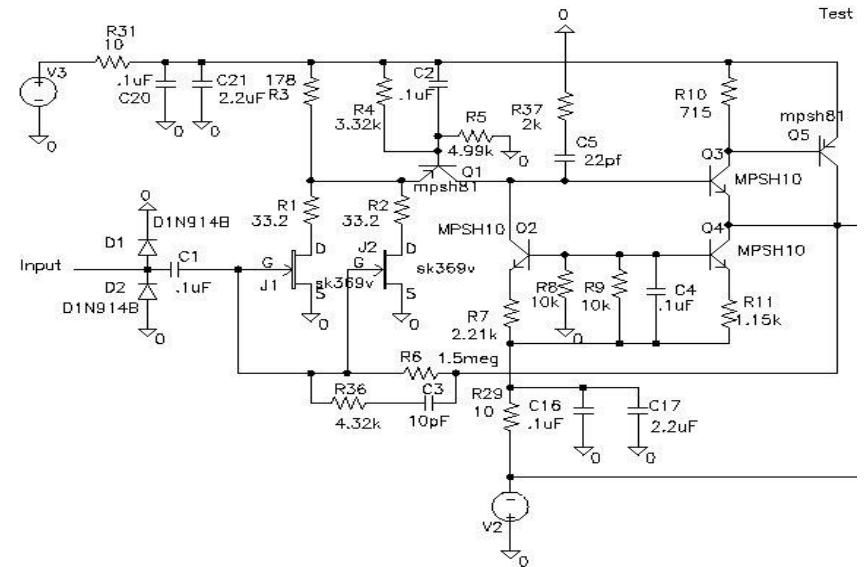


Ampli de charge



Charge preamp ©Radeka 68

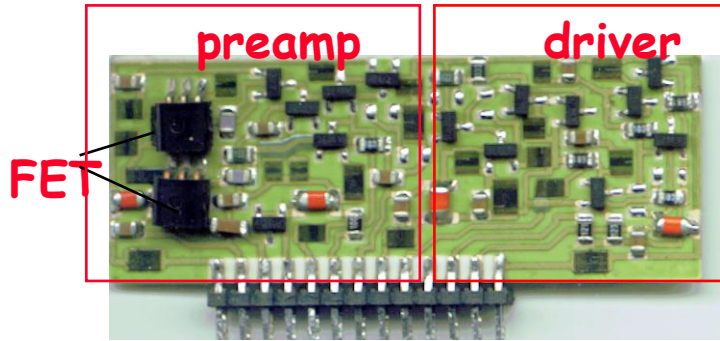
Différentiel → un transistor
 Cascode replié
 Buffer de sortie



Préampli de charge du calorimètre de D0 (argon liquide)

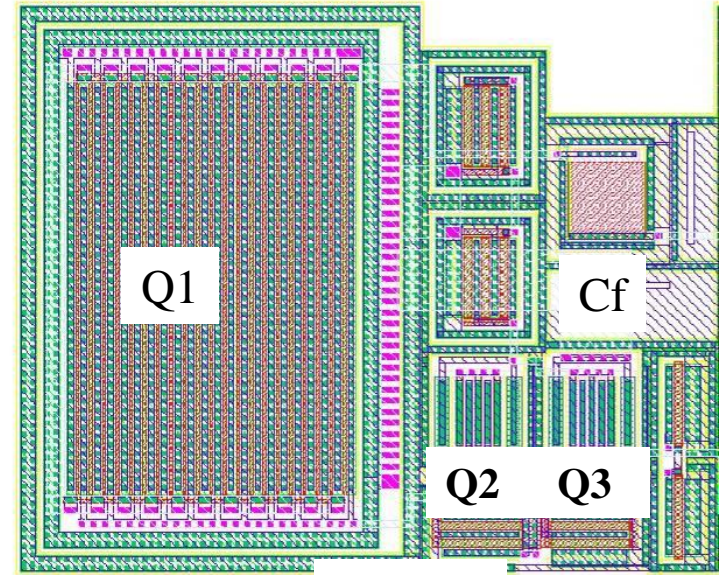
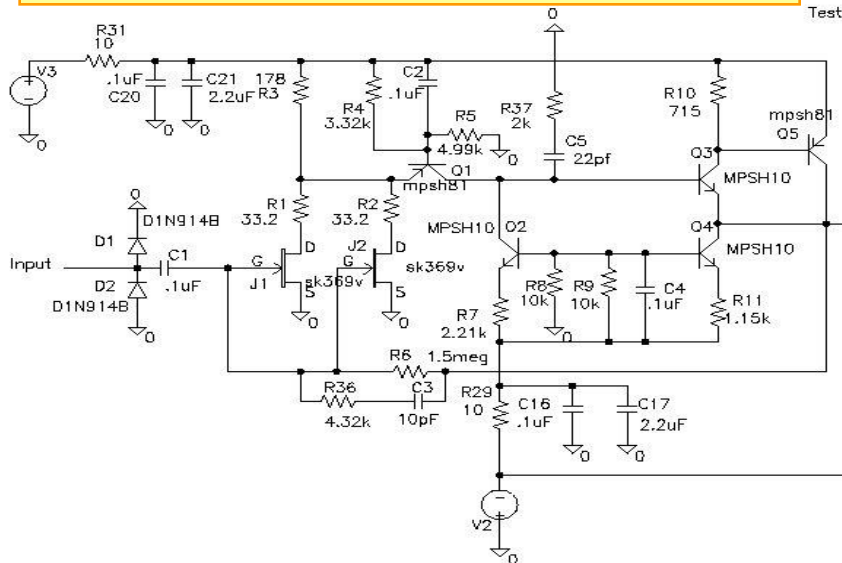
2 transistors d'entrée : adaptation à la capacité des électrodes, haut gm
 Fort courant : maximisation du gain, minimisation du bruit

Microélectronique



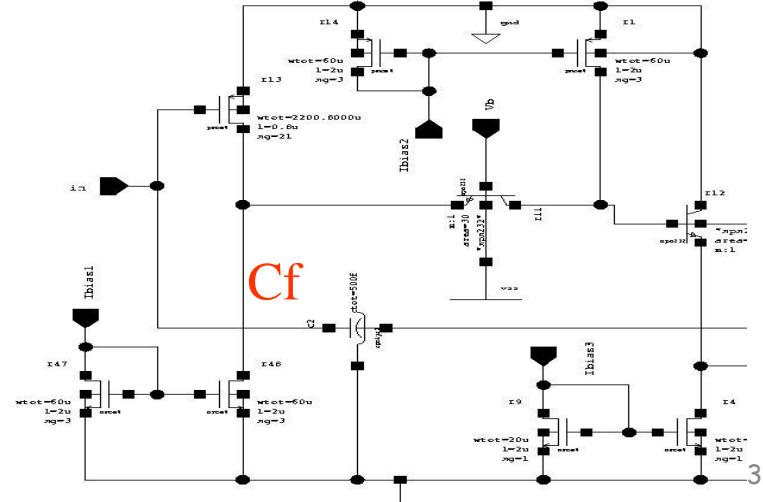
6 cm

Charge preamp in SMC hybrid techno



100 μm

Charge preamp in 0.8 μm BiCMOS



Conception d'un ampli de charge

Choix de la techno (mos, bipolaire, ..)

Taille des transistors

Courant de polarisation

Contribution en bruit de chaque étage

Stabilité

Comportement en fonction de la capacité détecteur

Saturation

Optimisation du swing de sortie

Sensibilité :

Température

Alimentation

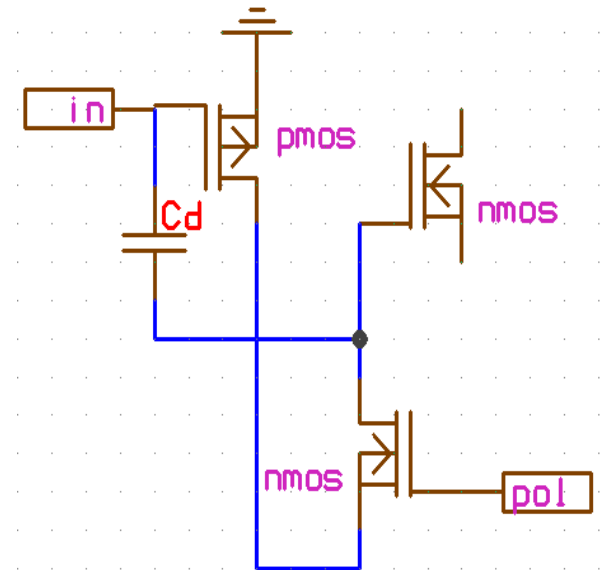


Schéma simplifié

Conception d'un ampli de charge

Schéma complet :

Entrée pmos

Capacité $W \cdot L$

Transconductance W/L

Courant élevé

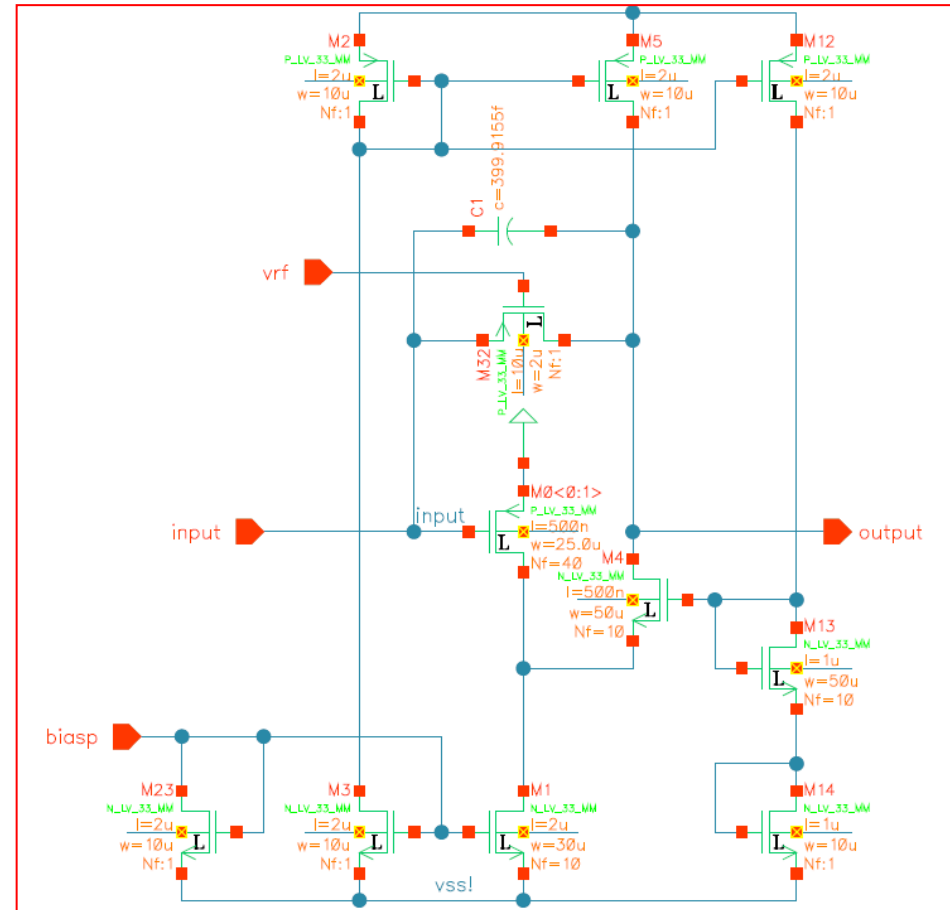
Cascode replié nmos

Polarisation : miroirs de courant

Condensateur de contre réaction

Transistor de reset

Calculs avec le schéma équivalent

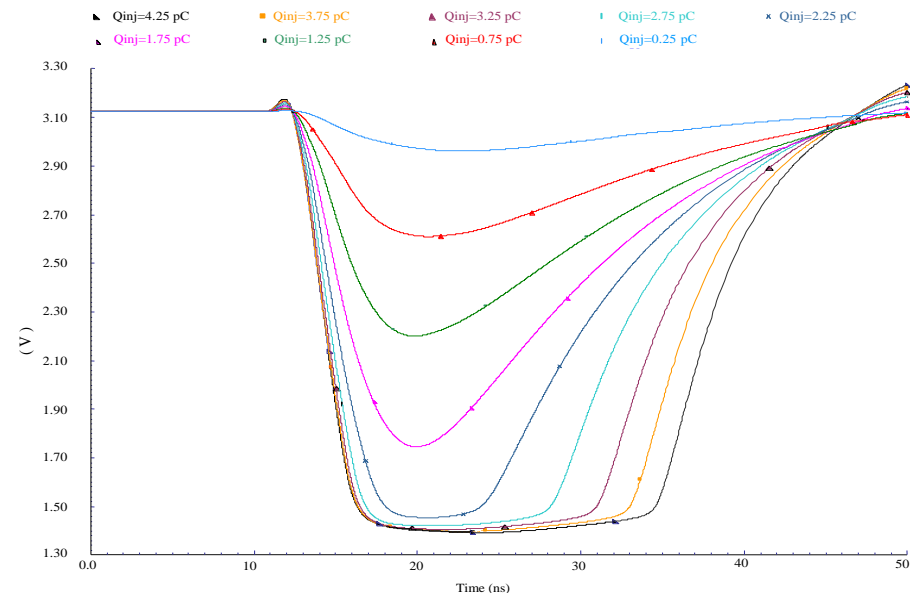
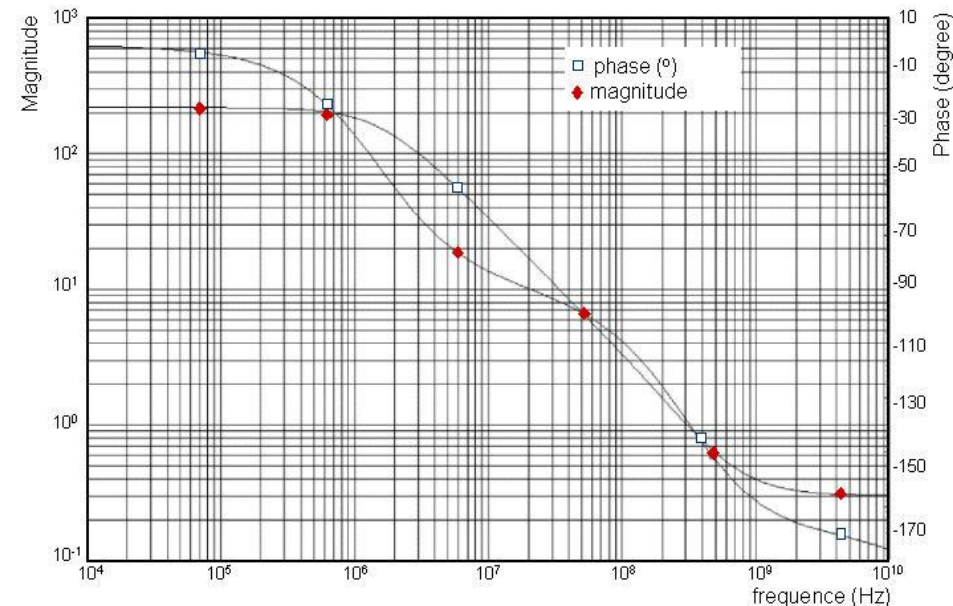


Préampli de charge en CMOS 180nm (lecture de μ strip)

Simulations de schéma

Vérifier le comportement (stabilité, saturation, température)

Simulations de « corners » : variation des paramètres du process
(typical mean, worse power, worse speed ...)



Conception d'un ampli de charge

Dessin des composants élémentaires

Transistors

Résistances

Capacités

Interconnexions

Vérifications :

DRC : vérification des règles de dessin

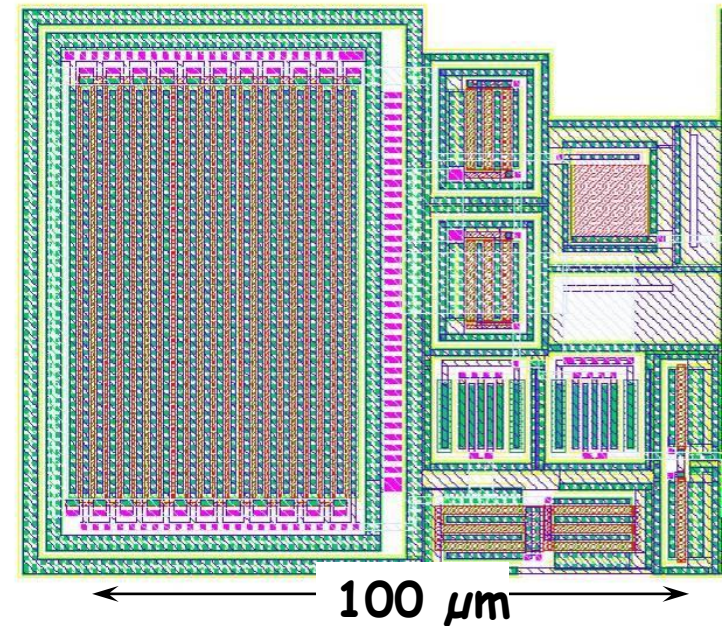
ERC : règles électriques

LVS : layout versus schematics, vérifier que le layout correspond au schéma

Extract : extractions des parasites
(résistances, capas, inductances)

Simulations post layout

Génération du gds2 pour la fabrication des masques

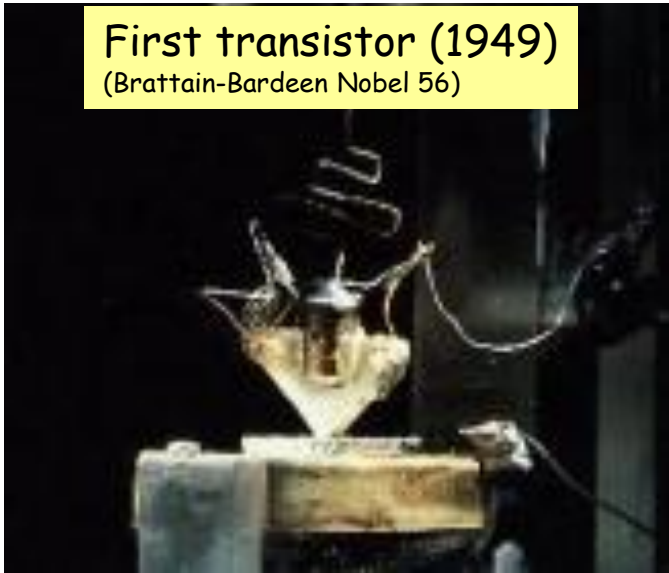


Microélectronique

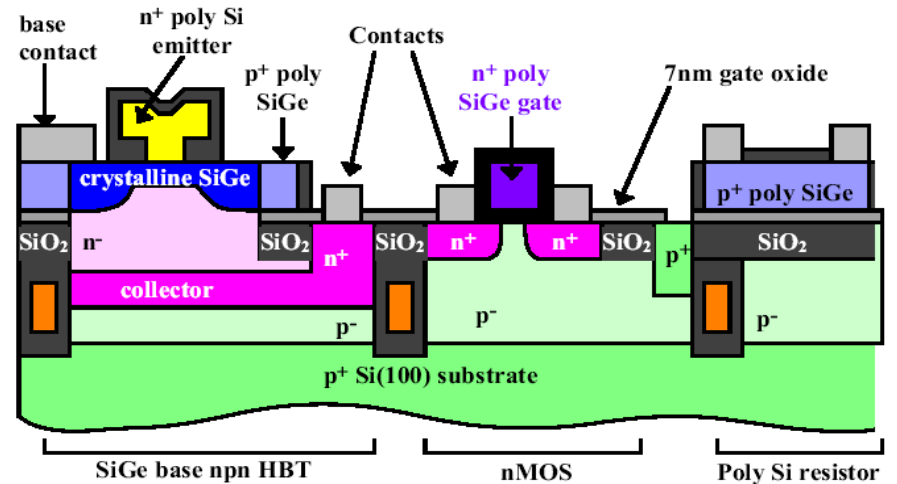
- Réduction de taille, moins de matière
 - Meilleures performances : réduction des parasites
 - Meilleure fiabilité
 - Temps de développement plus long
 - Observabilité
-
- Runs multiprojets (MPW via CMP)
 - $\sim 700\text{€}/\text{mm}^2$ (cmos $0,35\mu\text{m}$)

Evolution of technologies

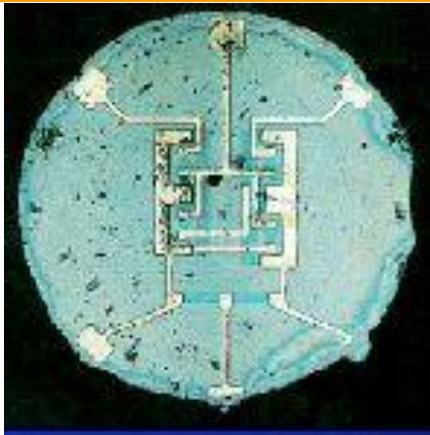
First transistor (1949)
(Brattain-Bardeen Nobel 56)



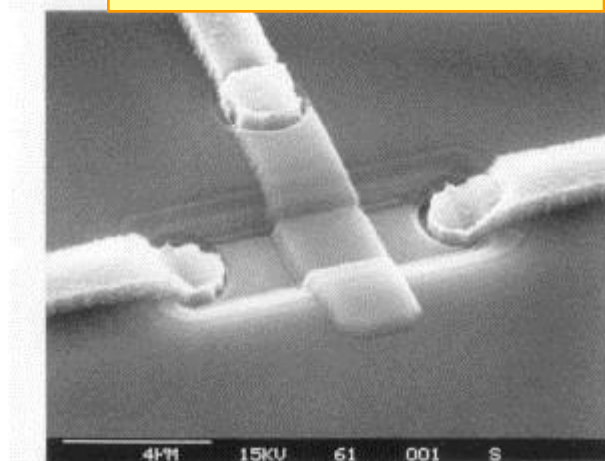
SiGe Bipolar in 0.35µm monolithic process



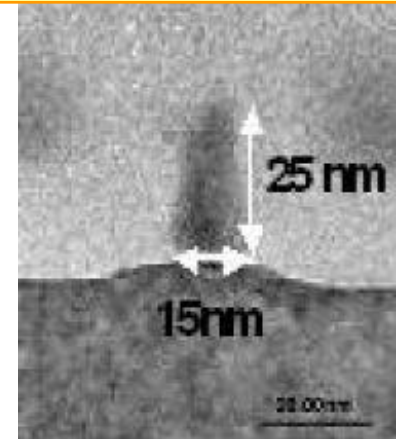
First planar IC (1961)



5 µm MOSFET (1985)

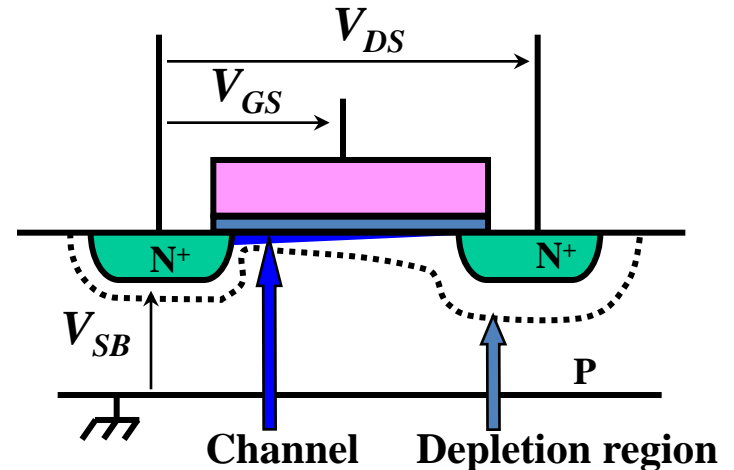
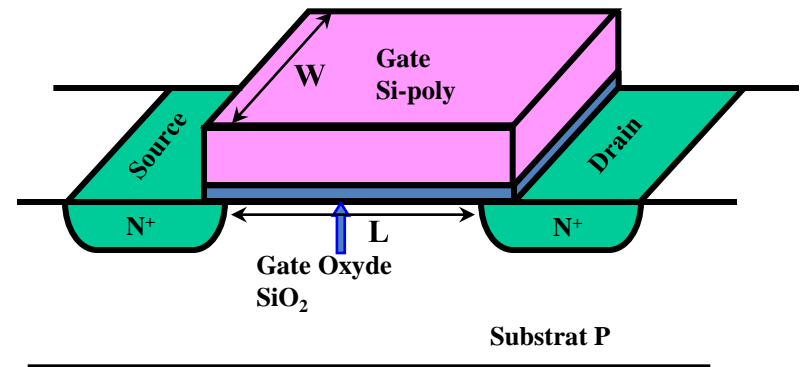


15 nm MOSFET (2005)



« CMOS scaling »

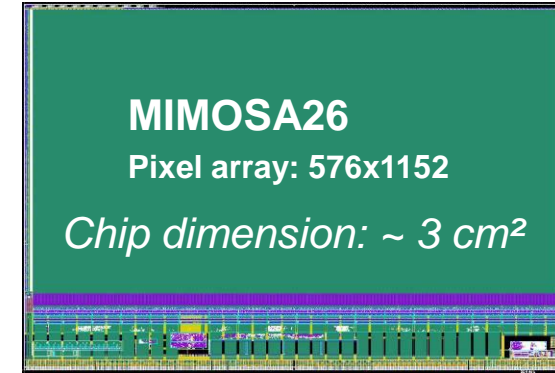
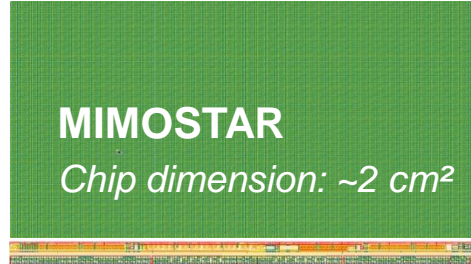
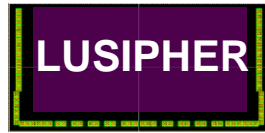
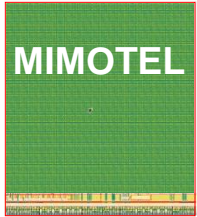
- Reduction of dimensions
 - Gate length : L
 - Oxide thickness : t_{ox}
- Reduction of power supplies
 - Reduction of power dissipation
- Improvement of speed in $1/L^2$
 - Transconductance : g_m a W/L
 - Capacitance : C a WL
 - speed : $F_T = g_m/C$ a $1/L^2$
- Reduction of costs (?)
 - Increase of integration density
- Radiation hardness in bonus !
 - Less trapping in gate oxide



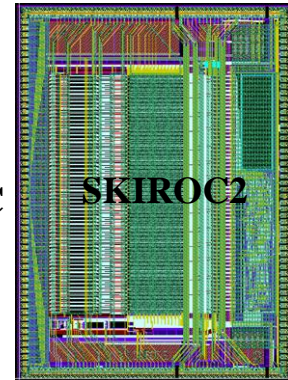
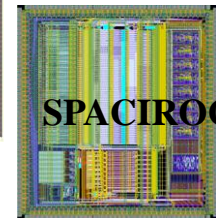
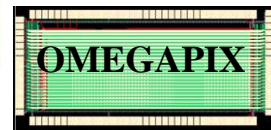
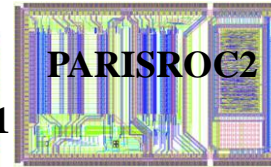
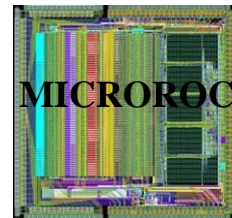
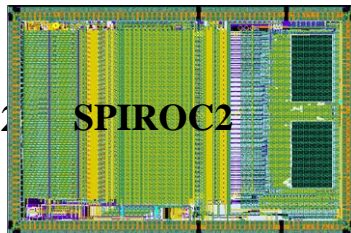
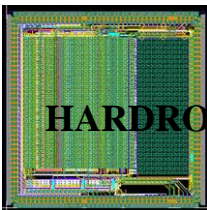
Principle of Nchannel MOSFET

Examples of chips at IN2P3

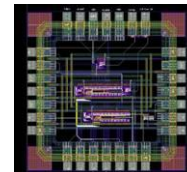
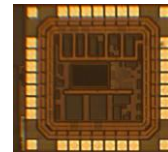
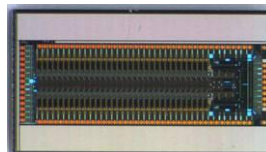
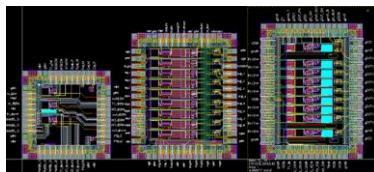
- MAPS sensors at IPHC (Strasbourg)



- ROC chips at OMEGA (Orsay)



- Chips at MICHRAU (Lyon-Clermont)



Multi gain

- Impossibilité de trouver ou faire des ADC avec la résolution et la vitesse nécessaires
- Impossibilité de faire des mémoires analogiques avec la dynamique requise
- → découpage de la dynamique en 2 ou 3 secteurs avec recouvrement

Multi gain

Le préampli supporte toute la dynamique

Implémentation de gains différents dans la chaîne

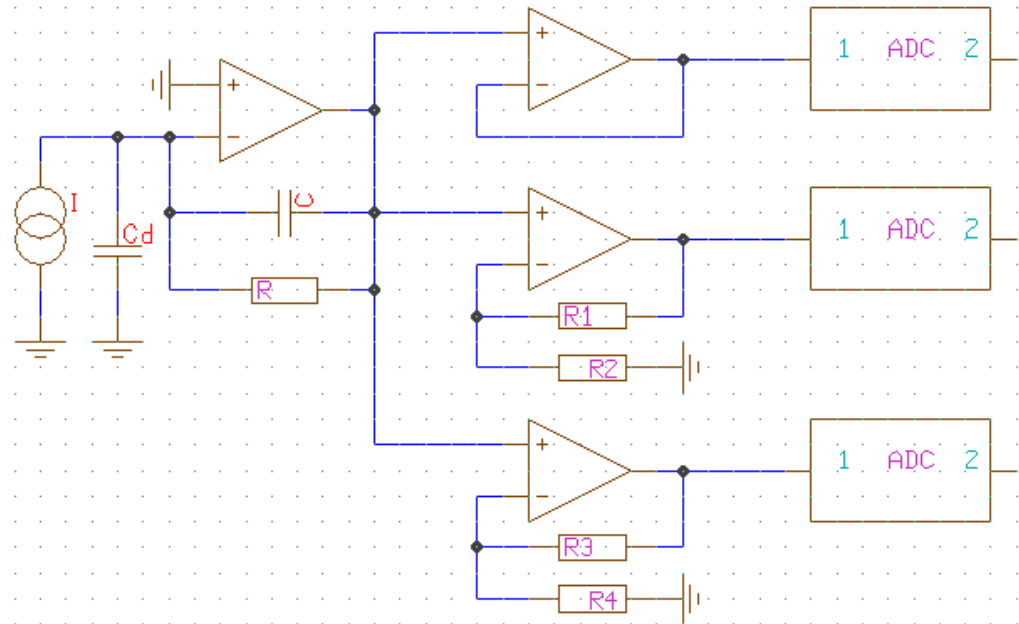
Couvrir la dynamique globale

Conserver une résolution suffisante

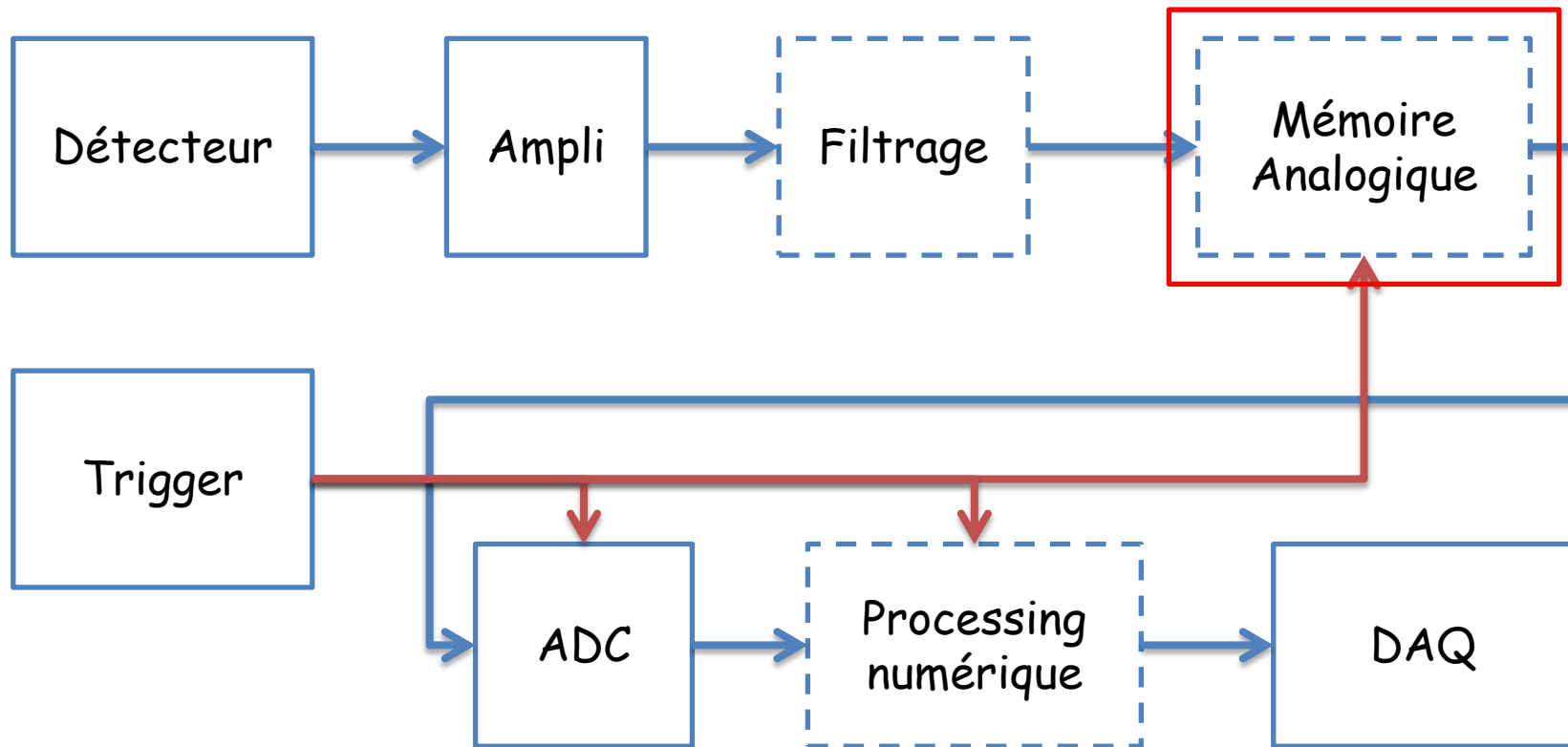
Recouvrement des gammes, possibilité d'inter-calibrer

La voie qui sature ne doit pas perturber la chaîne globale

Choix de gain automatique ou lecture de tous les gains



Chaîne de lecture typique



Mémoires analogiques

SCA : switched capacitors array

Stockage des données pendant la latence du trigger

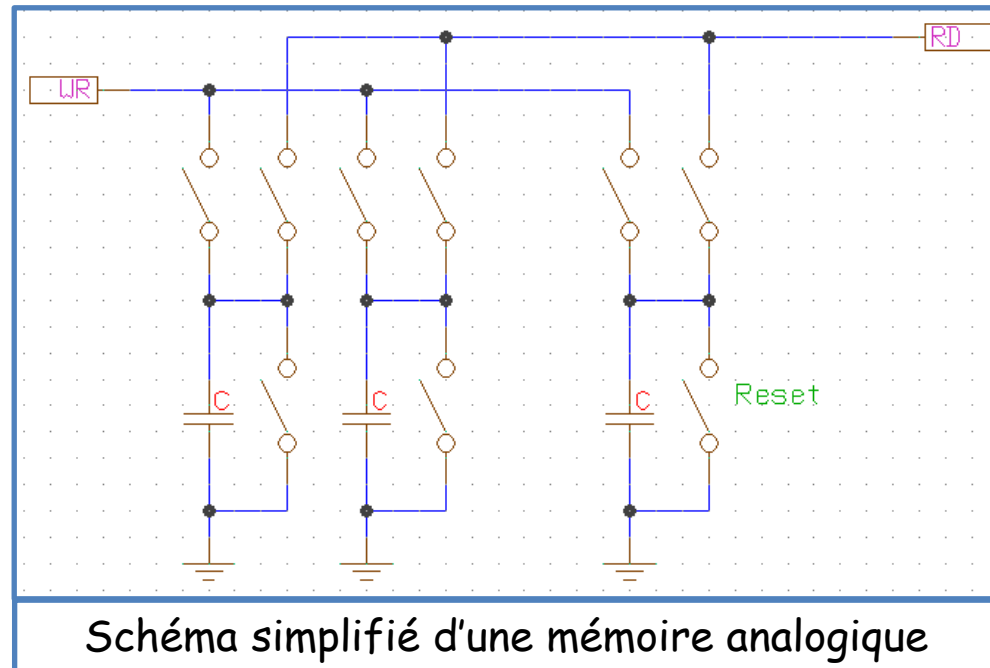
Limitations :

- Courants de fuite

- Bruit de reset

- Dynamique 10 -> 13 bits

Principe des ADCs à réseau de capacités
Oscilloscopes numériques



DØ SCA

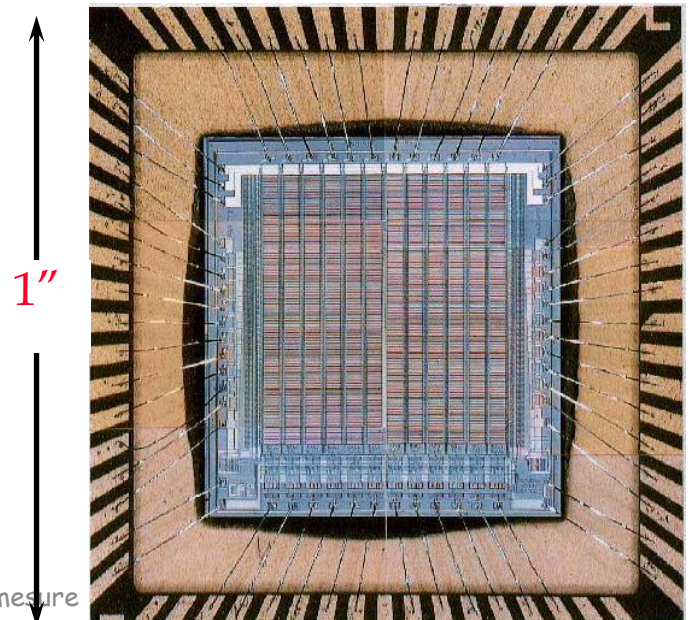
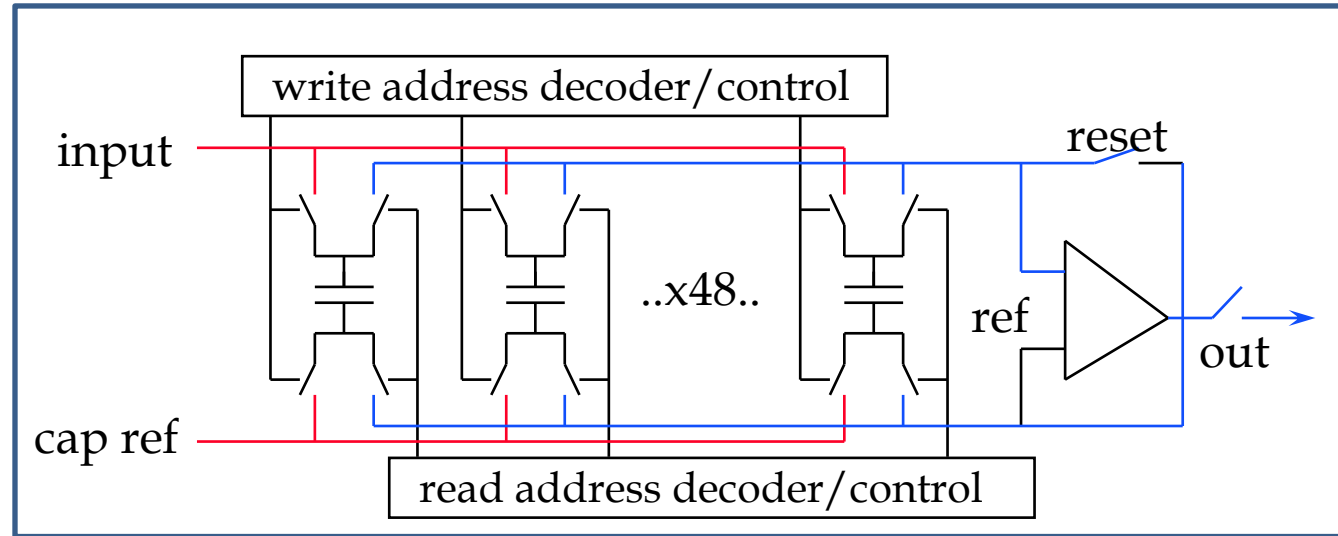
12 canaux

48 cellules / canal

12 bit dynamic range

Ecriture à 132ns

Stockage pendant la latence de L1 : 4 μ s



Déclenchement

Impossibilité de convertir les données, transférer les données au rythme de la machine. (inutilité aussi)

L'électronique de trigger effectue des opérations simples et rapides.

Prise de décision :

Non : les données sont rejetées

Oui : les données sont converties et transférées

ADC

Conversion analogique → numérique

Plus rapides

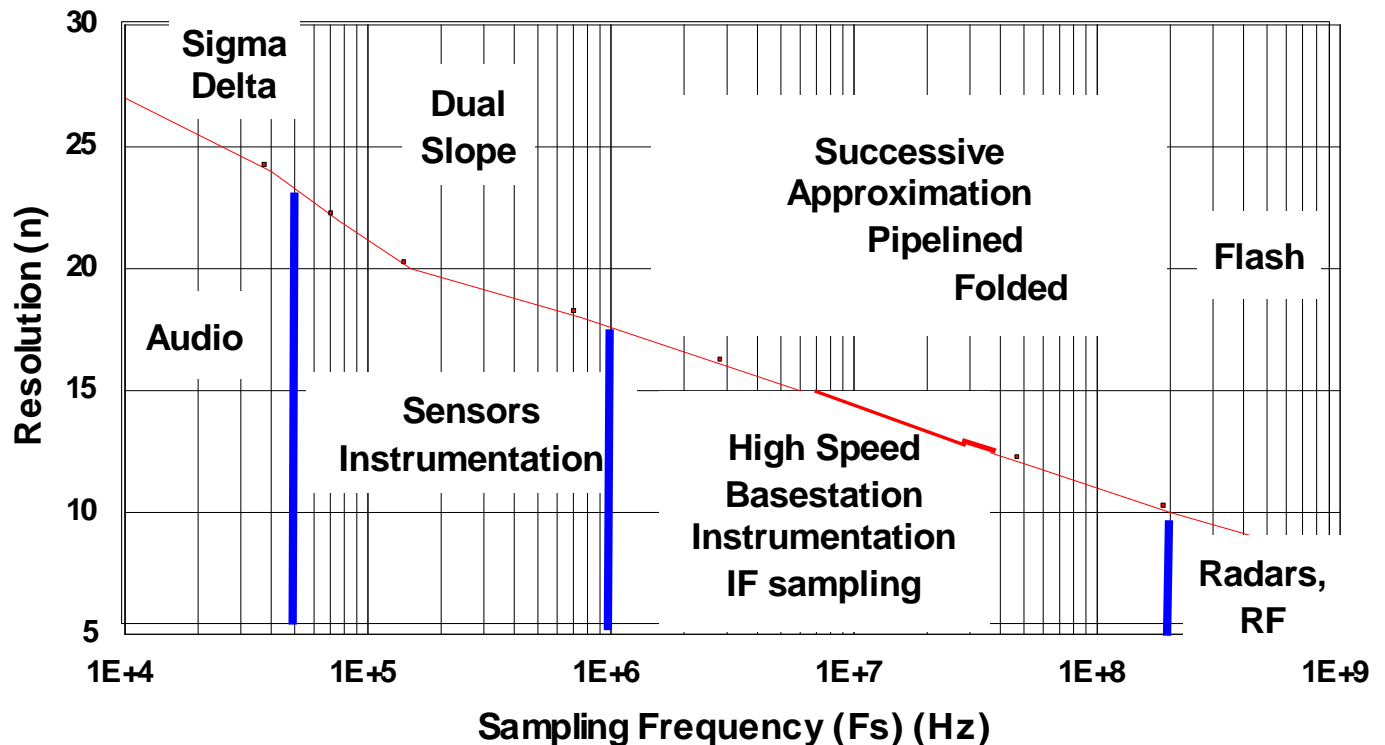
Plus précis

Consommation décroissante

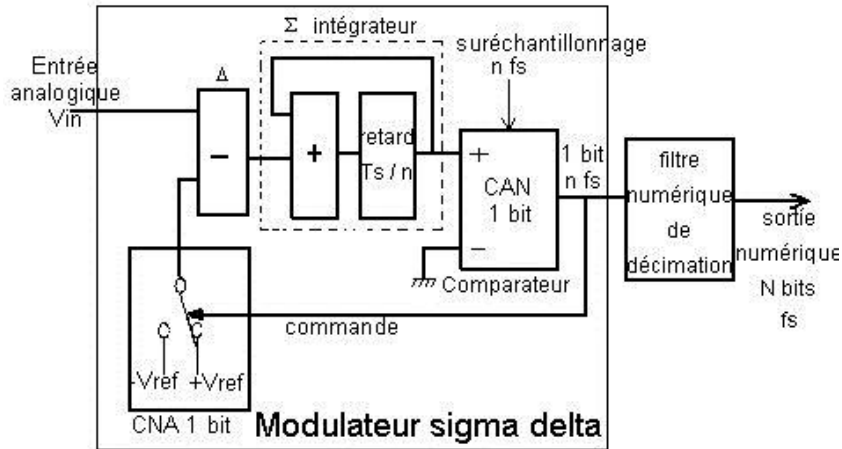
Évolution poussée par les besoins en télécom

24 bits @ 250ks/s

12 bits @ 3,6Gs/s



ADC : zoologie



ADC sigma delta

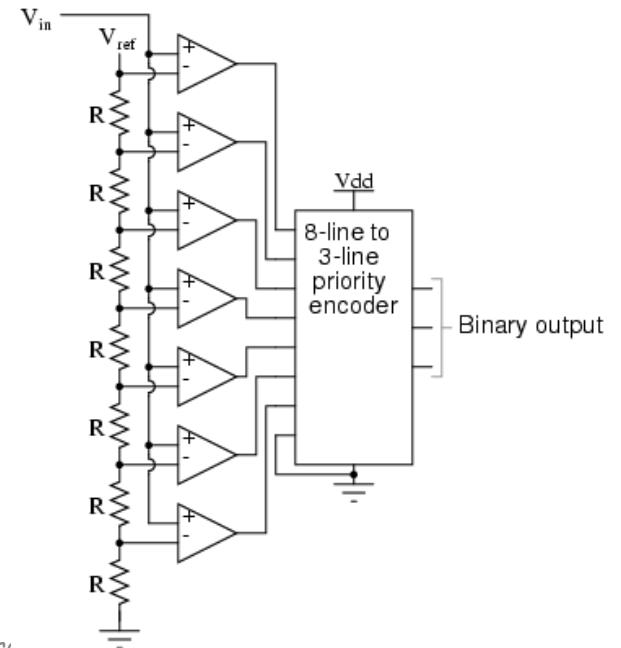
Signaux lents

Limité à ~ audio

Flash ADC

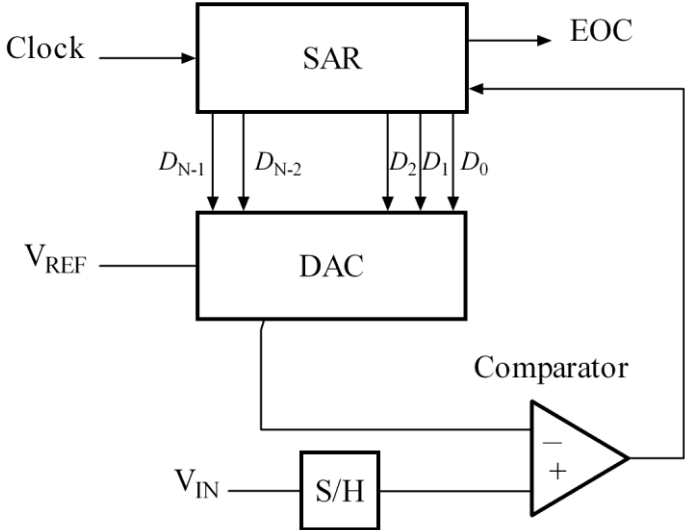
Rapide

Limité à un faible nombre de bits



ADC : zoologie

Successive approximation ADC



S.A. ADC
Redistribution
de charges

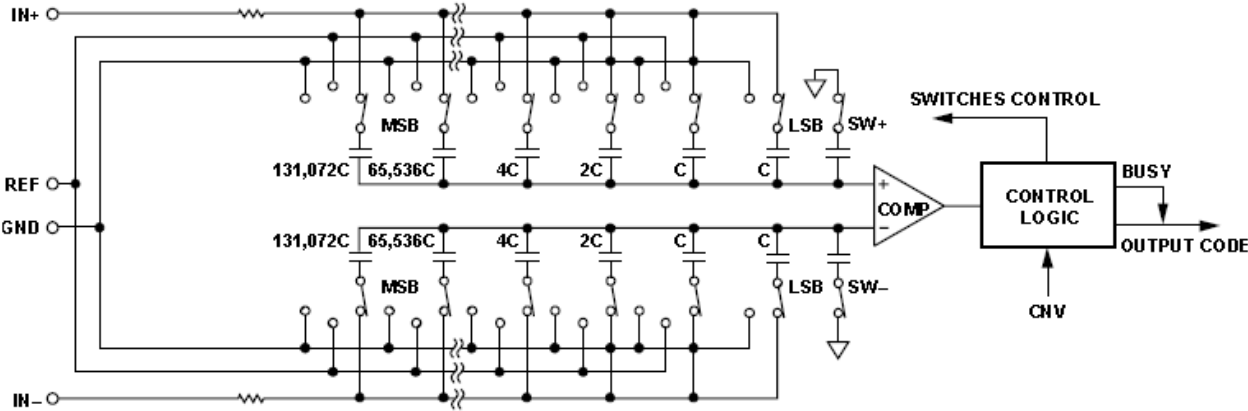


Figure 21. ADC Simplified Schematic

Filtrage numérique

- Combinaisons linéaires des échantillons
 - IIR, FIR
- Rendu possible grâce aux ADC rapides et à l'évolution des DSP et FPGA
 - Réalisation de fonctions plus complexes qu'en analogique
 - Reconfigurable

Disparition des shapers et traitement du signal analogique ?

Électronique numérique

- Évolution :
 - portes TTL ou CMOS
 - composants programmables PLD puis reprogrammables
 - FPGA
 - Équivalent à plusieurs millions de portes
 - Implémentation de DSP, μ Processeurs, PLL ...
 - Reconfigurables
 - Cartes d'évaluation FPGA

Électronique numérique

- Écriture du Firmware
 - Verilog
 - VHDL
- Simulations comportementales
- Synthèse sur le FPGA cible ou synthèse sur une techno pour un asic numérique ou mixte, placement routage
- Simulations après synthèse

Évolution du numérique

- TTL 0-5V
- ECL -0,8 - -1,8V plus rapide mais besoin de plus de puissance, pas de fonctions complexes
- LVDS : signaux différentiels -> meilleure immunité aux bruits
- Diminution des alimentations 5V → 1,2V
 - Plus rapide
 - Moins de puissance
 - Dictée par la réduction de la taille des transistors

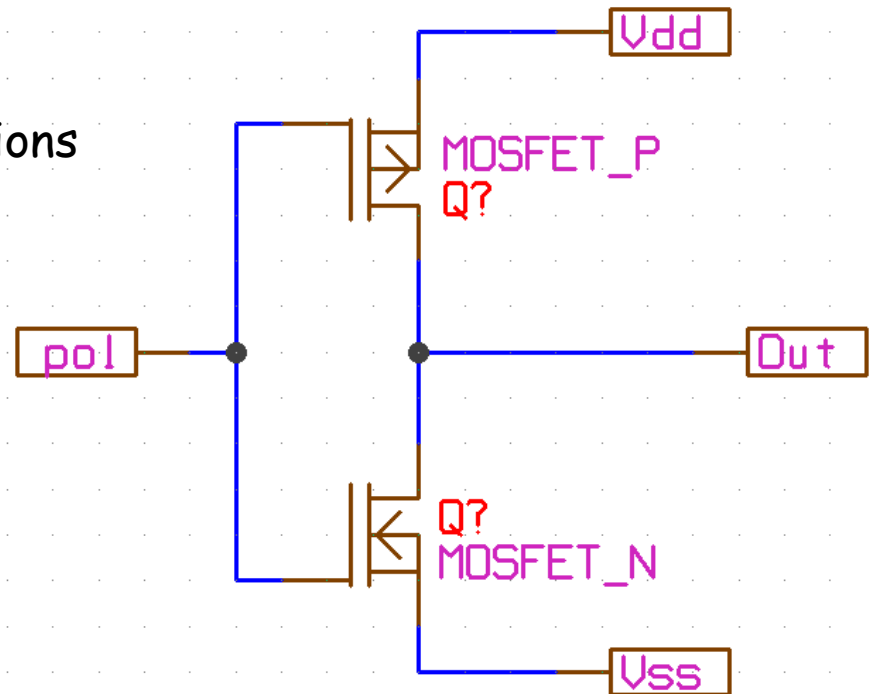
Logique CMOS

Puissance dissipée au repos nulle

Courant uniquement pendant les transitions

Diminution de la taille des transistors :
+ rapide
-puissant

Réduction des alims :
Dictée la taille des transistors
+ rapide
-puissant



Radiations

- Électronique spatiale et sur collisionneurs
- Effets des radiations
 - Total dose : charges piégées dans l'oxyde → diminution des performances, meilleur comportement des techno submicroniques
 - NIEL : non ionising energy loss : dégradation du cristal
 - SEU : single event upset : changement d'état de bascules
 - SEL : single event latchup : destruction

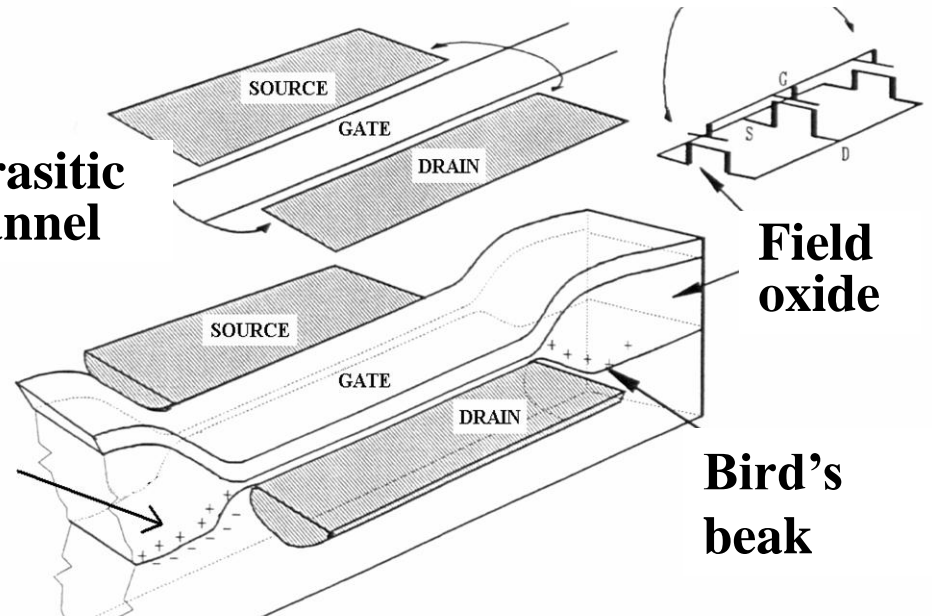
Radiation hardness by design

©JF. Faccio CERN

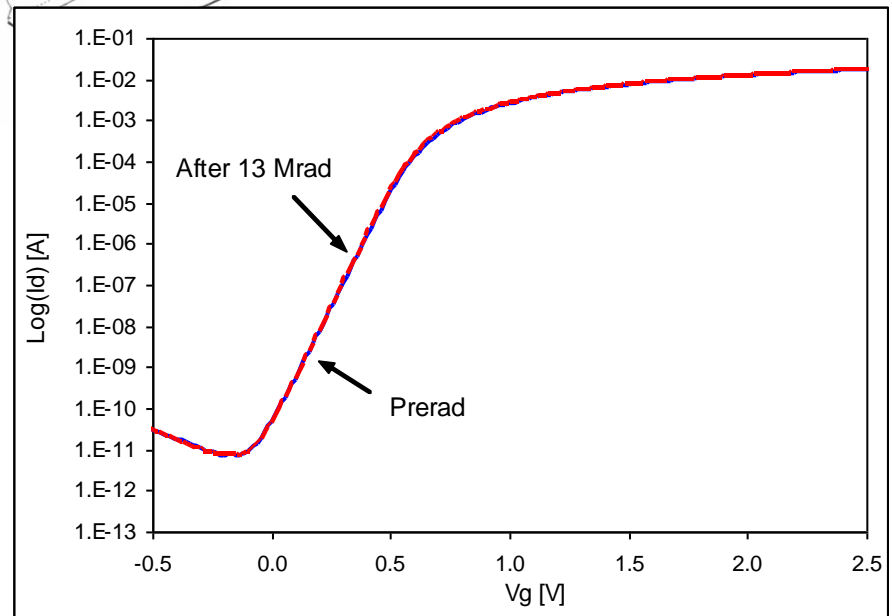
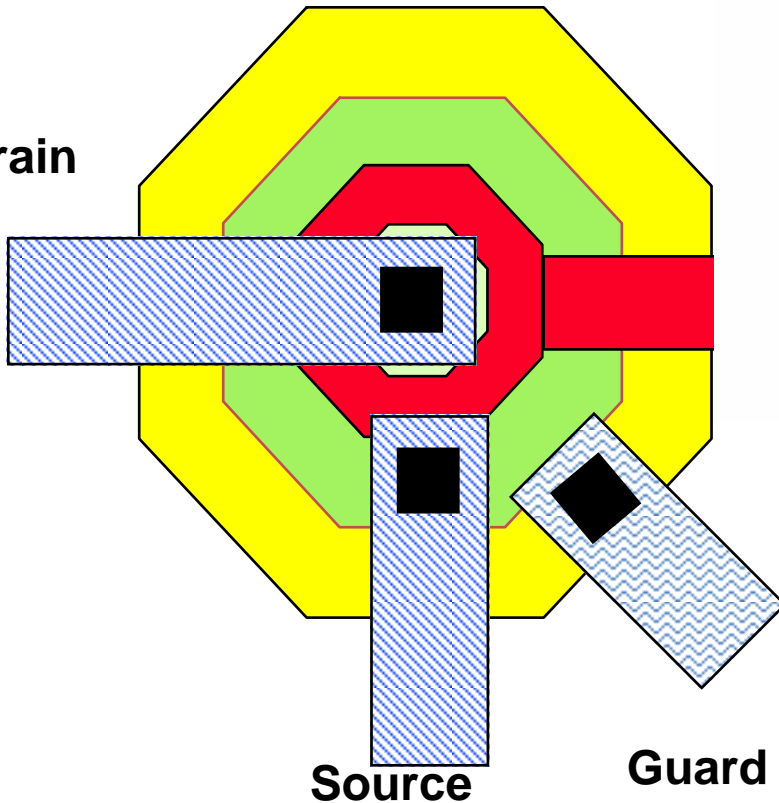
Parasitic MOS

Enclosed layout transistors : radtol up to >10Mrad in 0.25 μm standard CMOS (CERN)

Parasitic channel



Drain



CEM

- **Blindage**
 - Boîtes métalliques : protection contre les champs EM
 - Connecteurs : masse reliée au boîtier
 - Câbles : blindés, paires torsadées, coax, triax
- **Masse**
 - Retours de courant
 - Plans de masse, remplissage de masse sur les couches fils
 - ~~• Masses en étoiles~~
- **Couplages :**
 - Inductifs
 - Capacitifs : séparer les pistes sensibles avec de la masse

Circuits imprimés

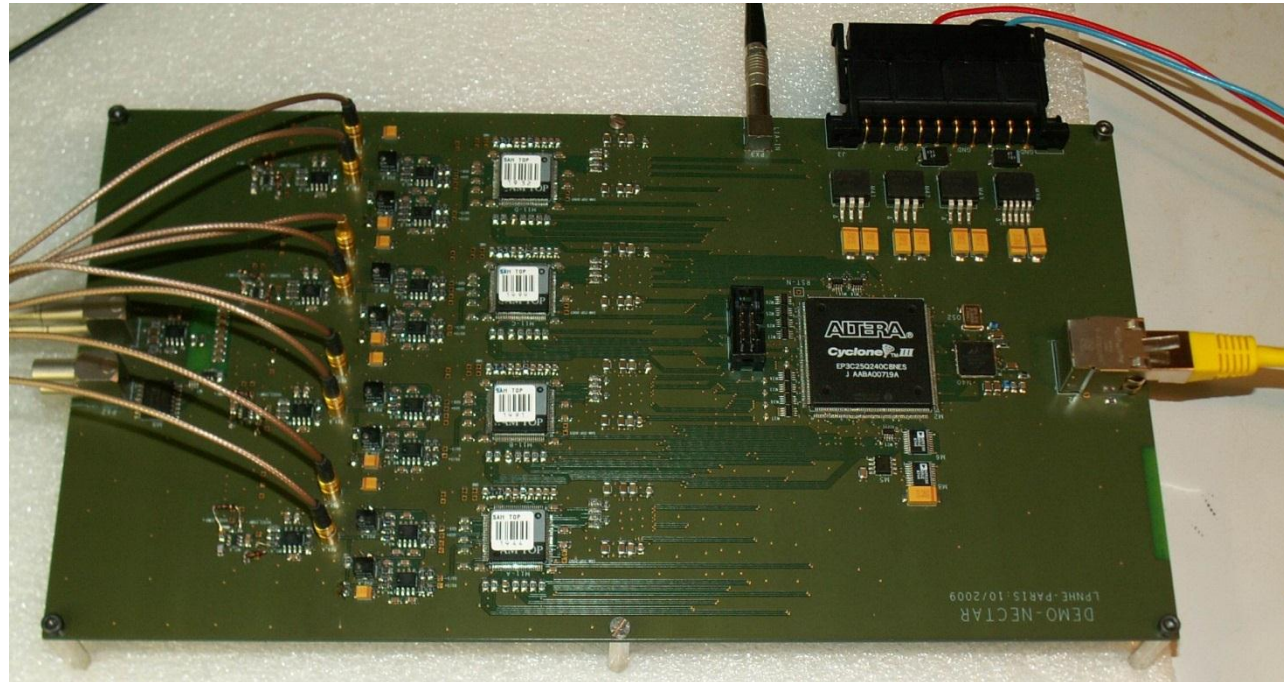
De 2 à + 14 couches

Trous débouchants ou enterrés

Impédances de lignes

Temps de propagation

Trous dans les pads de CMS



Différents matériaux:

Époxy FR4

Polyimide adapté au vide, moins de dégazage que l'époxy

Téflon : meilleure résistivité

Kapton : circuits souples

Contrôle de l'épaisseur entre couches, épaisseur totale, ...

Circuits Imprimés

- Saisie de schéma
 - Associations des formes des composants avec les symboles schématiques
- Vérifications
 - Court-circuits
 - Équipotentiels uniques, etc...
- Placement
 - Possibilité de créer des macros
- Routage
 - Macros
 - Routage automatique (contraintes)
 - Impédances de ligne, temps de propagation (simulations)
 - Diaphonies
- Création des fichiers pour la fabrication et des fichiers pour le câblage (masque de soudure, ...)

Câblage et maquettage

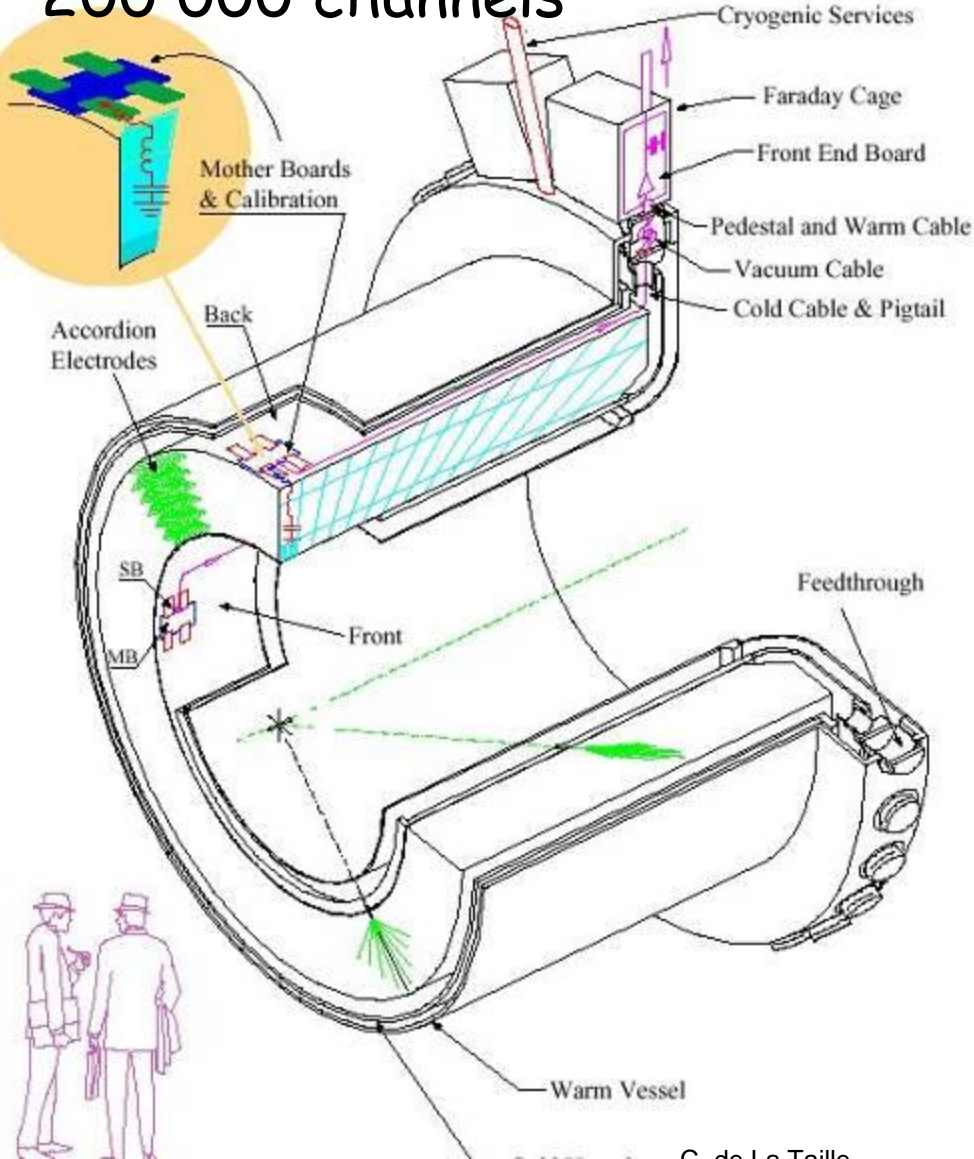
- Brasage des composants traversants
 - Manuel ou à la vague
- Brasage des CMS :
 - Four à refusion
 - Infra-rouge
- Sous traitance
- Fabrication de coffrets et faces avant
 - Mini fraiseuses numériques
 - Fabrication de circuits imprimés « gravure anglaise »

Quelques exemples ..

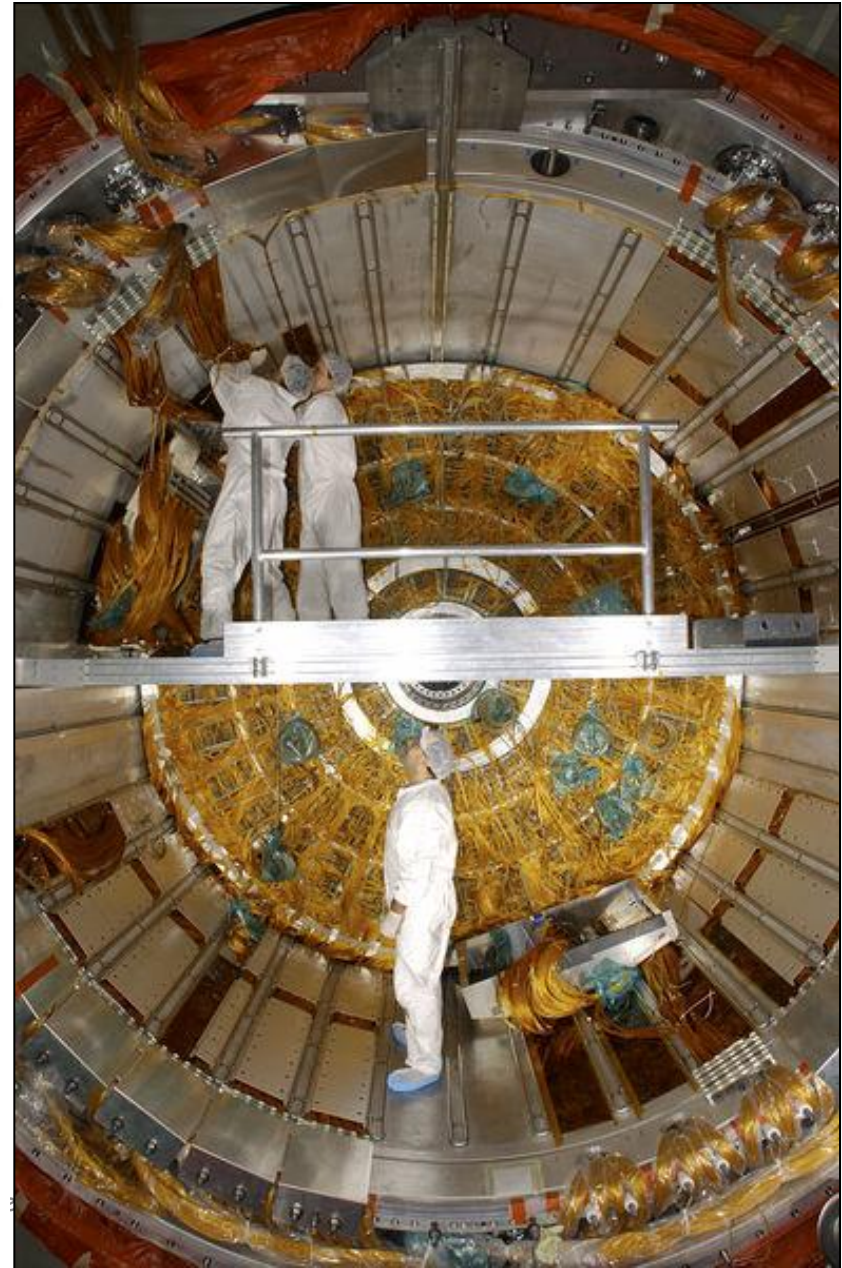


ATLAS : LAr e.m. calorimeter

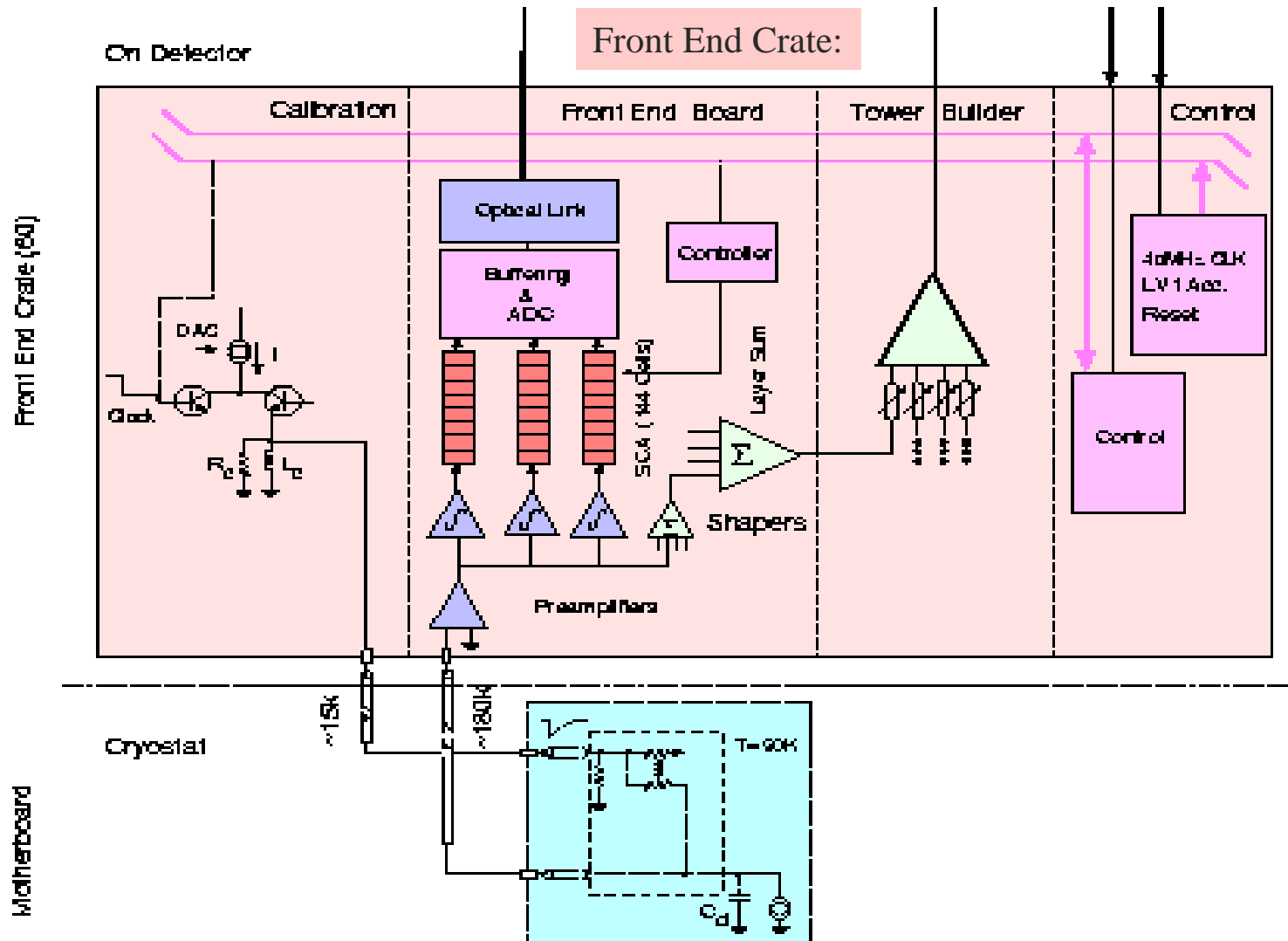
- 200 000 channels



C. de La Taille



ATLAS LAr calorimeter readout



Atlas : Lar preamplifier

Current preamp bipolar hybrid

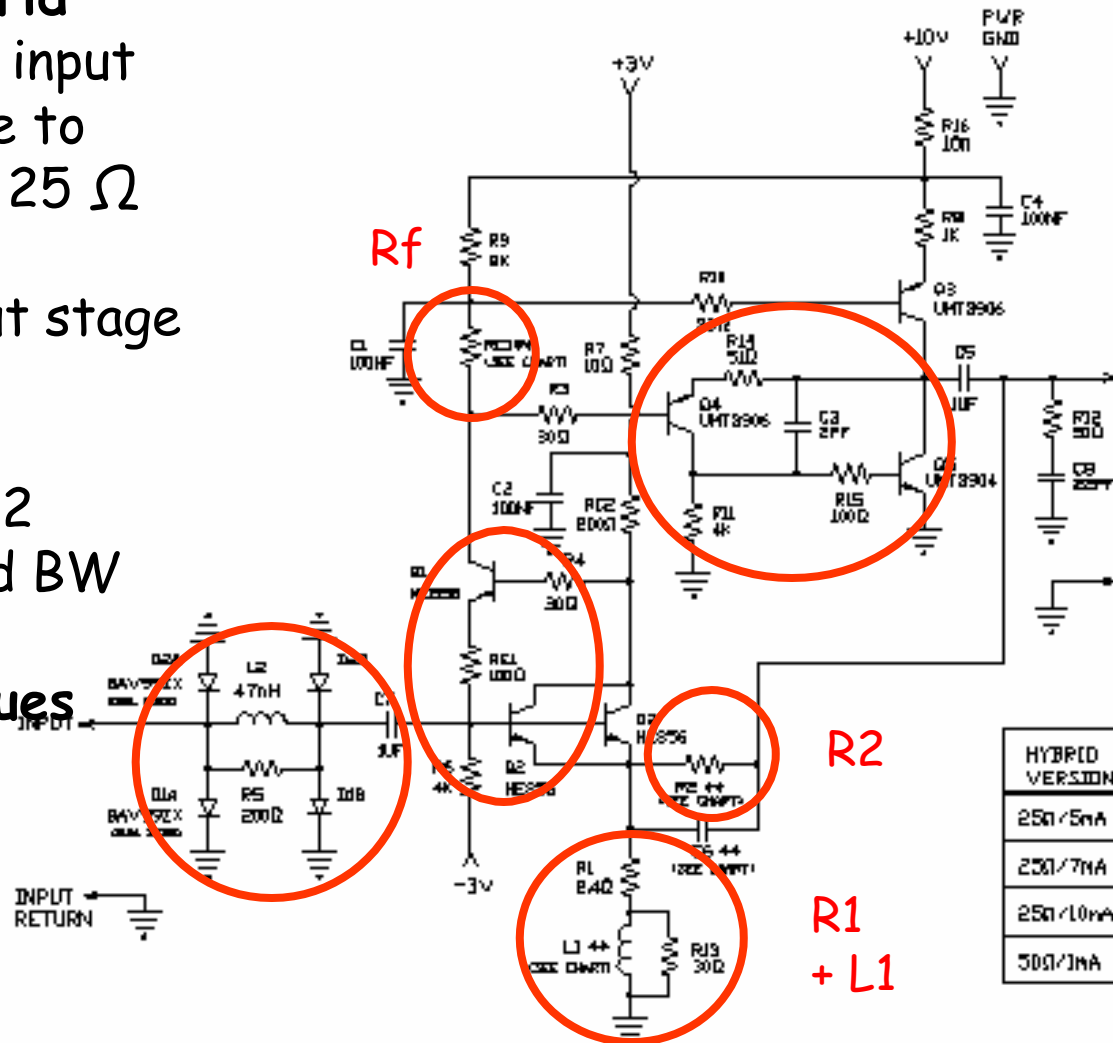
- "super common base" input
- Feedback on the base to raise the input impedance to 25 Ω or 50 Ω
- White follower output stage

Input impedance :

- $Z_{in} = 1/g_m + R_f \cdot R_1/R_2$
- Inductance to extend BW

3 transimpedance (gain) values

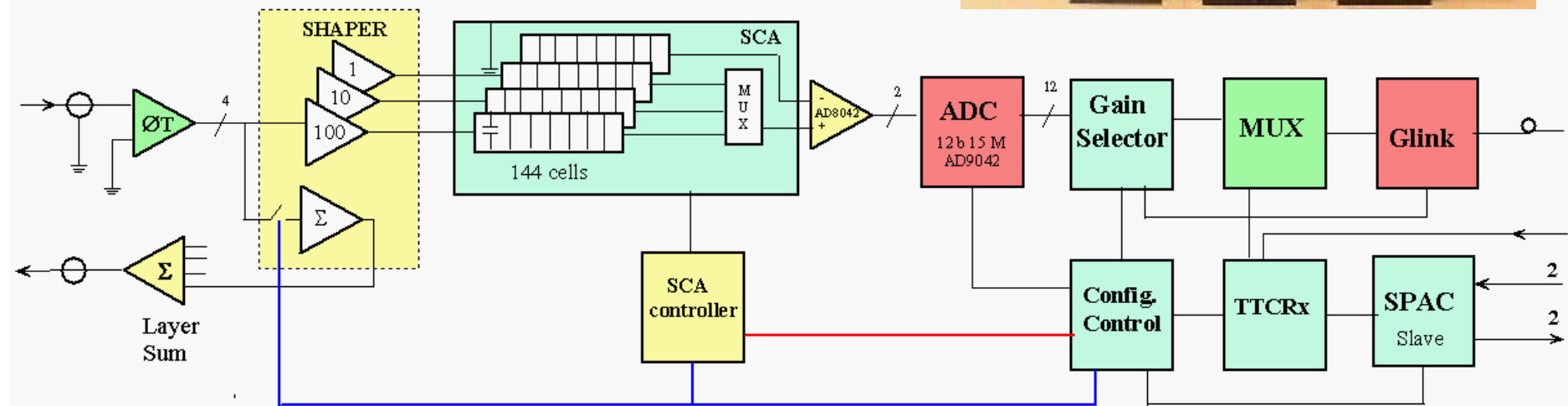
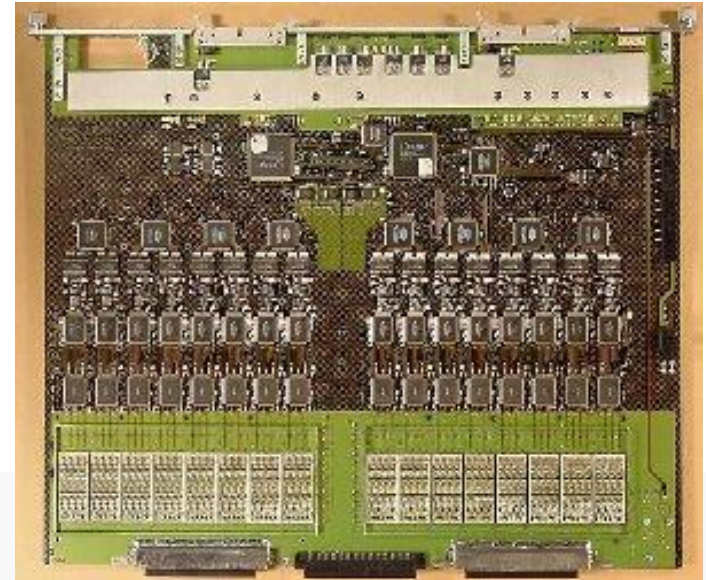
- 3 k Ω (Front)
- 1 k Ω
- 500 Ω





ATLAS LAr : Front End boards

- Amplify, shape, store and digitize LAr signals
 - 16 bits dynamic range current preamps
 - Trigain (1-10-100) CRRC² shapers
 - 12 bits R/W analog memories
 - 10 different ASICs rad hard...



Trajectographe (Tracker)

Détecteur à micropistes de Silicium

Pitch : $100\mu\text{m}$

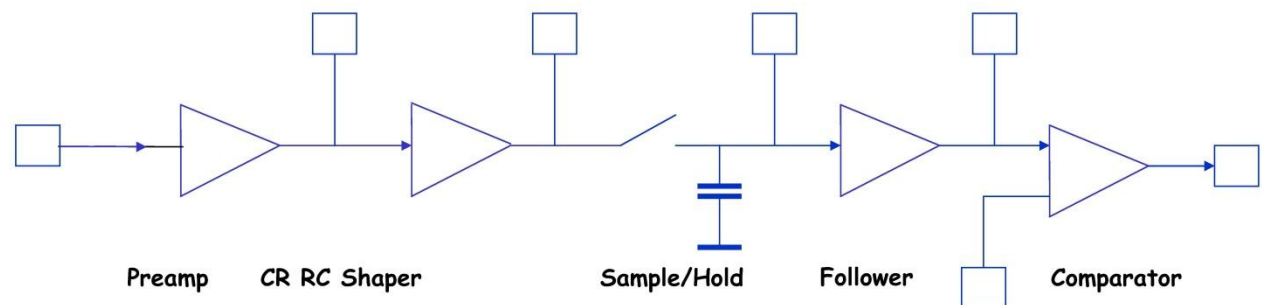
Possibilité de mettre des raquettes en série

Lecture :

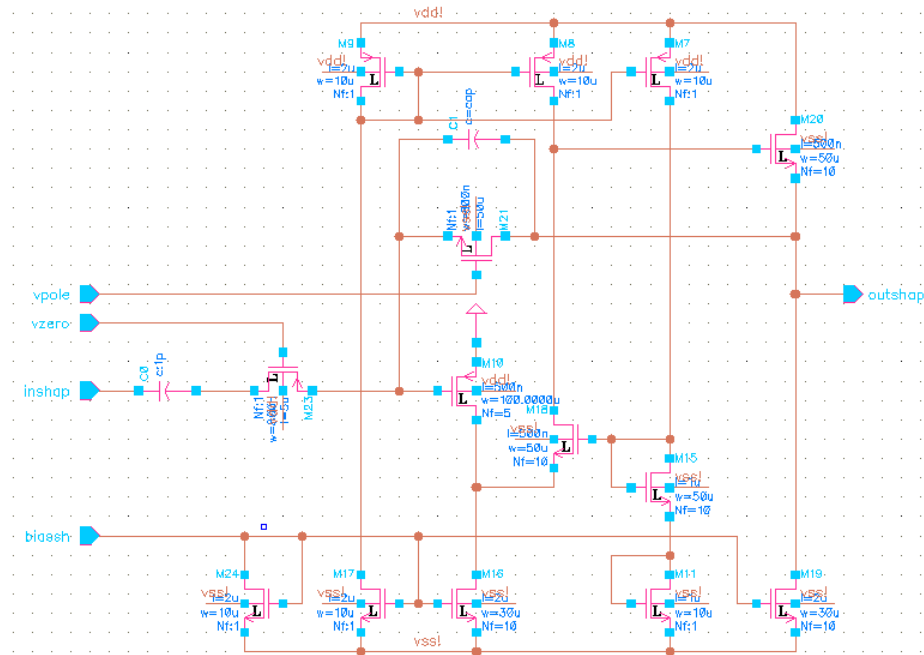
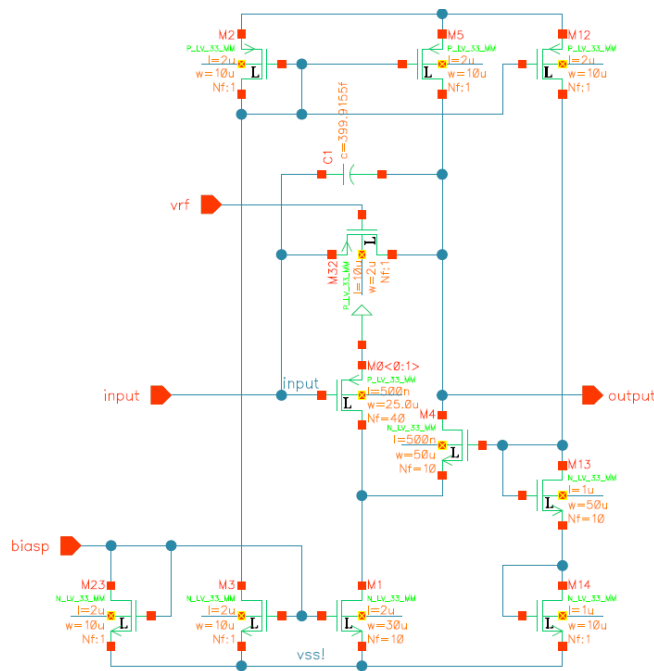
- Préampli de charge
- Shaper CRRC
- Sample & Hold
- Comparateur pour le déclenchement



Chip Block diagram



Asic pour micro strip



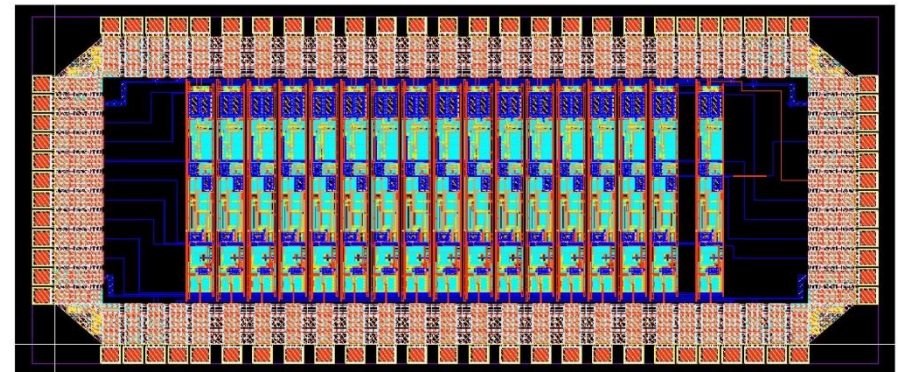
Techno UMC 0,18 μ m

Bruit : $280e^- + 8,9 e^- / pF @ 3\mu s$

Constantes de temps programmables
par tensions continues

Puissance (pré + shaper) 200 μ W
12-18 mai 2013 Hervé Lebbolo

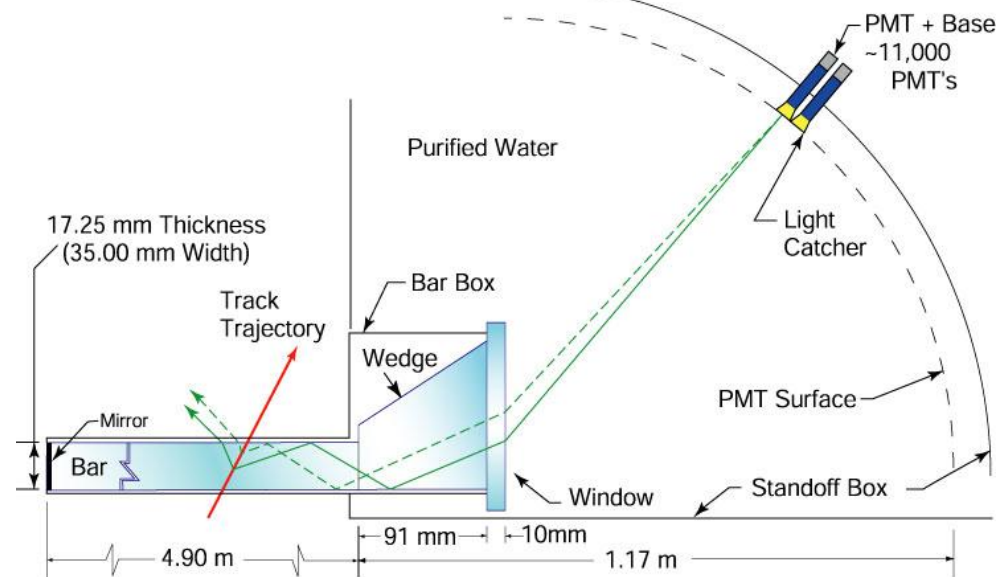
Du détecteur à la mesure



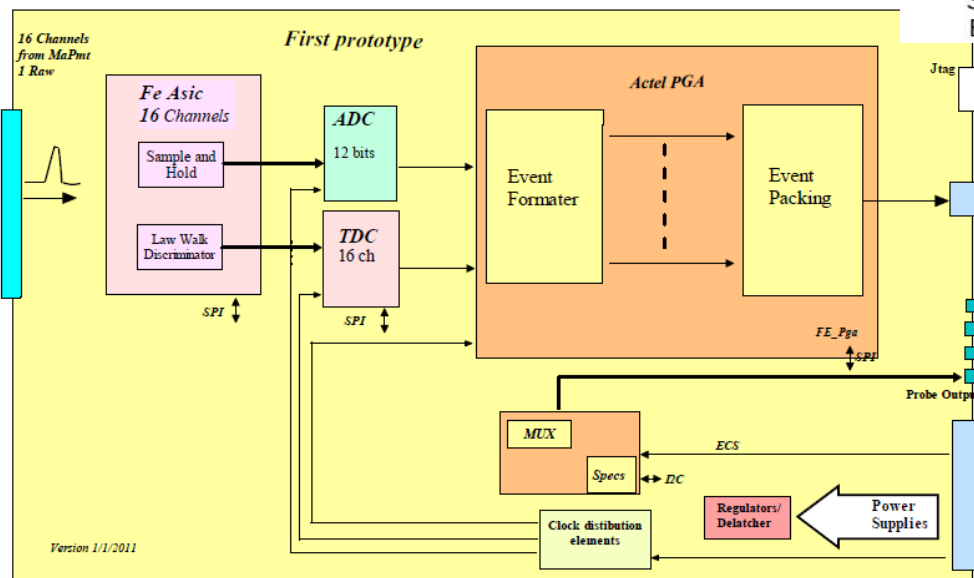
Identification de Particules

DIRC de BABAR
~~PID de Super B~~

Mesure de temps
 Résolution 100ps
 Temps mort : 100ns



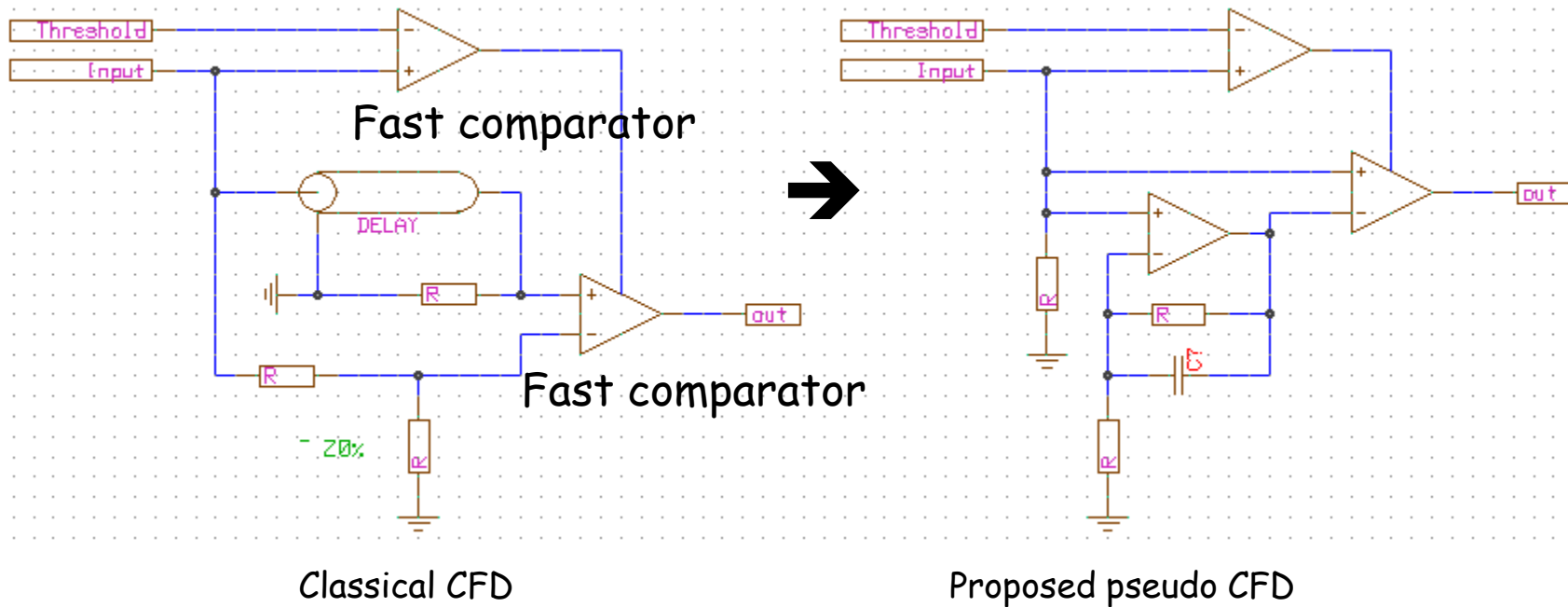
4 x 1.225 m
 Synthetic Fused Silica
 Bars glued end-to-end



Carte de lecture 16 voies
 Asic front end
 TDC
 Traitement numérique FPGA

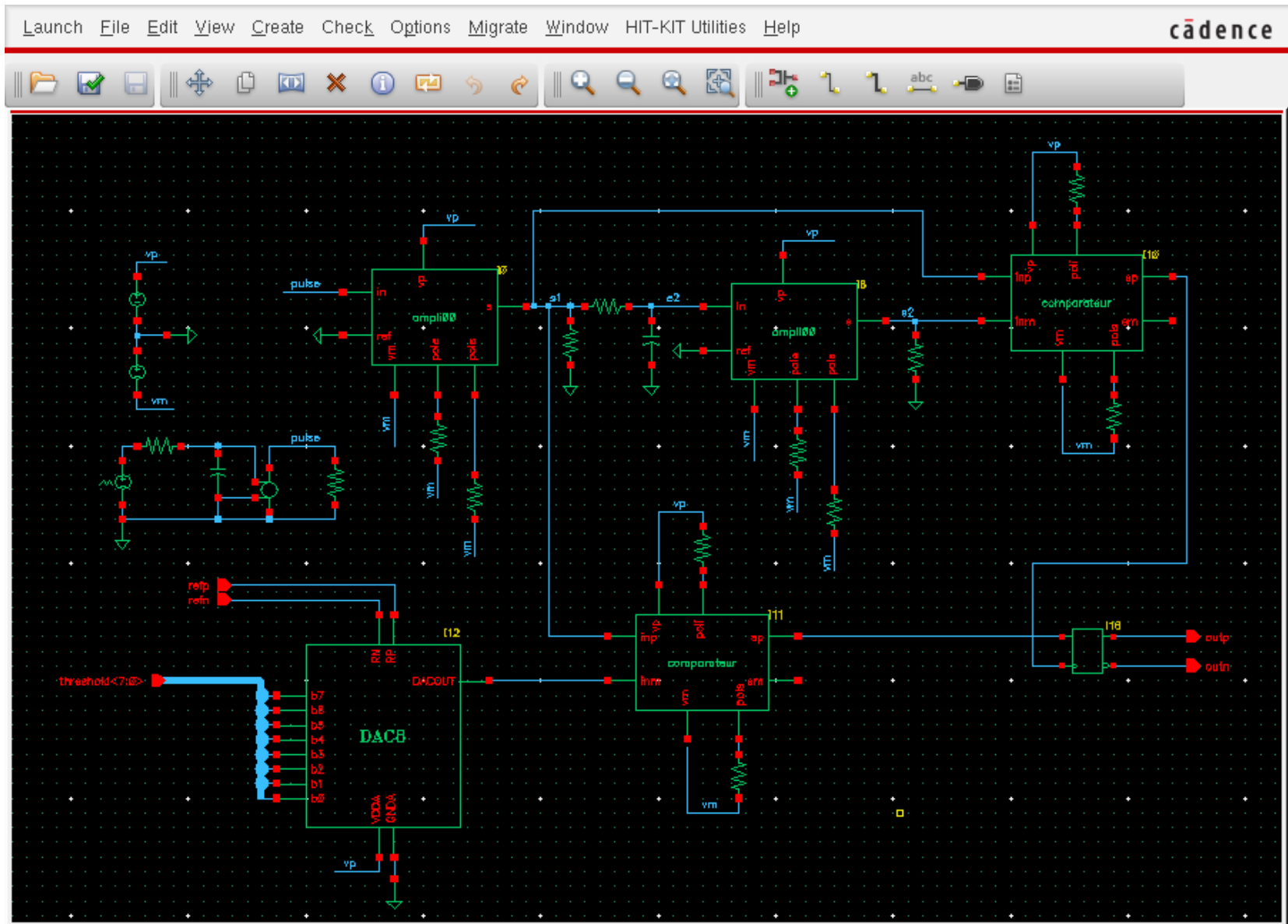
teur à la mesure

CFD on silicon

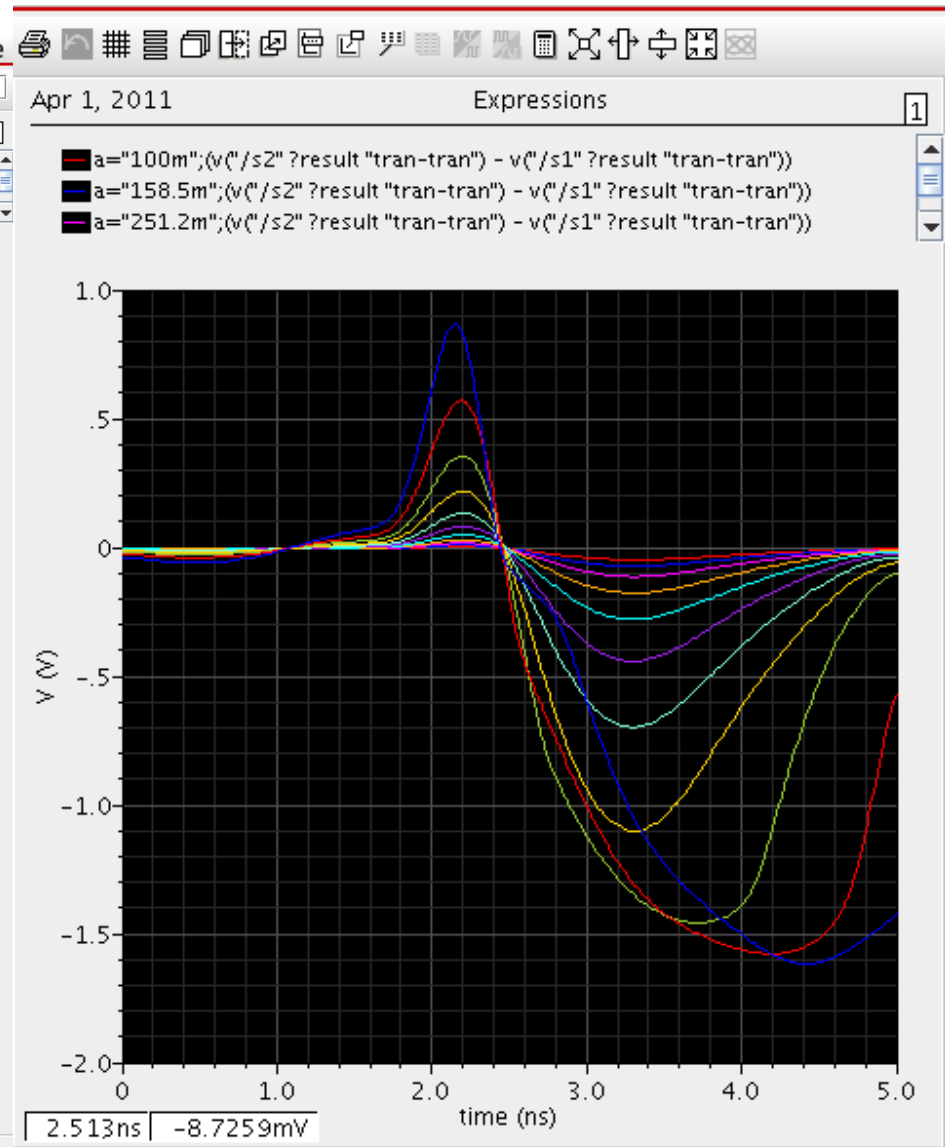
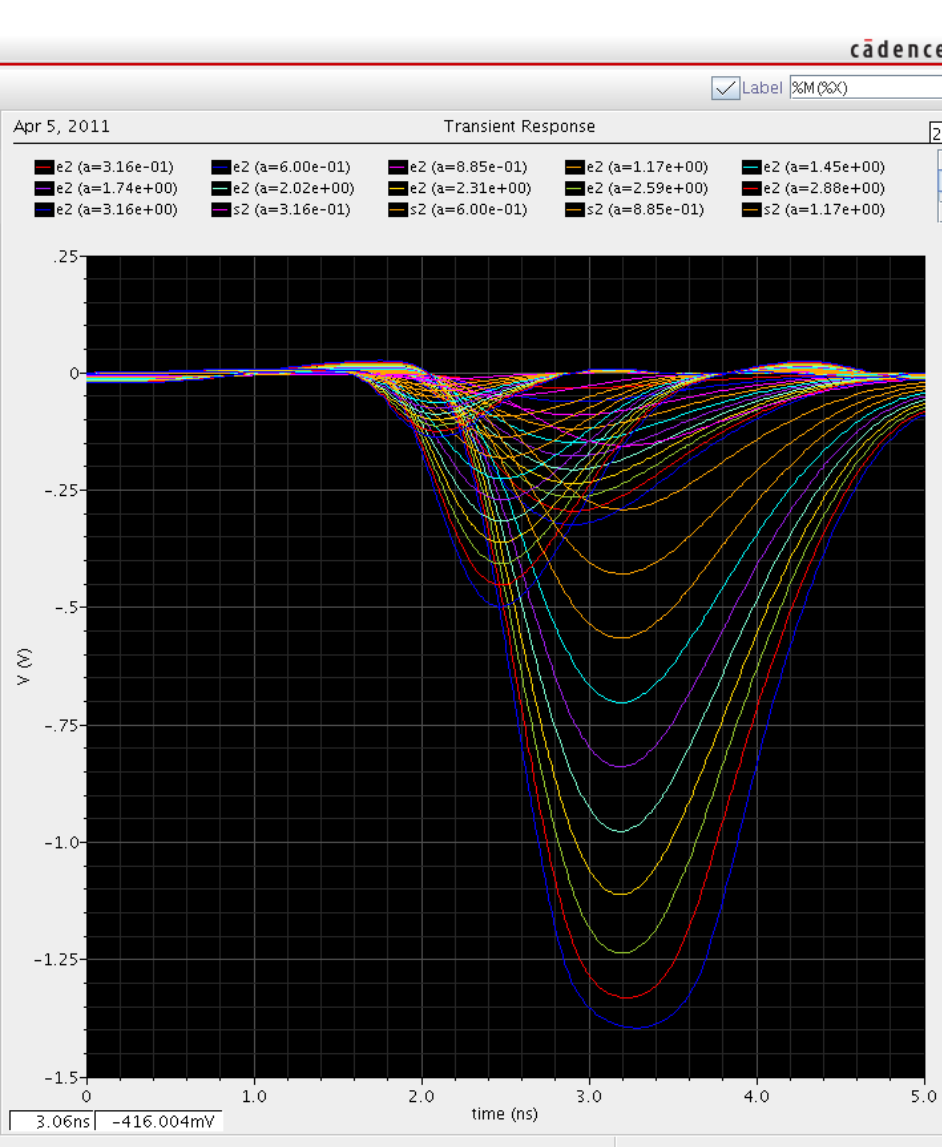


- Delay + Fraction \rightarrow Gain + Integrators

ASIC Pseudo CFD



ASIC Pseudo CFD



Contrôle de Faisceau : LLRF

Digital Low Level Radio Frequency Control

- Contrôle numérique bas niveau de l'amplitude et de la phase de la puissance RF des cavités accélératrices
- Améliorer la vitesse, la stabilité, la programmation, la fiabilité et le diagnostic du fonctionnement des accélérateurs.
- Applications : accélérateurs HE, hadronthérapie, transmutation des déchets...

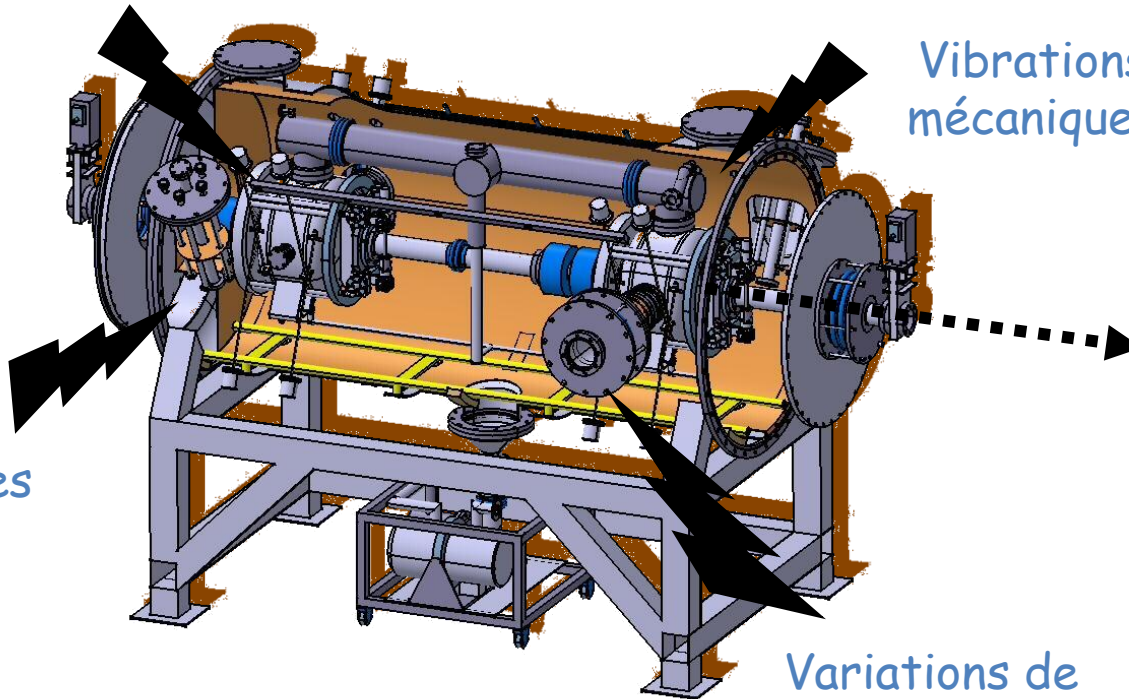
LLRF

Forces de Lorentz

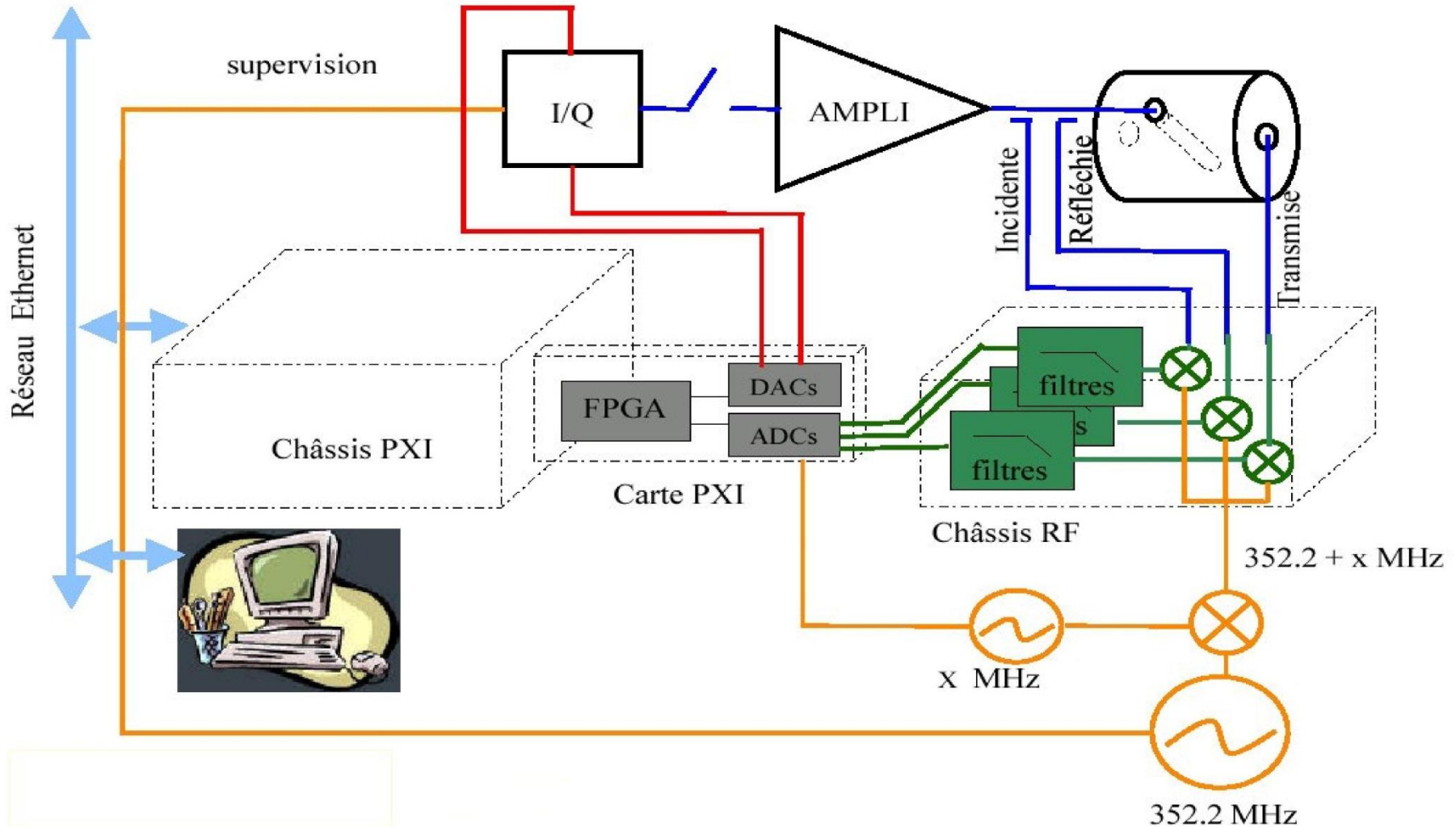
Vibrations mécaniques

Pannes

Variations de puissance RF

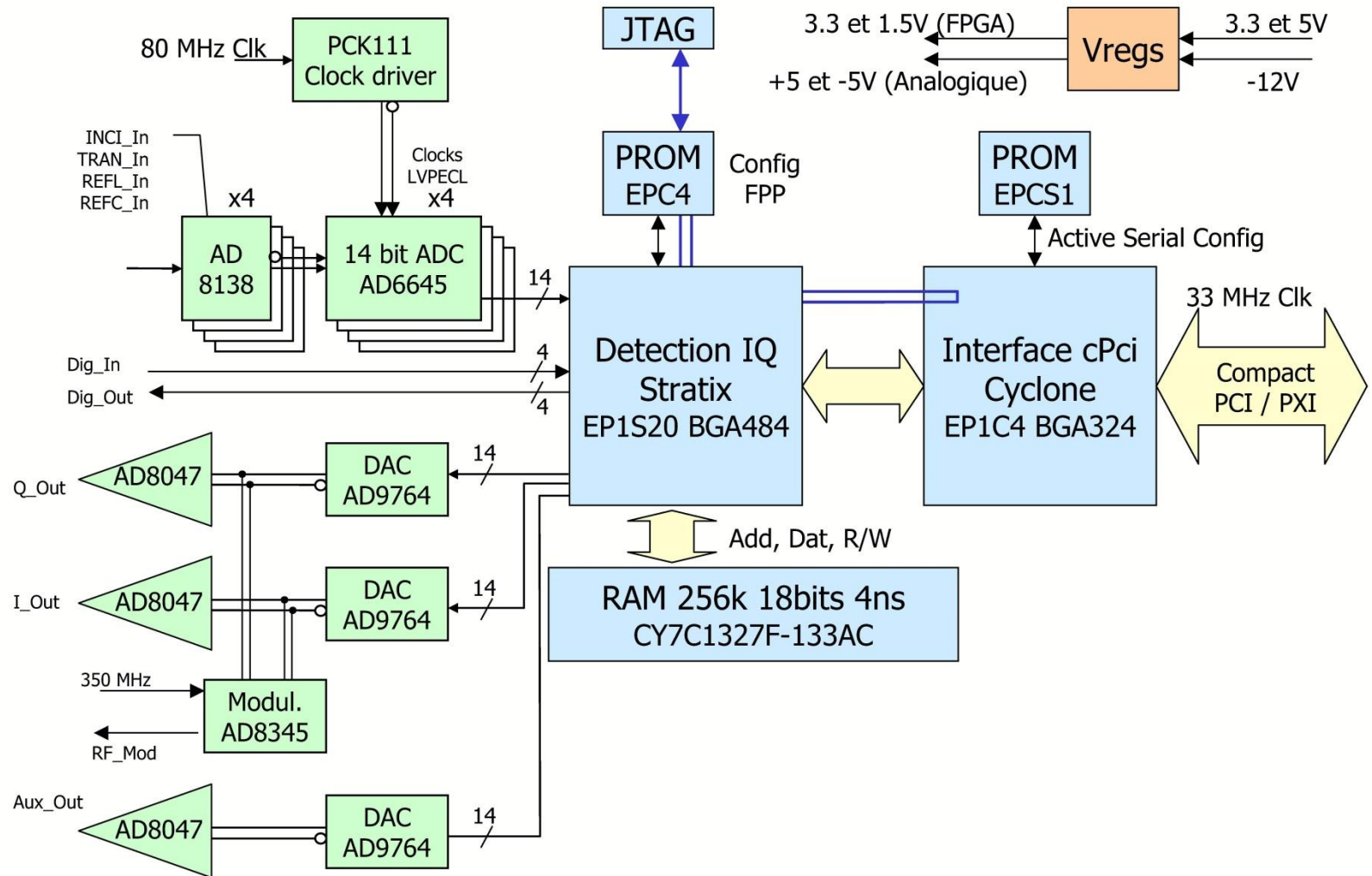


LLRF numérique



LLRF

Synoptique de la carte PXI



HESS - HESS2

Astronomie γ de très hautes énergies

HESS 2

Miroir 600m²

Ø : 28m

Focale : 35m

2048 canaux

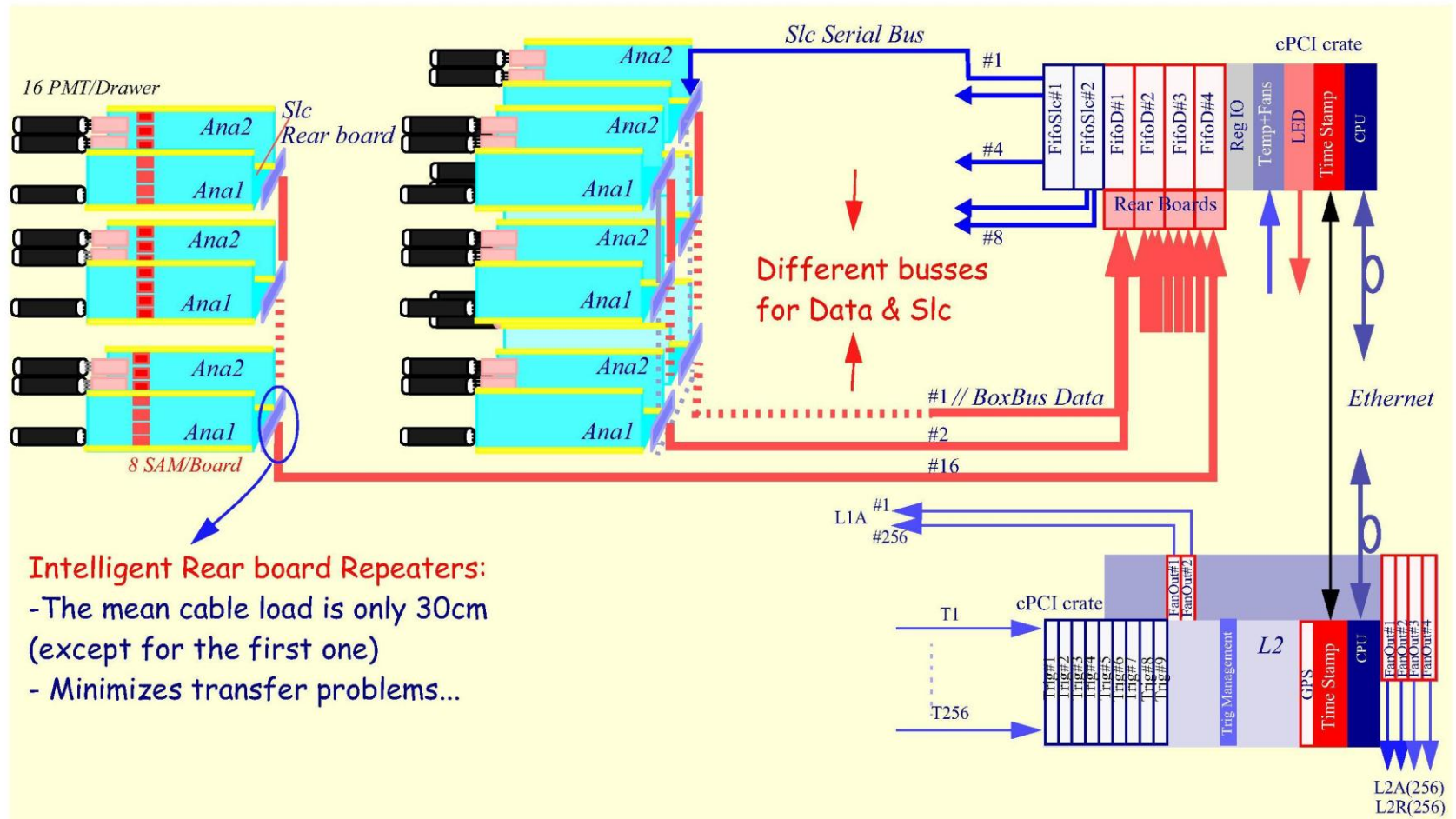
Sampling : 1GHz

SAM (IRFU)



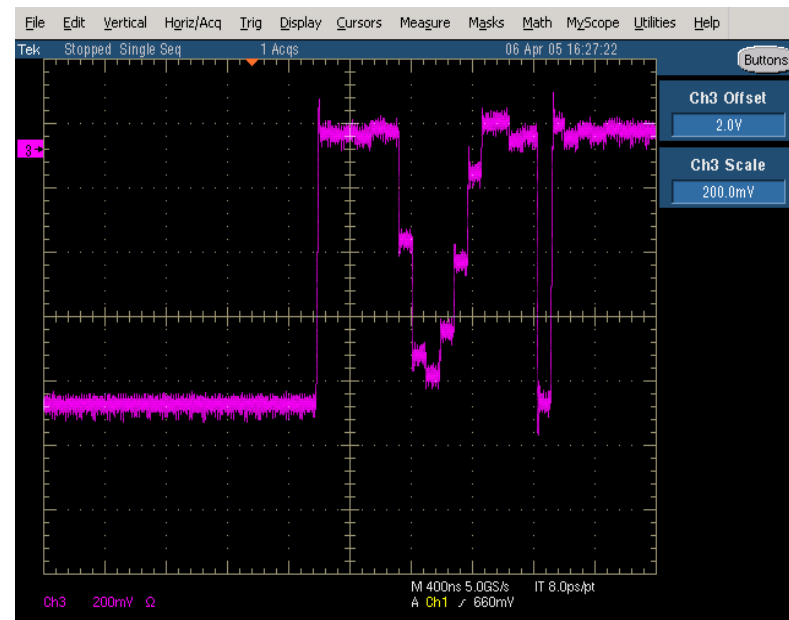
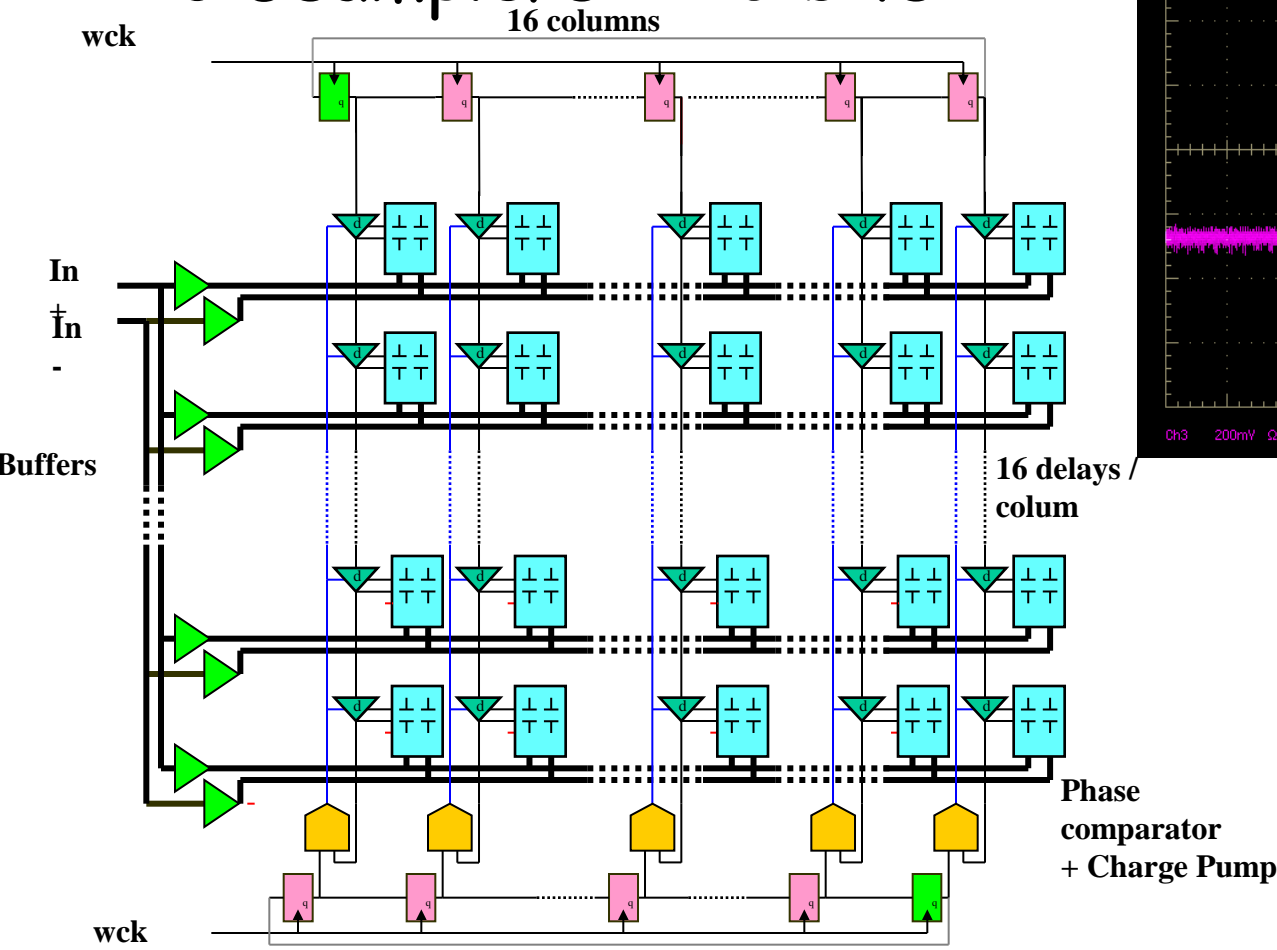
HESS2

General Architecture

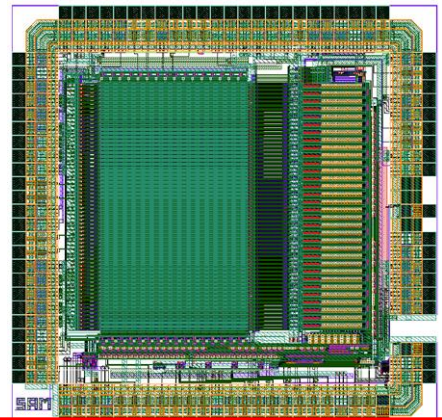


SCA : SAM pour HESS2

- Swift Analog Memory
 - 3 Gsample/s >10 bits



2 ns pulse in SAM0

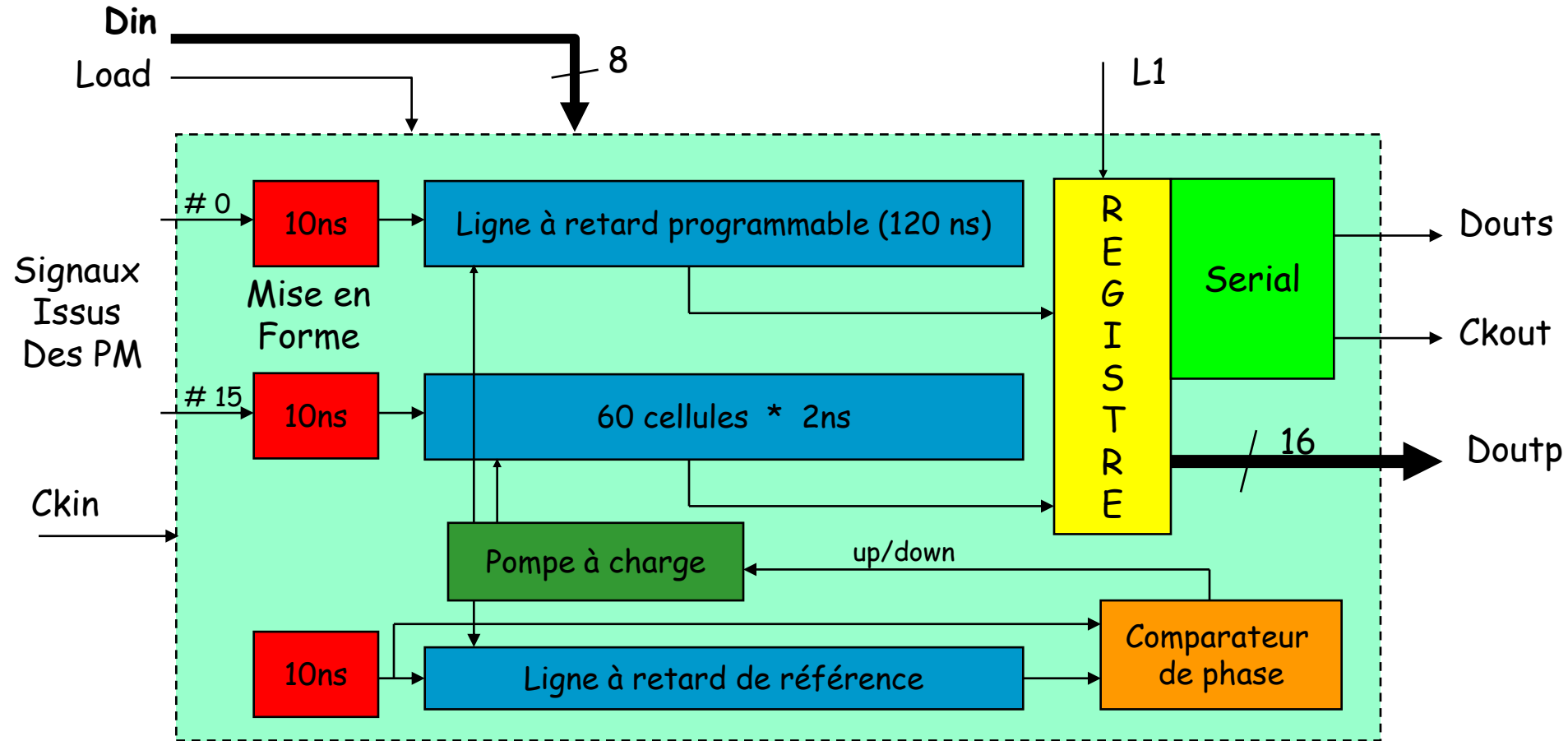


chip layout in 0.35µ CMOS

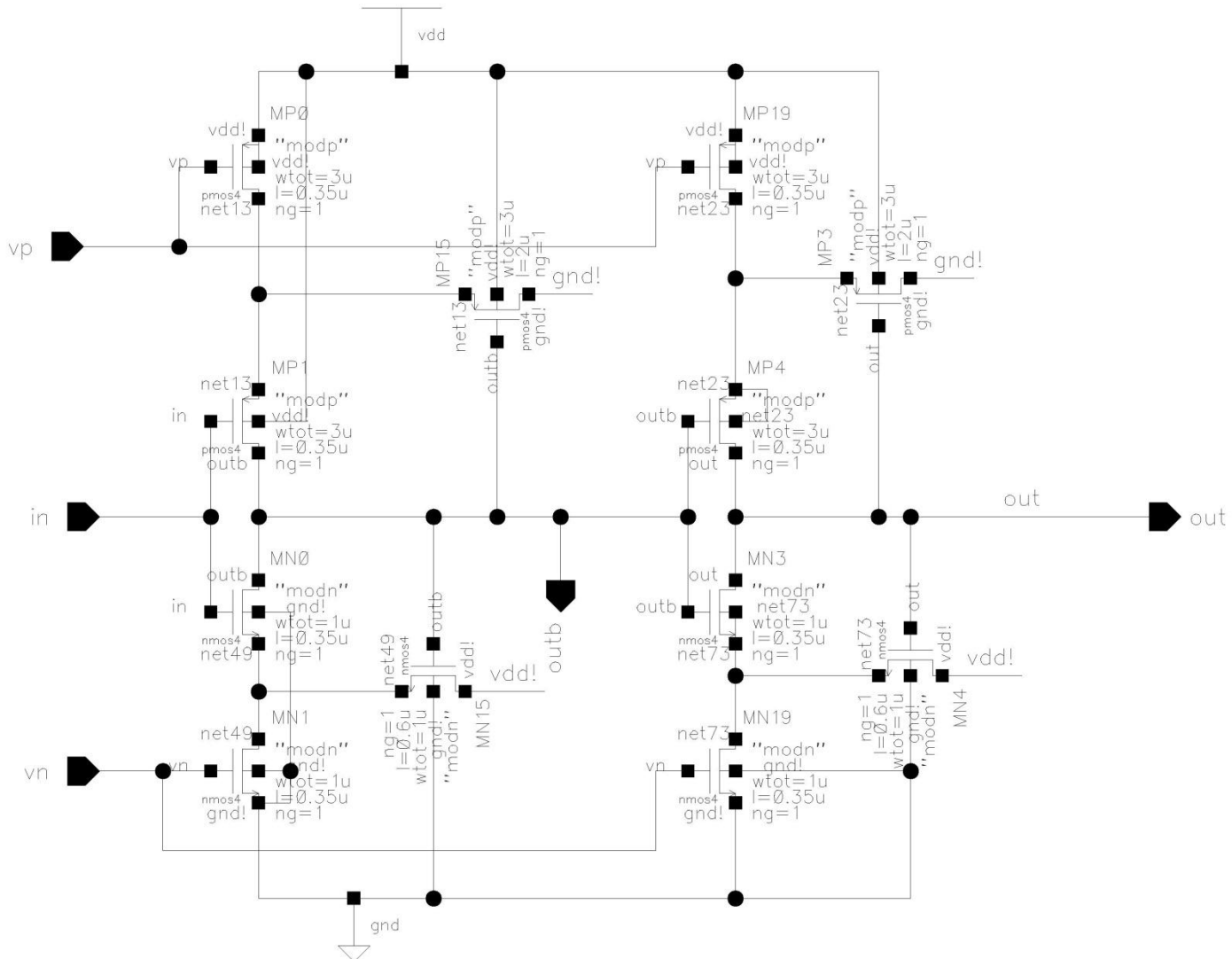
HESS II trigger pré L2

ASIC « pré L2 », chargé de préparer les données au trigger de niveau 2 en cas de L1 accept.

Technologie AMS CMOS 0,35 μ m



Cellule de retard élémentaire



AUGER

Observatoire de Cosmiques de très hautes énergies

$E \rightarrow \sim 10^{20}$ eV

~1600 cuves de 12m³ remplies d'eau

3 PMT par cuve : détection de photons Cerenkov

Amplis (2gains) dans la base du PM

Shaping et digitisation à l'extérieur

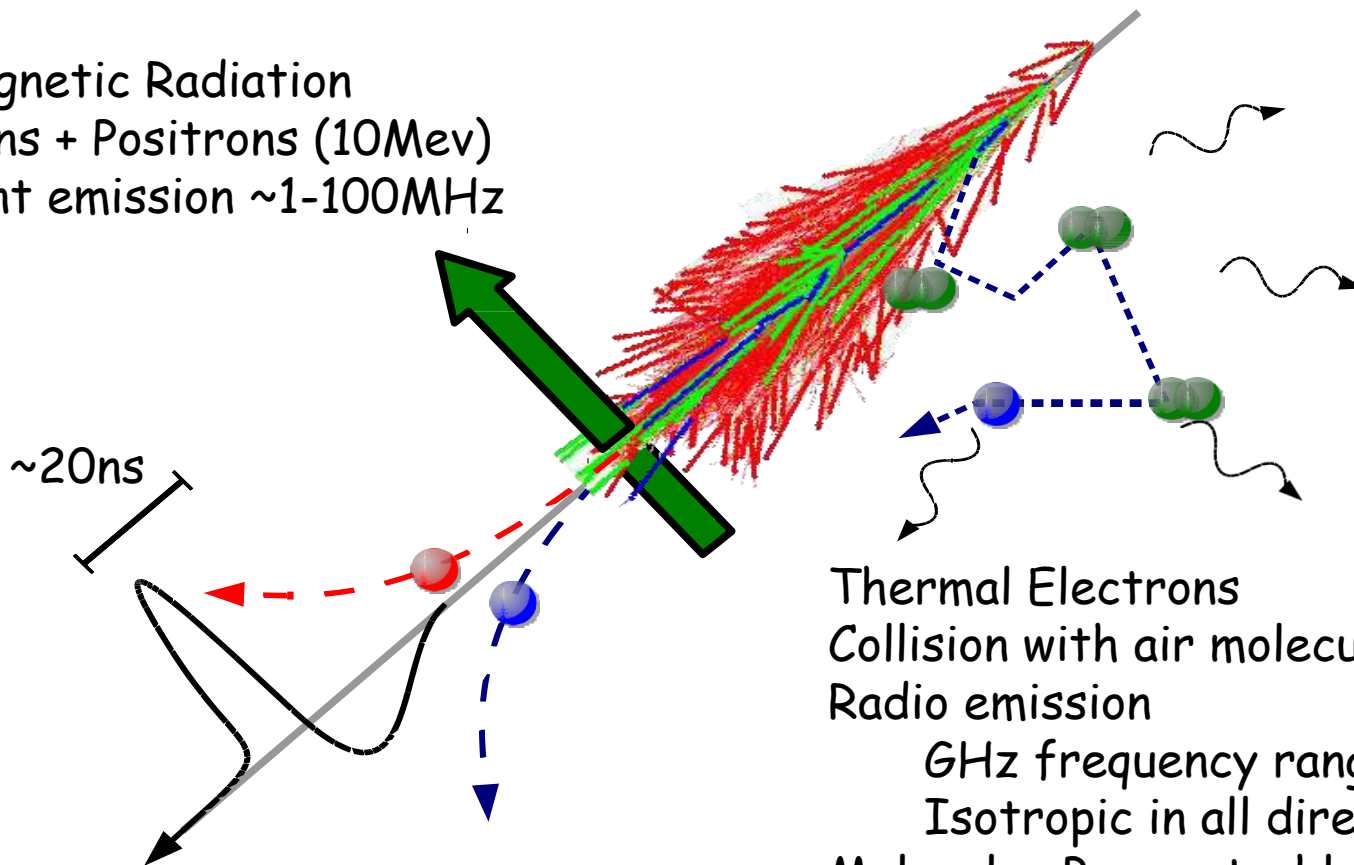
Liaison radio

Synchronisation par satellite



Auger : Radio détection

Geo Magnetic Radiation
Electrons + Positrons (10Mev)
Coherent emission $\sim 1-100\text{MHz}$



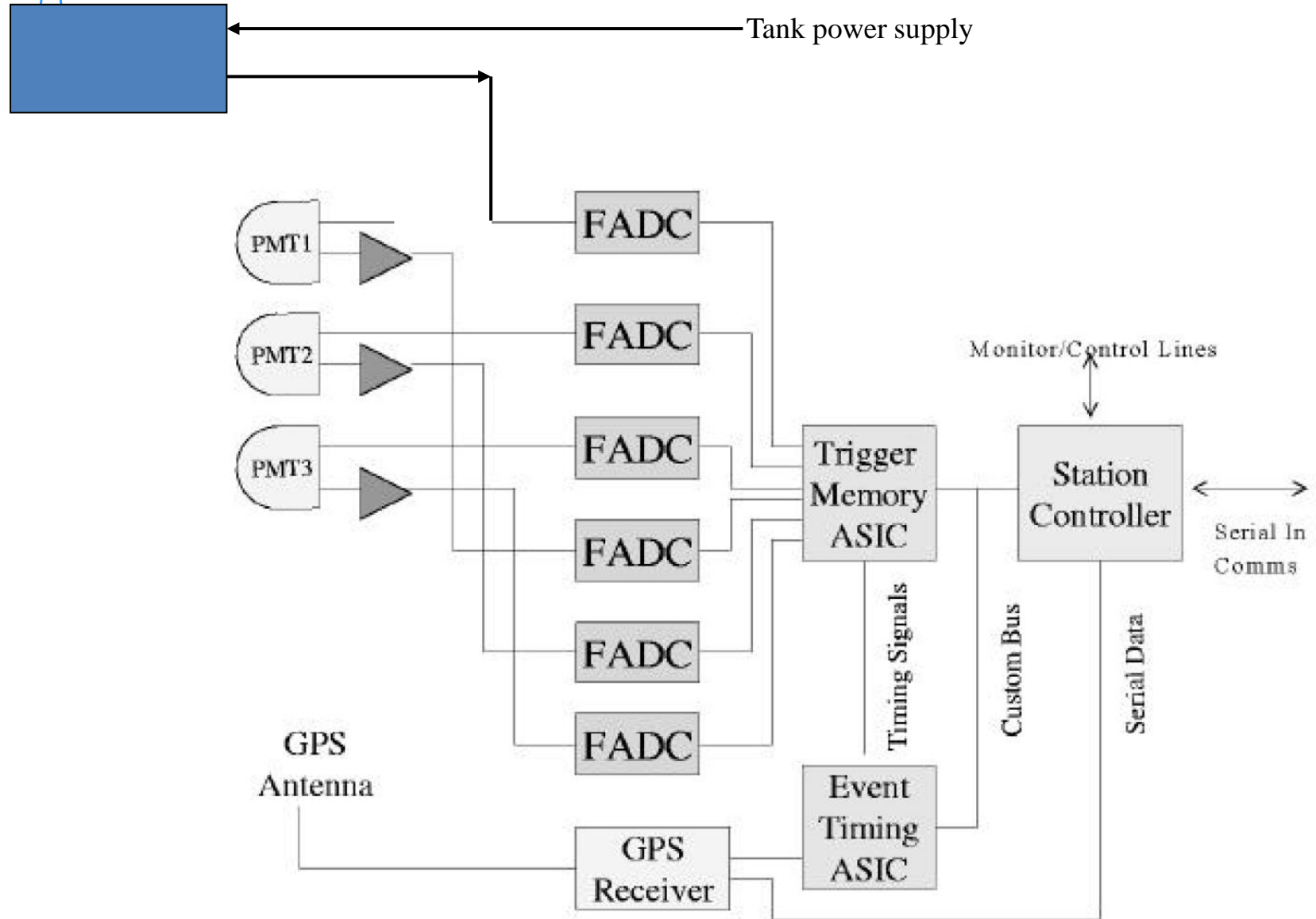
Thermal Electrons
Collision with air molecules
Radio emission
GHz frequency range
Isotropic in all directions
Molecular Bremsstrahlung

Auger Radio Détection

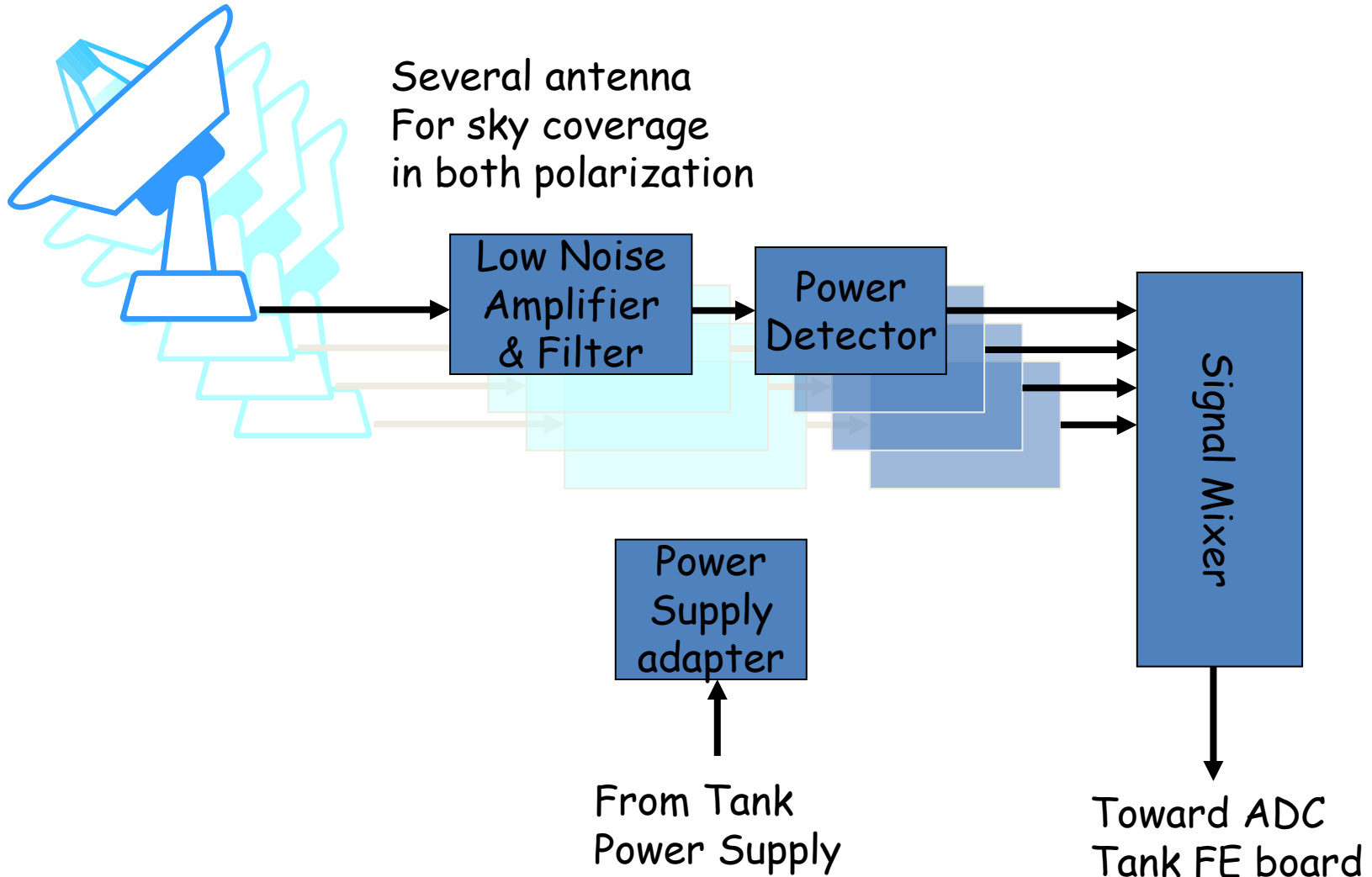
- Deux bandes de fréquences :
 - 10 → 100MHz
 - qq GHz
- Utilisation des readout et trigger d'Auger
- Utilisation de l'alimentation de la cuve (batteries + panneau solaire)
- Consommation !
- Fiabilité !



Auger : Radio détection



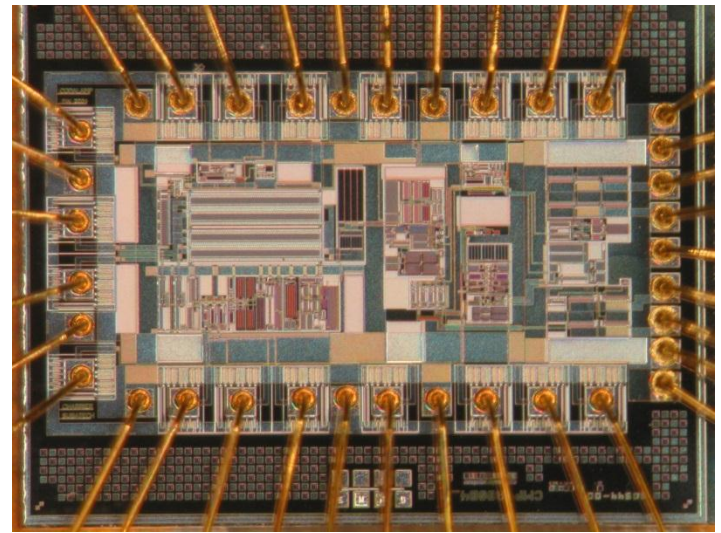
Auger : Radio détection



Radio détection



Antenne $F \leq 110\text{MHz}$



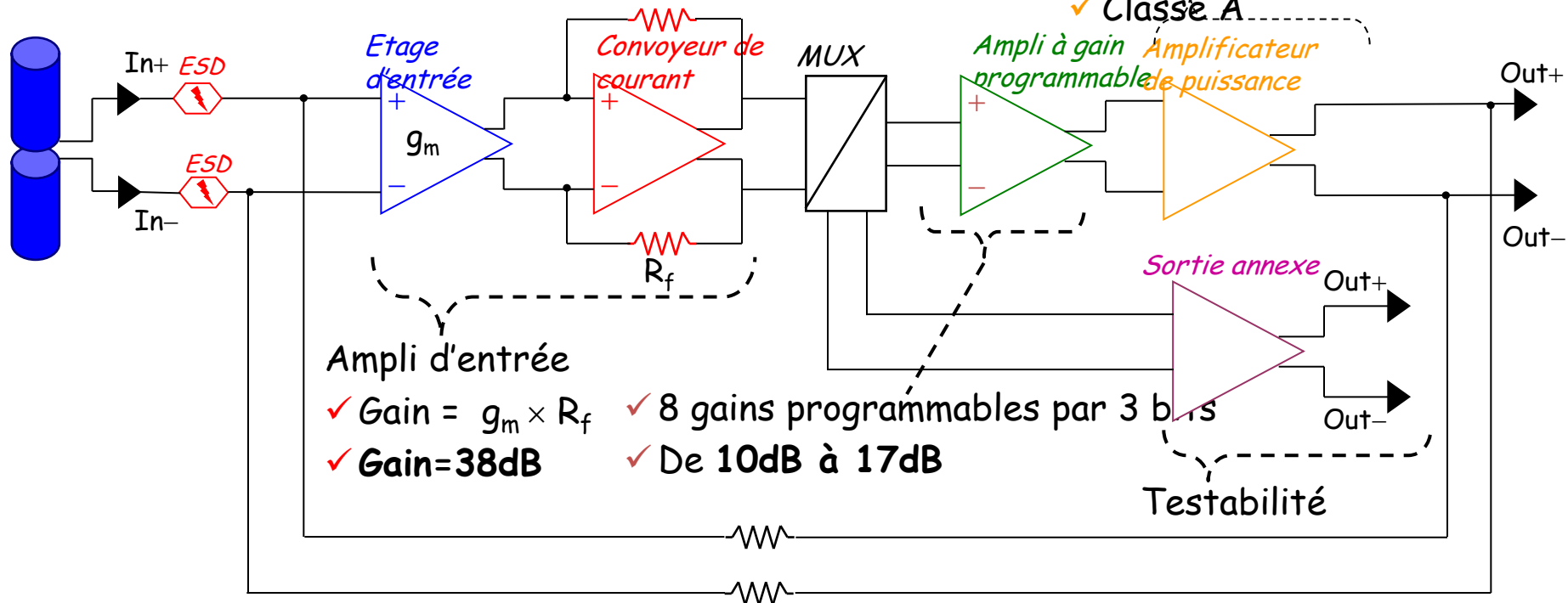
ASIC ampli d'antenne
D.Charrier

LNA , schéma fonctionnel

- ❑ ASIC en technologie AMS BiCMOS 0.8 μ
- ❑ Structure totalement différentielle
- ❑ Impédance d'entrée: **Cin=9pF**
- ❑ Gain global (Vout/Vin) ajustable de 48 à 55dB
- ❑ Dynamique d'entrée maxi : **24mVc-c**
- ❑ Consommation = **45mA** sous 5.5V

✓ Sortie diff 6Vc-c sur 200 Ω

✓ Classe A



Ampli d'entrée

✓ Gain = $g_m \times R_f$

✓ Gain=38dB

✓ 8 gains programmables par 3 bits

✓ De 10dB à 17dB

résistance de feedback externe

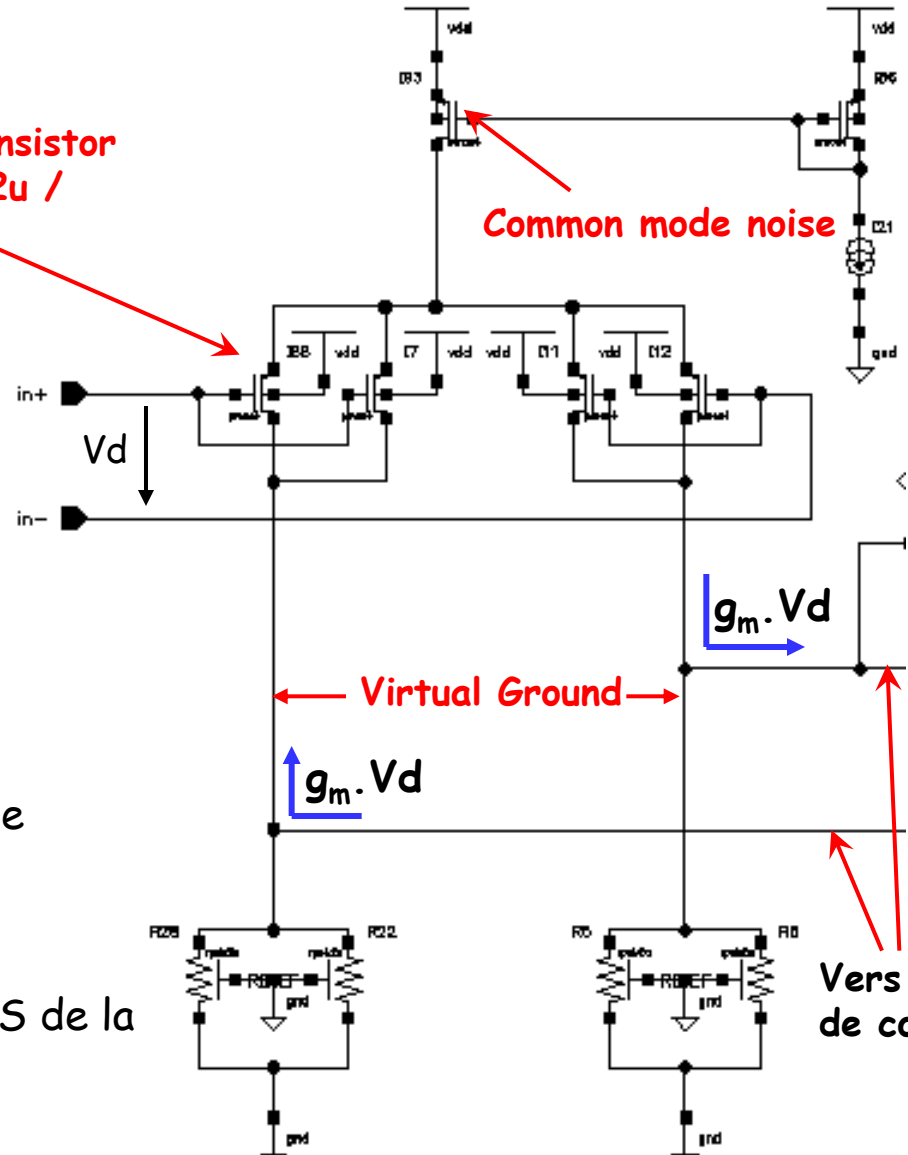
✓ Filtre passe-haut d'ordre 1

✓ Polarisation DC

LNA , étage d'entrée

Very wide transistor
 $W/L = 2 \cdot 3072\mu / 0.8\mu$

Common mode noise



- Paire différentielle à PMOS
- Courant de polarisation élevé (10mA)
 - ⇒ Bruit thermique ↘
 - ⇒ Linéarité ↗
- Structure **cascodée** par le convoyeur de courant
 - ⇒ Produit Gain-Bande ↗
- Le bruit global est dominé par les PMOS de la paire différentielle : **75%** à 50MHz

Cosmologie observationnelle : LSST

Large Synoptic Survey Telescope

Observation de
supernovæ de type
IA

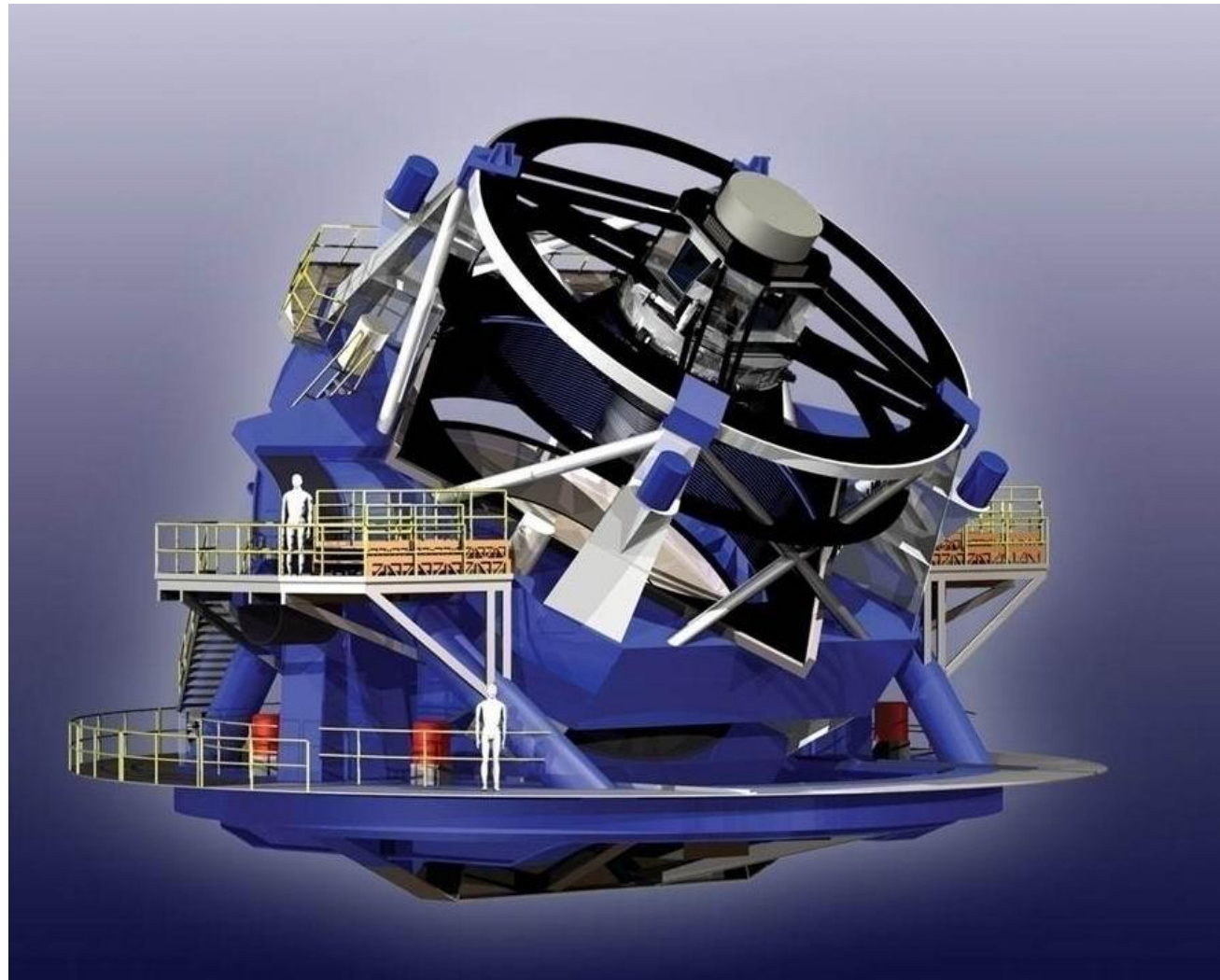
Fast, Deep, Wide !!

Pose : 15 s
Lecture 2s

Miroir primaire,
diamètre : 8,4m

189 CCD (4k*4k)

~ 3Gpixels



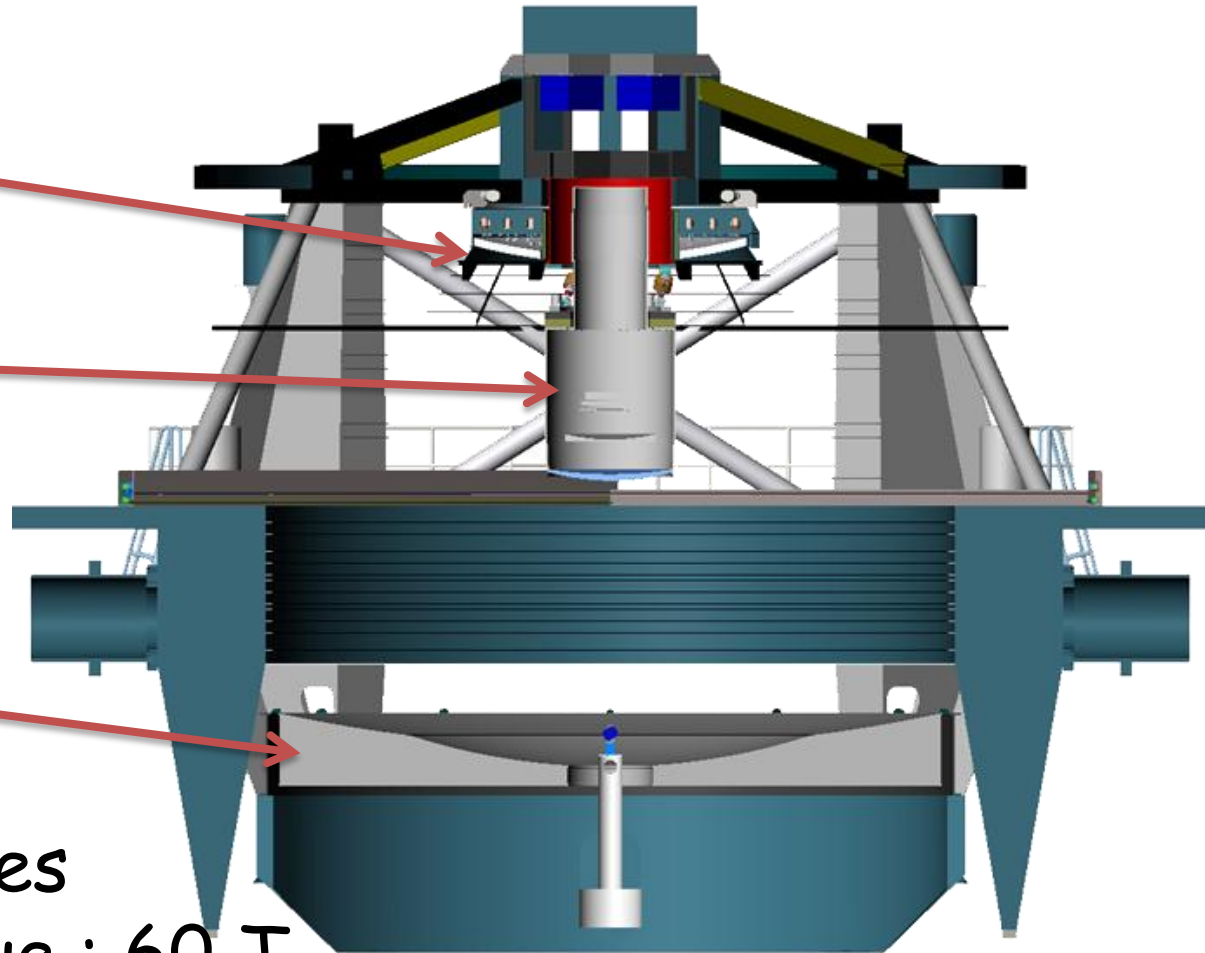
LSST

Miroir M2

Caméra

Miroirs
M1 & M3

Total : 350 tonnes
Structure optique : 60 T



Plan focal

Plan focal:

189 CCD, $\sim 10\text{deg}^2$

Diamètre 64 cm

Cellule de base : 9 CCD = 1 Raft

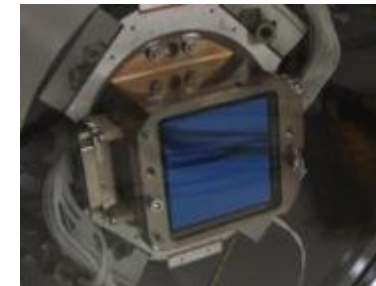
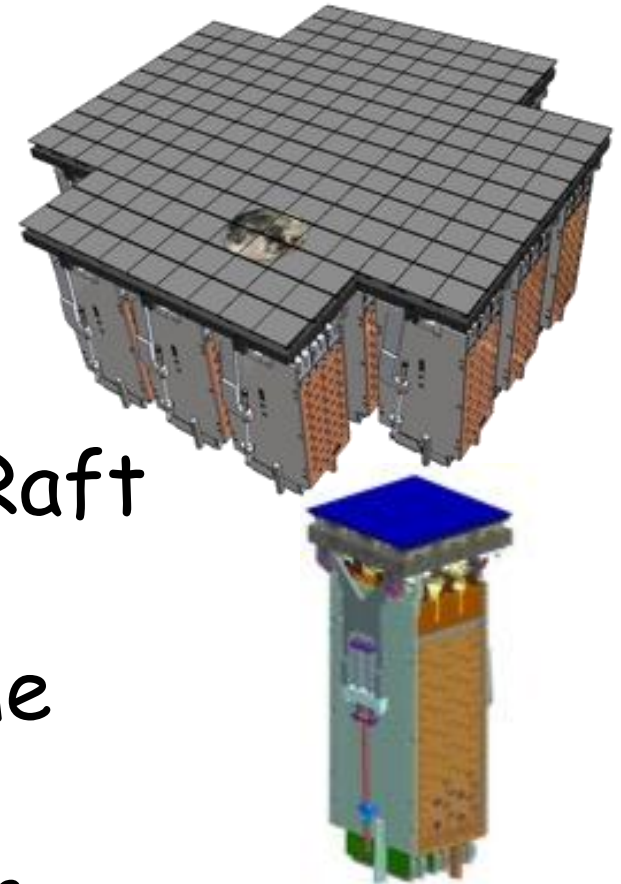
Raft : mini télescope autonome

3*3 CCD = 9*16 voies

CCD e2v 4k*4k pixels, $10\mu\text{m}$

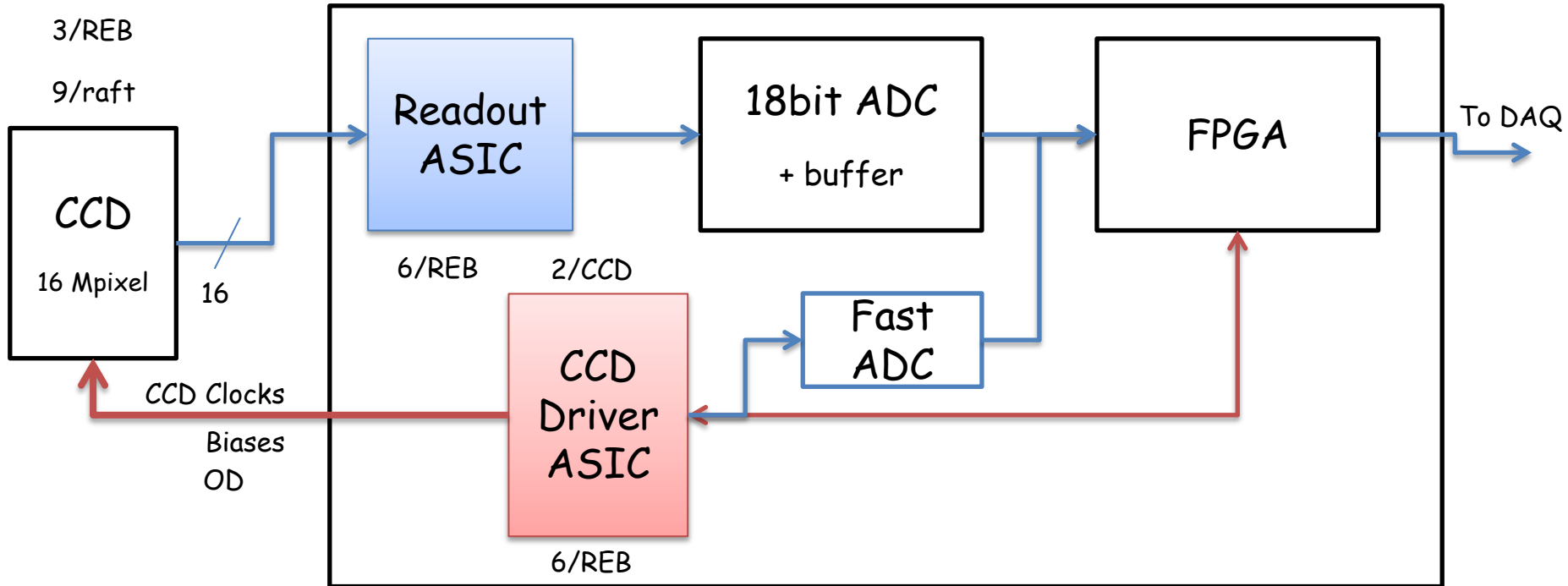
$100\mu\text{m}$ deep depleted

Sensible de l'UV \rightarrow IR



Camera simplified readout

Raft Electronic Board : 3/raft → 63 REB's



3/REB
9/raft

CCD
16 Mpixel

16

CCD Clocks
Biases
OD

Readout
ASIC

6/REB

18bit ADC
+ buffer

FPGA

To DAQ

CCD
Driver
ASIC

2/CCD

6/REB

Fast
ADC

18/raft
21 raft → 189 CCD's

18/raft
378 aspic

18/raft
378 CABAC

3/raft
63 FPGA

E2v CCD250

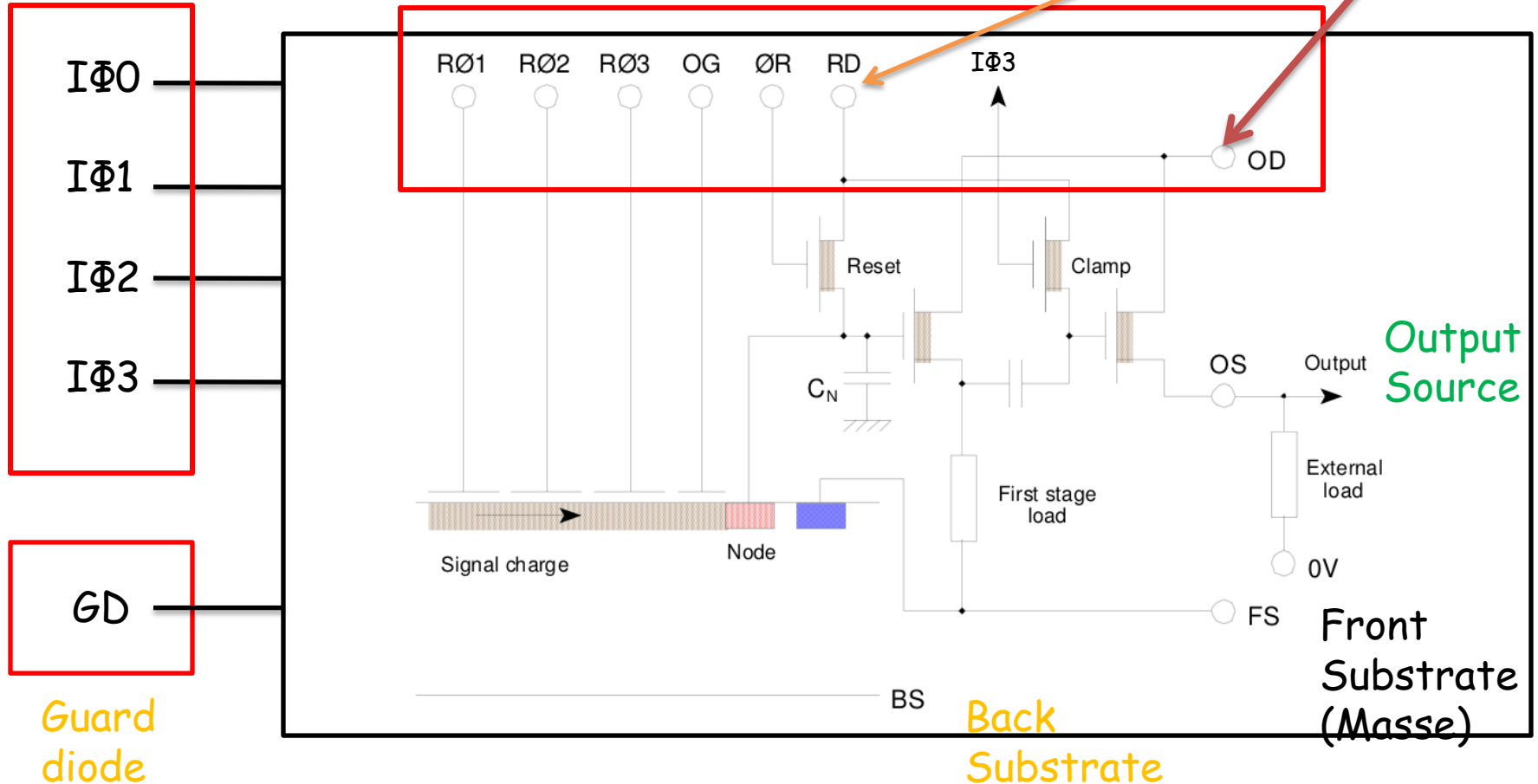
Clocks
parallèles

Clocks séries

Output
Gate Reset

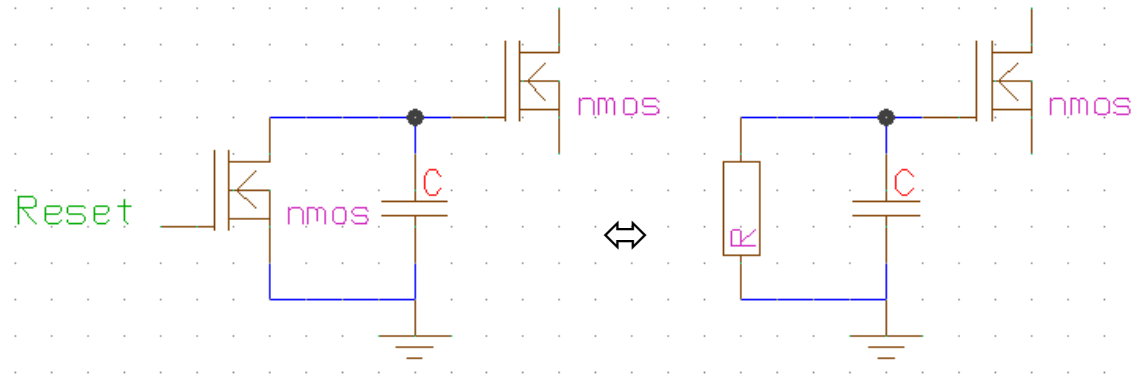
Reset
Drain

Output Drain
Alim des amplis



E2V CCD250

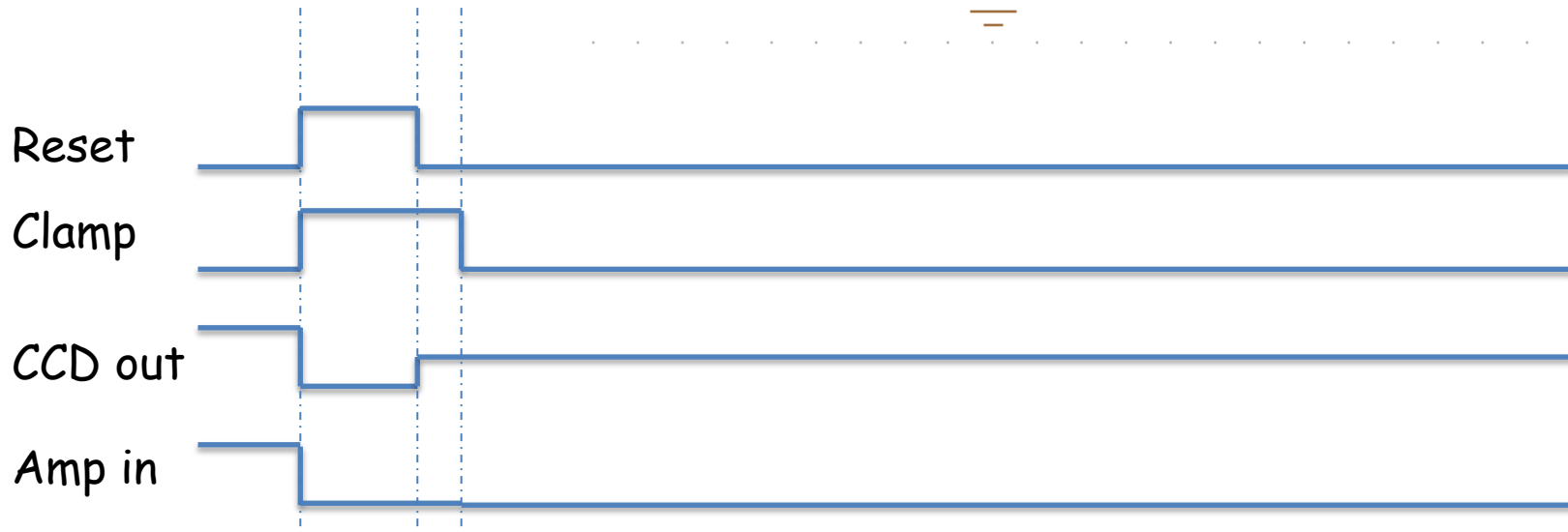
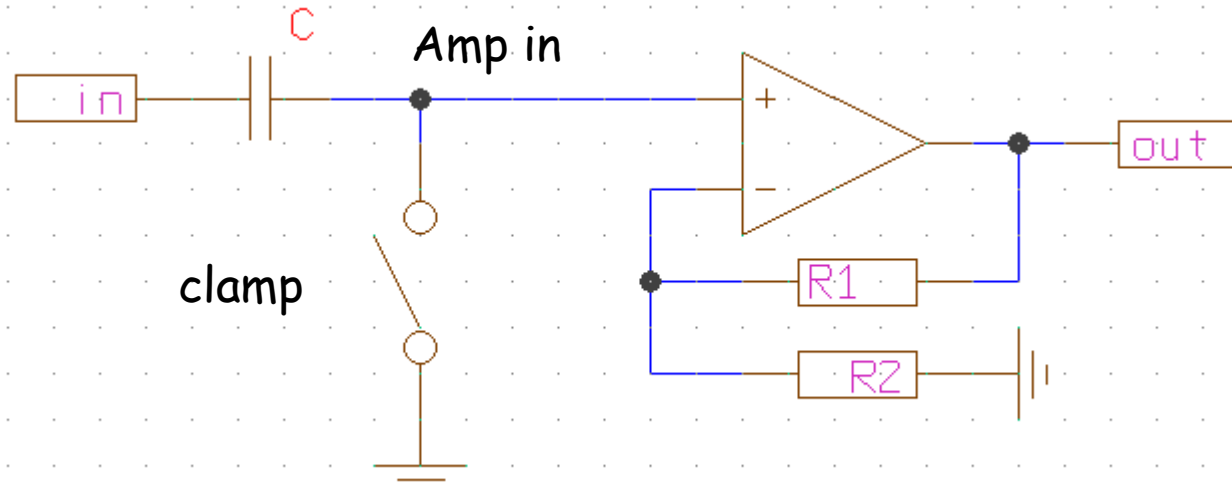
- Réponse : $\sim 6\mu\text{V}/e^- \rightarrow C \sim 13\text{fF}$ ($V \sim Q/C \cdot 1/2$)
- $Z_{\text{out}} \sim 500\ \Omega$ @ 2mA
- Bruit : $6\ e^-$ @ 550pix/s
- Bruit de reset :
- $\langle V^2 \rangle = kT/C$
- $\langle V \rangle \sim 70\ e^-$



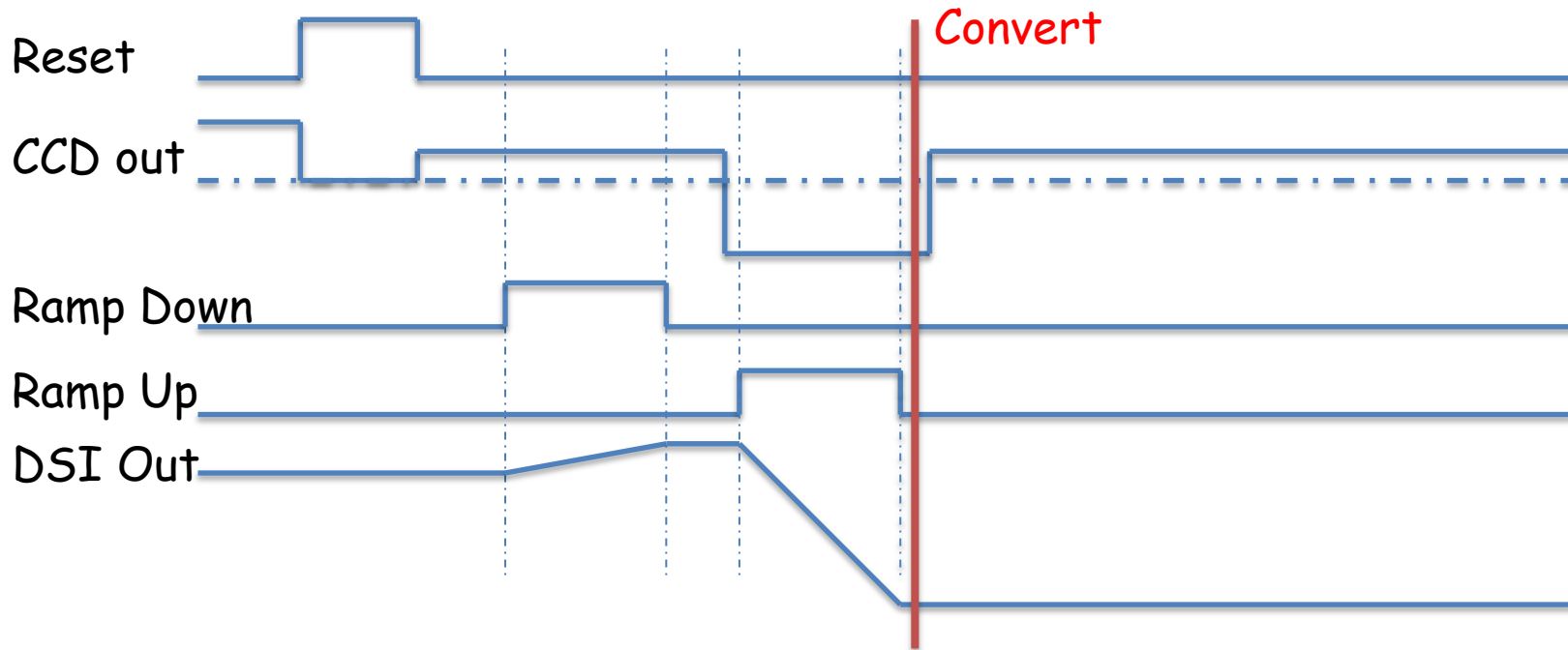
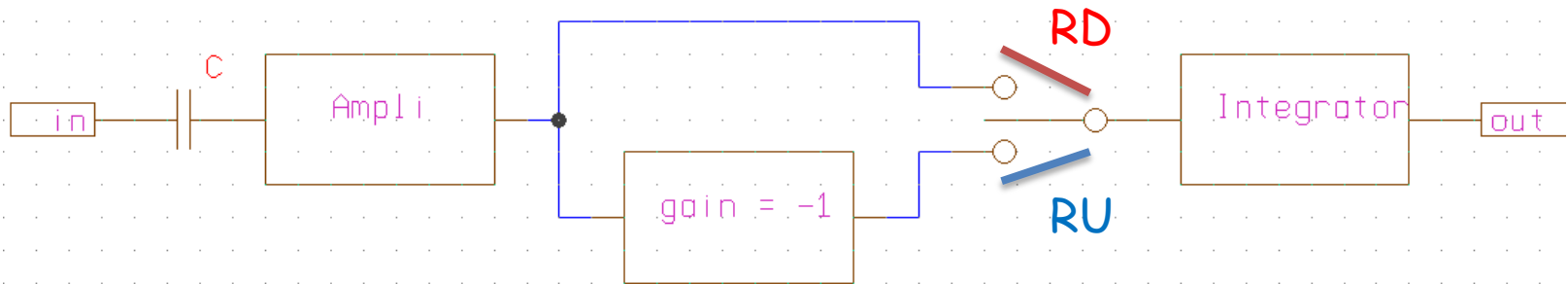
Mode de lecture : Clamp & Sample

Le bruit de reset est stocké dans la capa de couplage.

Pour une capa de 10nF, le nouveau bruit de reset vaut $\sim 0,6\mu\text{V}$ ($1/10 e^-$)



Mode de lecture : Dual slope Integrator



DSI

- Filtrage optimum :
 - Intégration
 - Différentiation
- Jitter
 - 100ps \rightarrow erreur $\leq 0,1\%$ ($< 1/\sqrt{V_{max}}$)
- Précision relative de RU & RD
- Précision du gain -1
- Reset de l'intégrateur

Autre mode de lecture

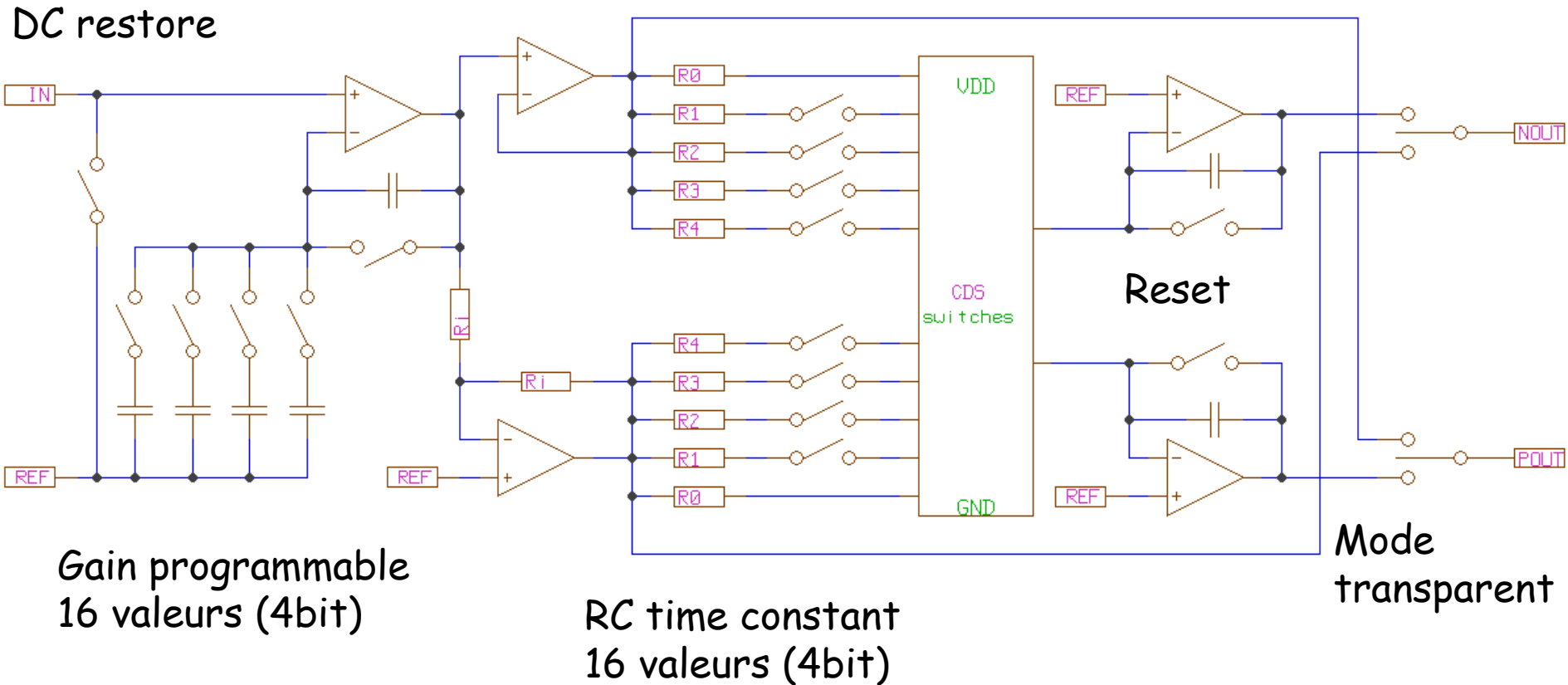
- Numérisation rapide du signal de CCD, éventuellement avec plusieurs gains
- Filtrage numérique
- → Reflex controller: 16 voies 45k€

ASPIC :

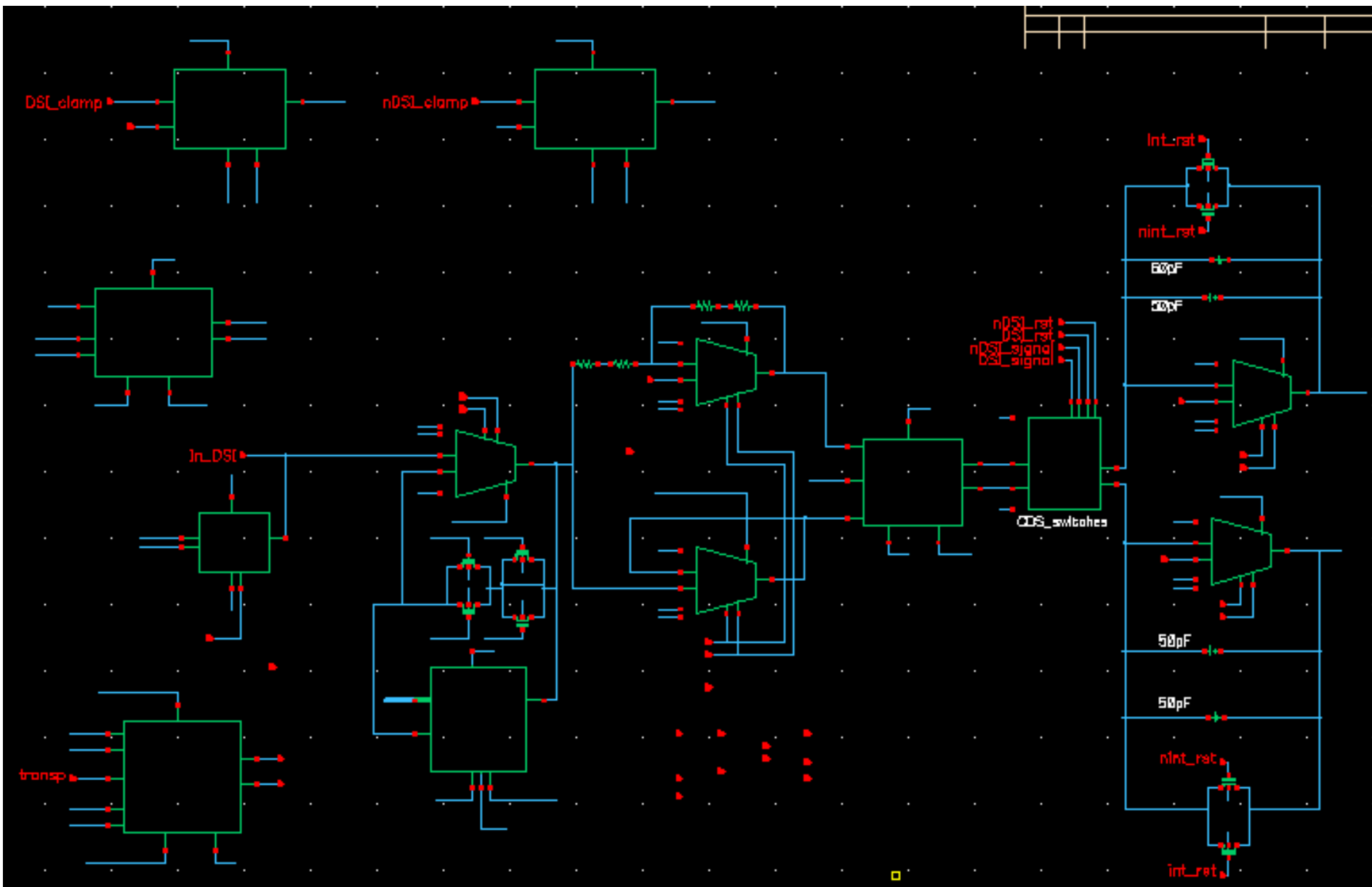
Analogue Signal Processing IC

- Requirements :
- Fréquence de lecture : 550kHz
 - Temps de cycle $\sim 1,8\mu\text{s}$
 - $\rightarrow \text{RU} = \text{RD} = 500\text{ns}$
- CCD output swing $\sim 1\text{V}$
- Dynamique 15-16 bits
- Bruit : $\leq 2 e^-$
- Puissance $\sim 30\text{mW/ canal}$
- Linéarité : $\leq 0,5\%$
- Diaphonie : $\sim 7 \cdot 10^{-4}$

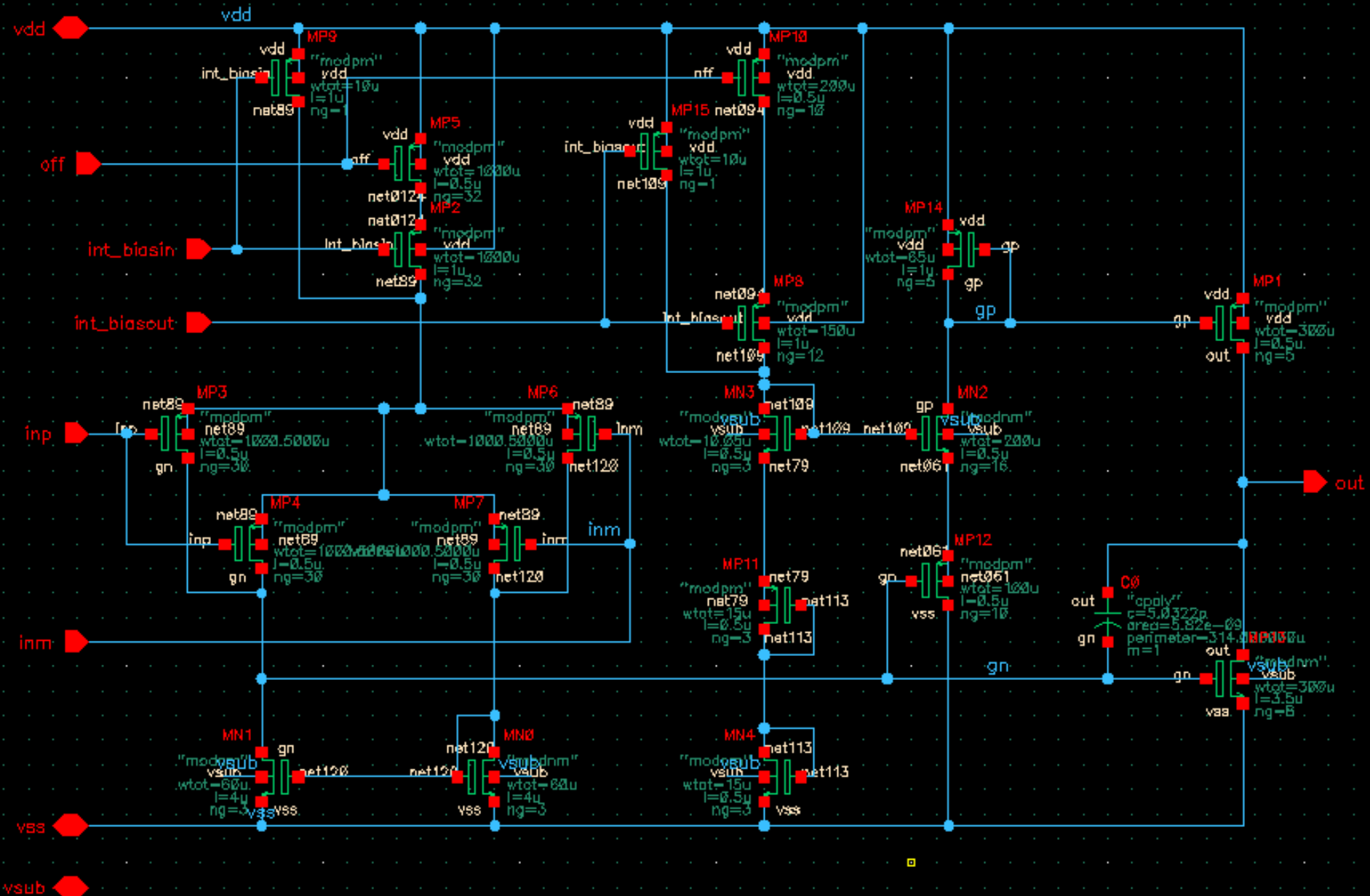
ASPIC 3



ASPIC 3 one channel

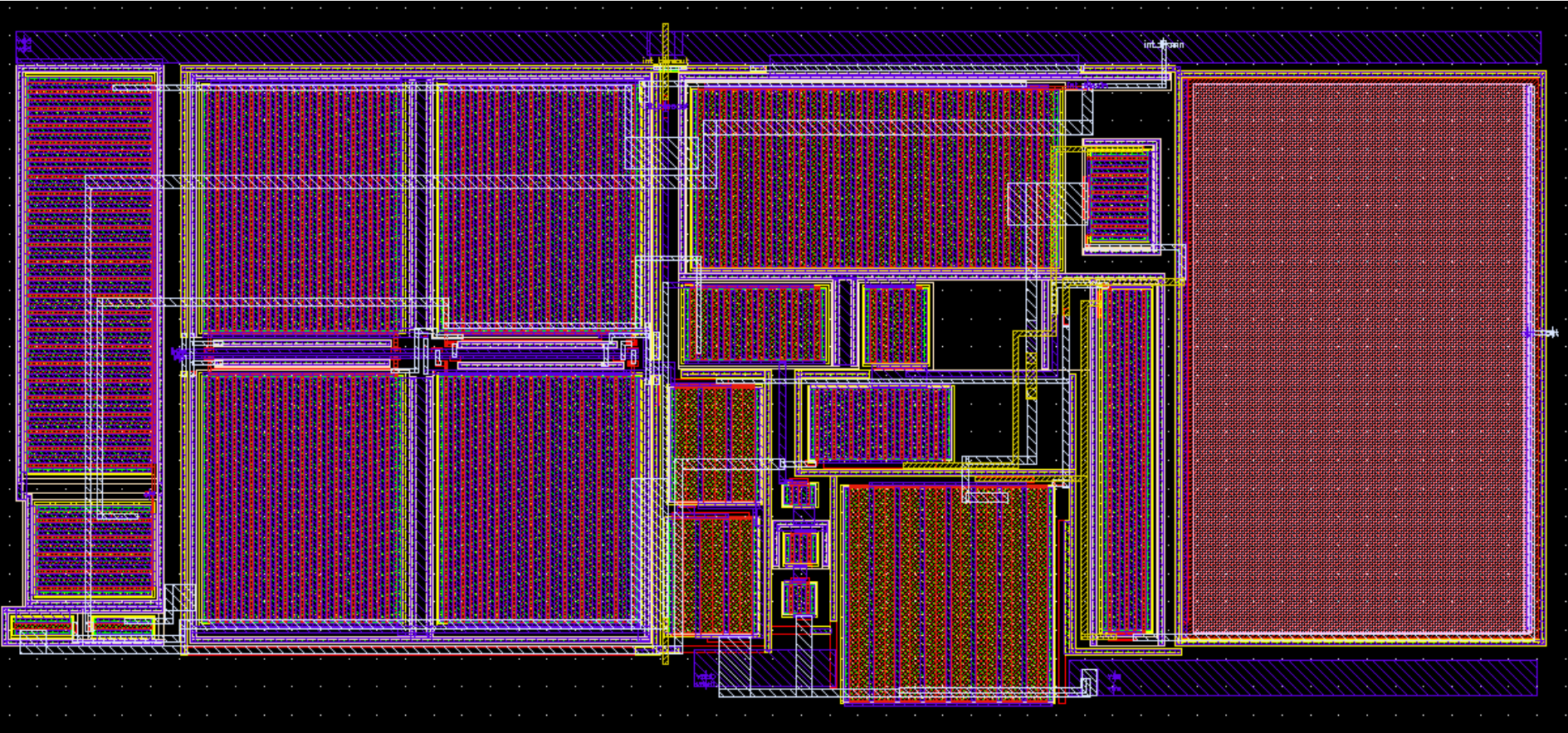


Aspic3 Ampli



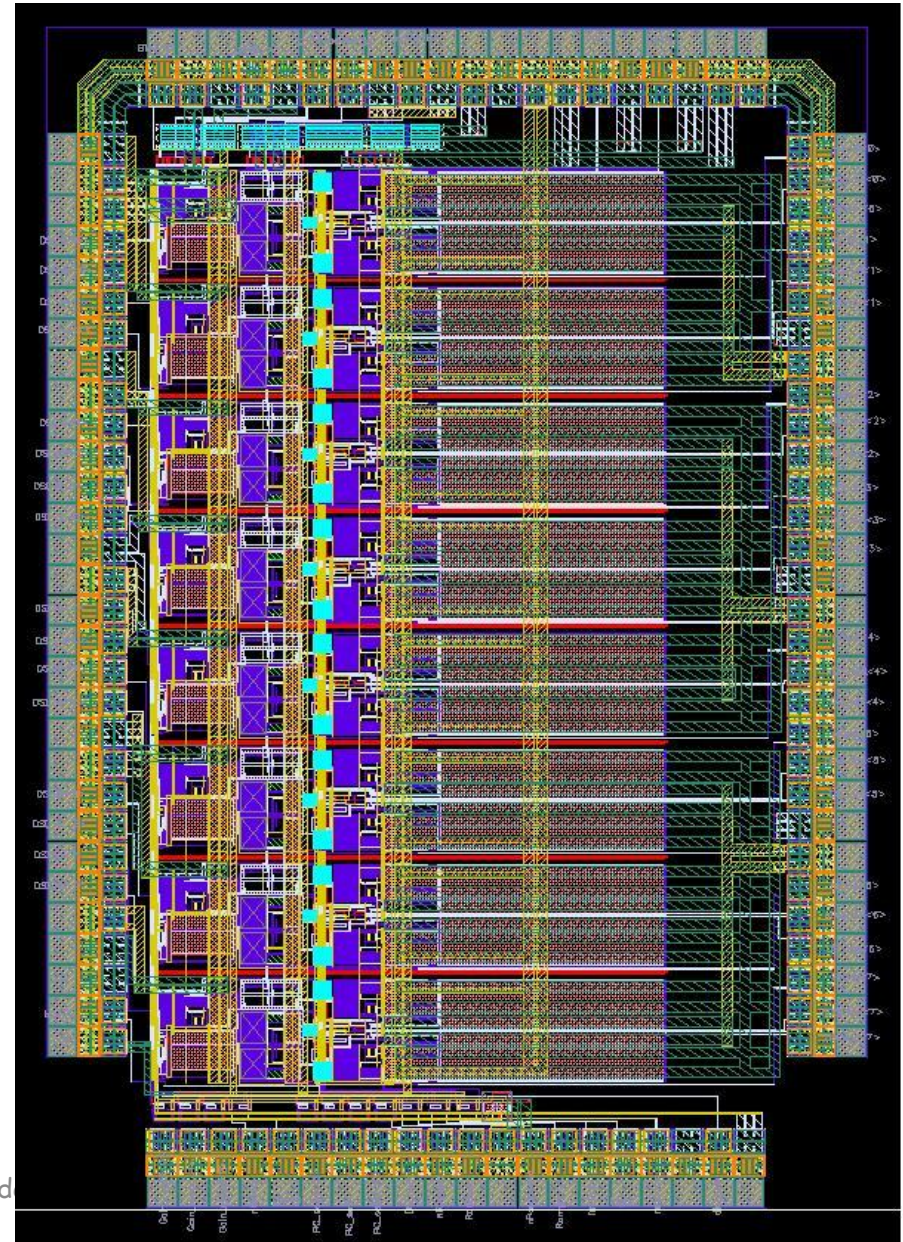
Ampli Layout

$\sim 400\mu\text{m}$

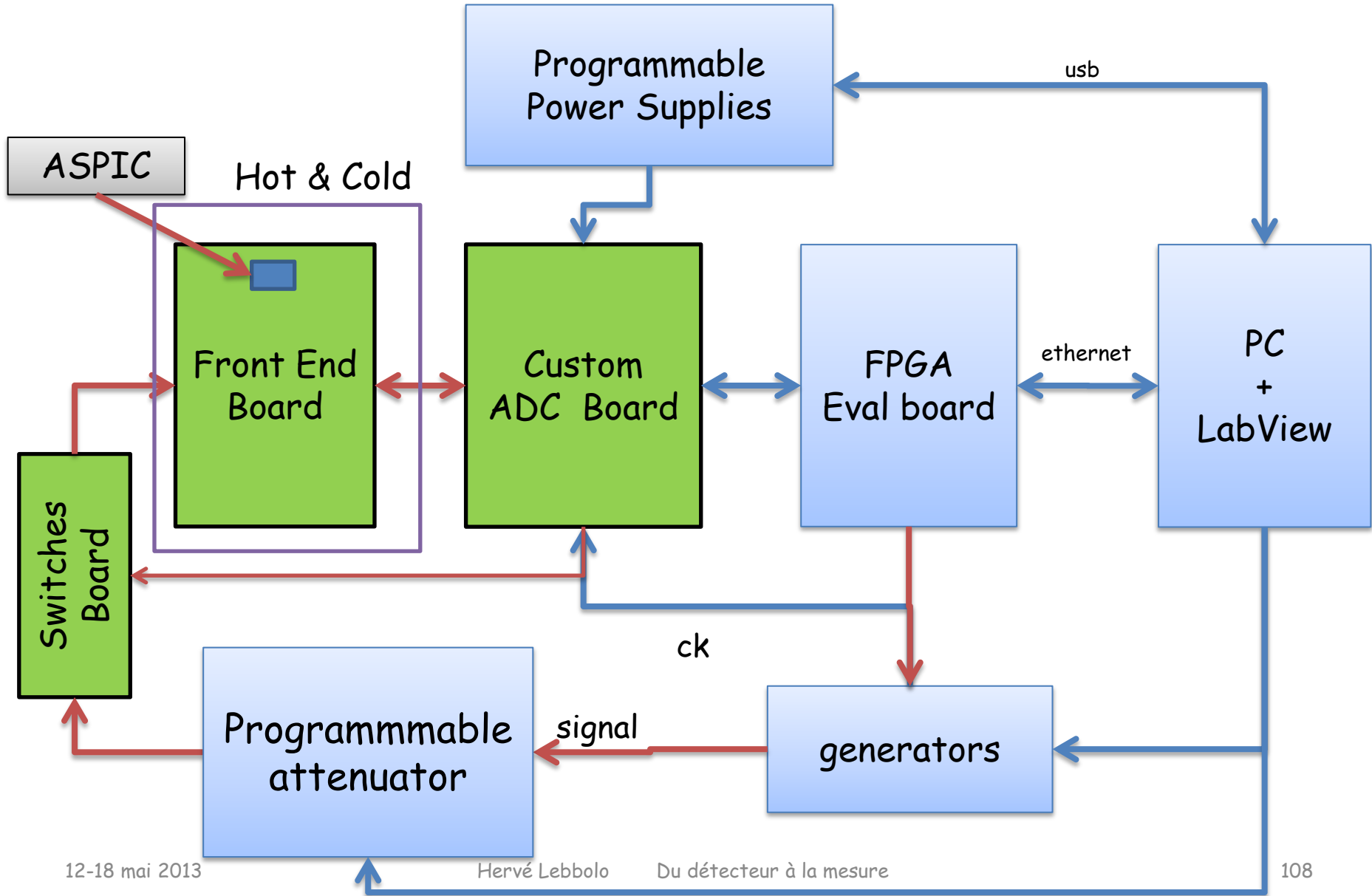


Aspic2 layout

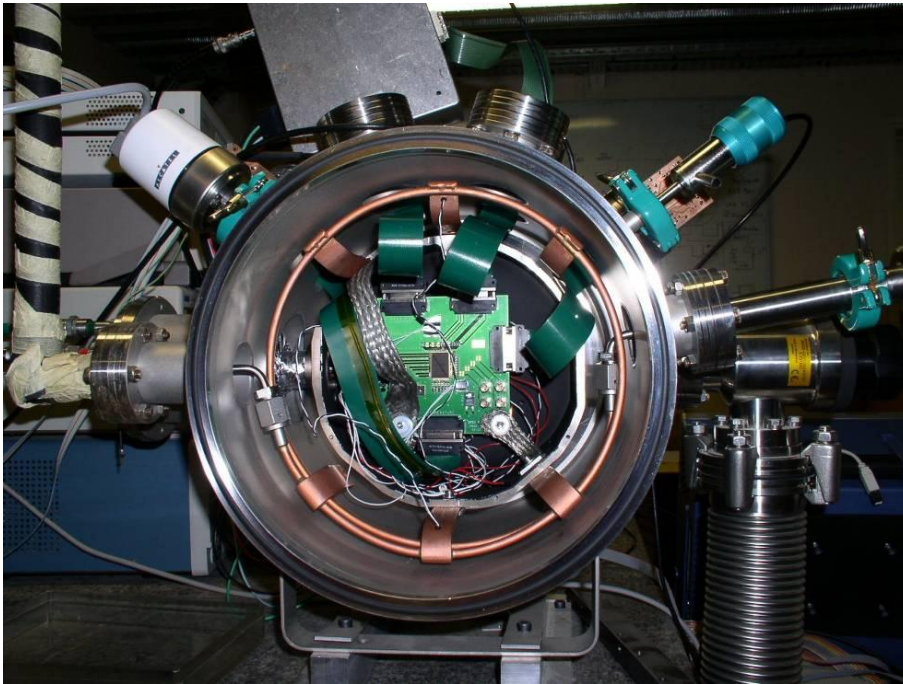
- Techno : CMOS
0.35 μ /5V
- ✓ Vendor : AMS
- Packages :
 - CQFP100
 - QFN100
- 8 DSI channels
- 2657*3841 μm^2



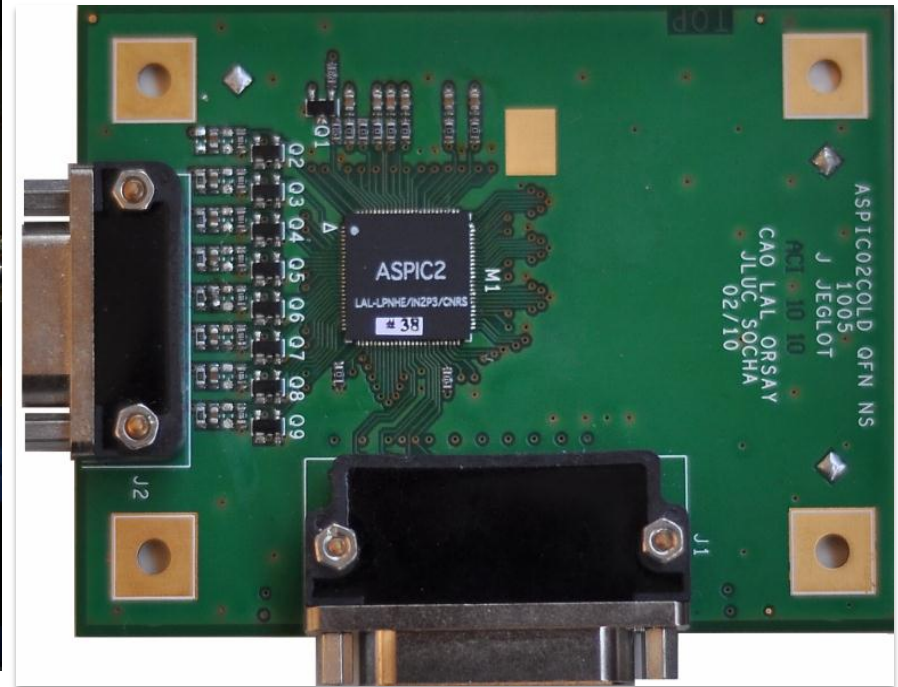
Banc de test



Tests



Banc de tests ASPIC 2
Cryostat



Carte de tests ASPIC 2

E2v CCD250

Clocks
parallèles

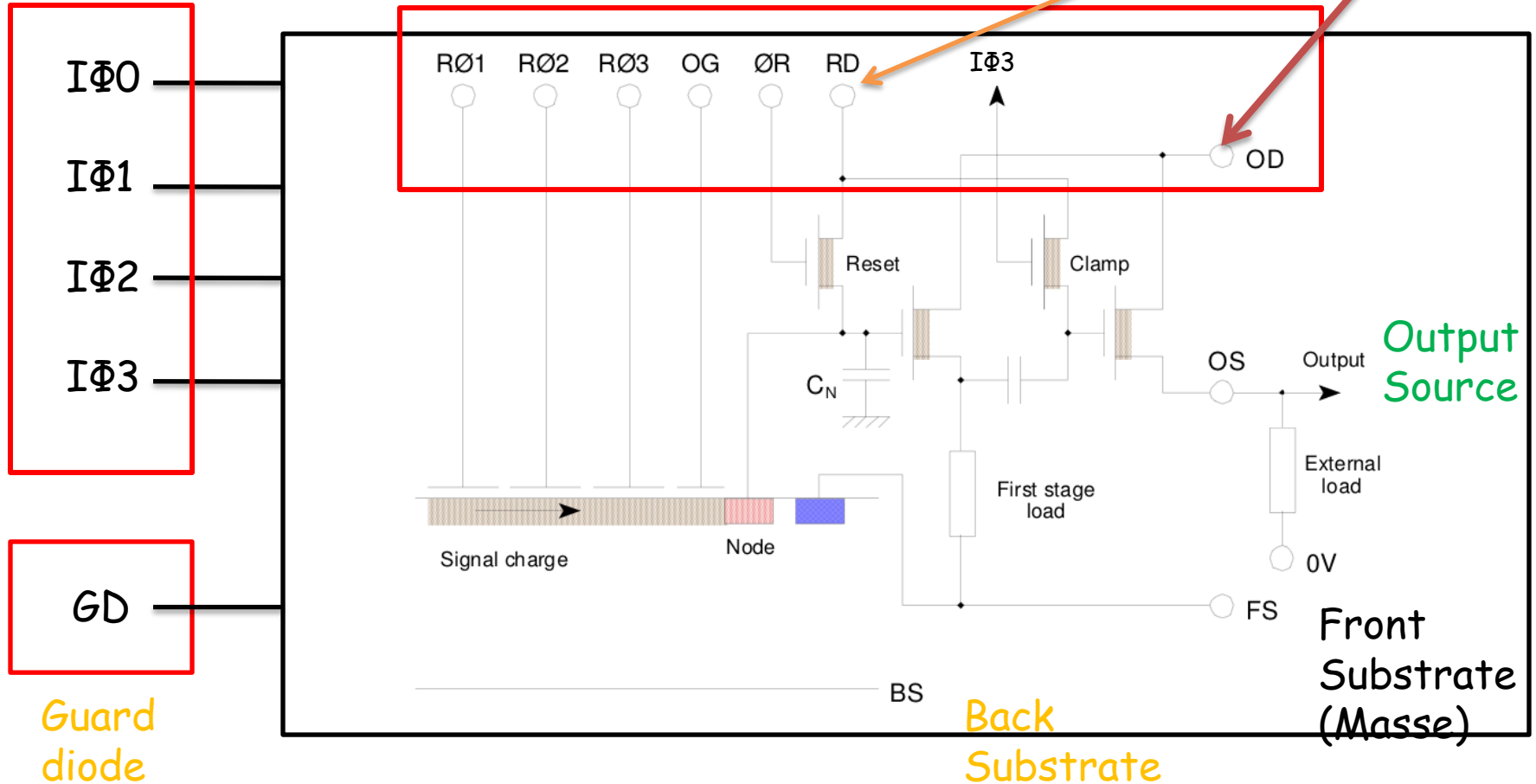
Clocks séries

Output
Gate

Reset

Reset
Drain

Output Drain
Alim des amplis



CABAC

Clock and biases ASIC for CCD

Horloges parallèles :

Amplitude 10V

Charge : 66nF

Fréquence : 1kHz, $t_r \sim 1\mu s \rightarrow I = 600mA$

Horloges séries :

Amplitude : 10V

Charge : 330pF

Fréquence : 550kHz, $t_r \sim 60ns \rightarrow I \sim 55mA$

Output Drain OD :

Nominal 30V

$I = 10mA$

High voltage biases : 18 to 30V

Low voltage biases : 0 to 5V

CABAC specs

- OD and Biases:

- 2 OD : 8 bit programmable level from 13 to 36V, 16 mA capability each, exposure & readout levels
- RD : 8 bit programmable level from 13 to 36V, electronic calibration pulser ac coupled
- GD & Spareh : 8 bit programmable level from 13 to 36V
- OG & Sparel: 8 bit programmable level from 0.1 to 4.8V

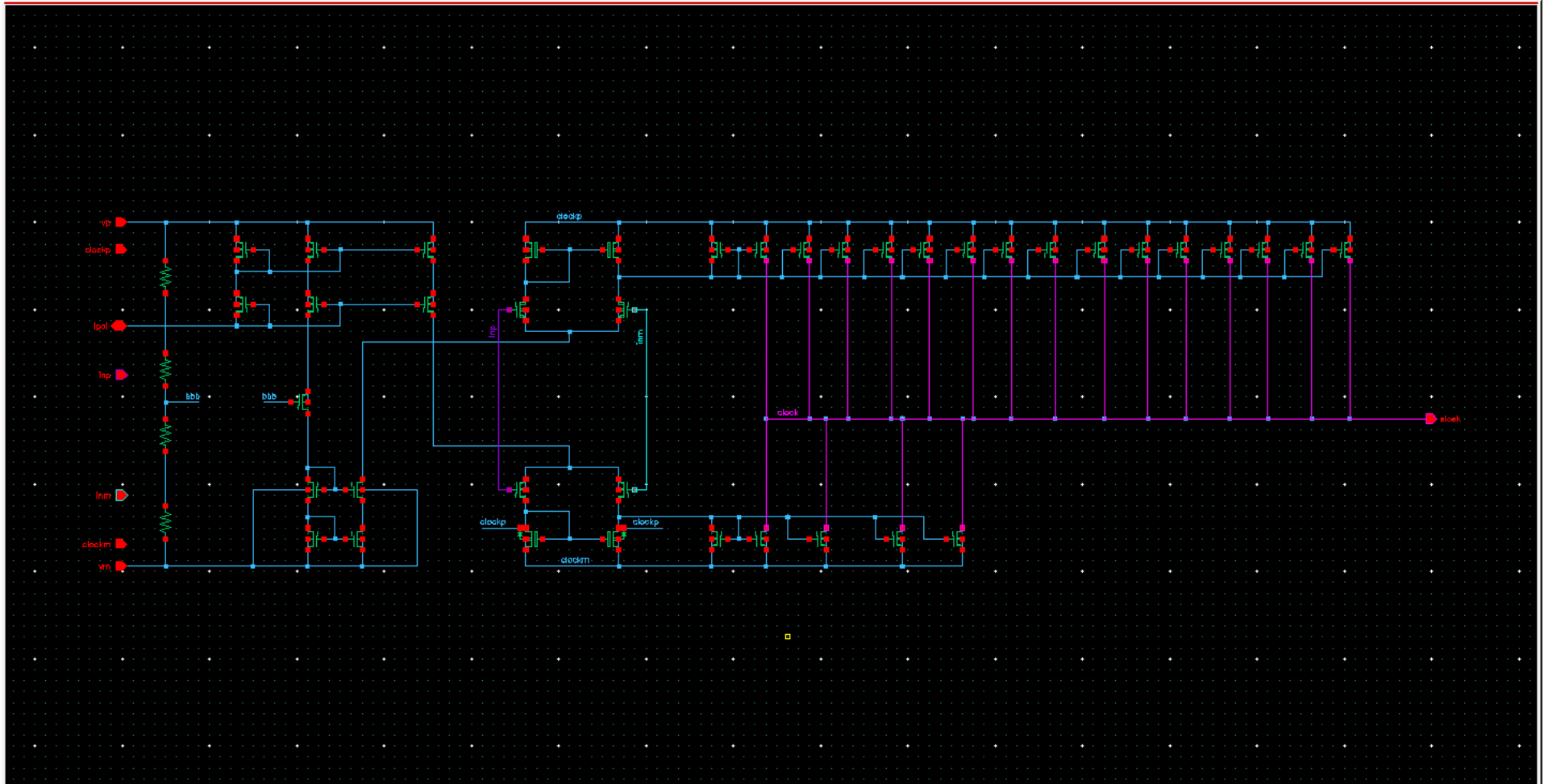
- Clocks :

- 4 parallel, 8 bit programmable current capability (max 300mA), common voltage rails ($\Delta V = 20V$ max), exposure/readout modes (static current divided by 10)
- 4 serial, 8 bit programmable current capability (max 16mA), 2 voltage rails (3+1) (max 20V), exposure/readout modes

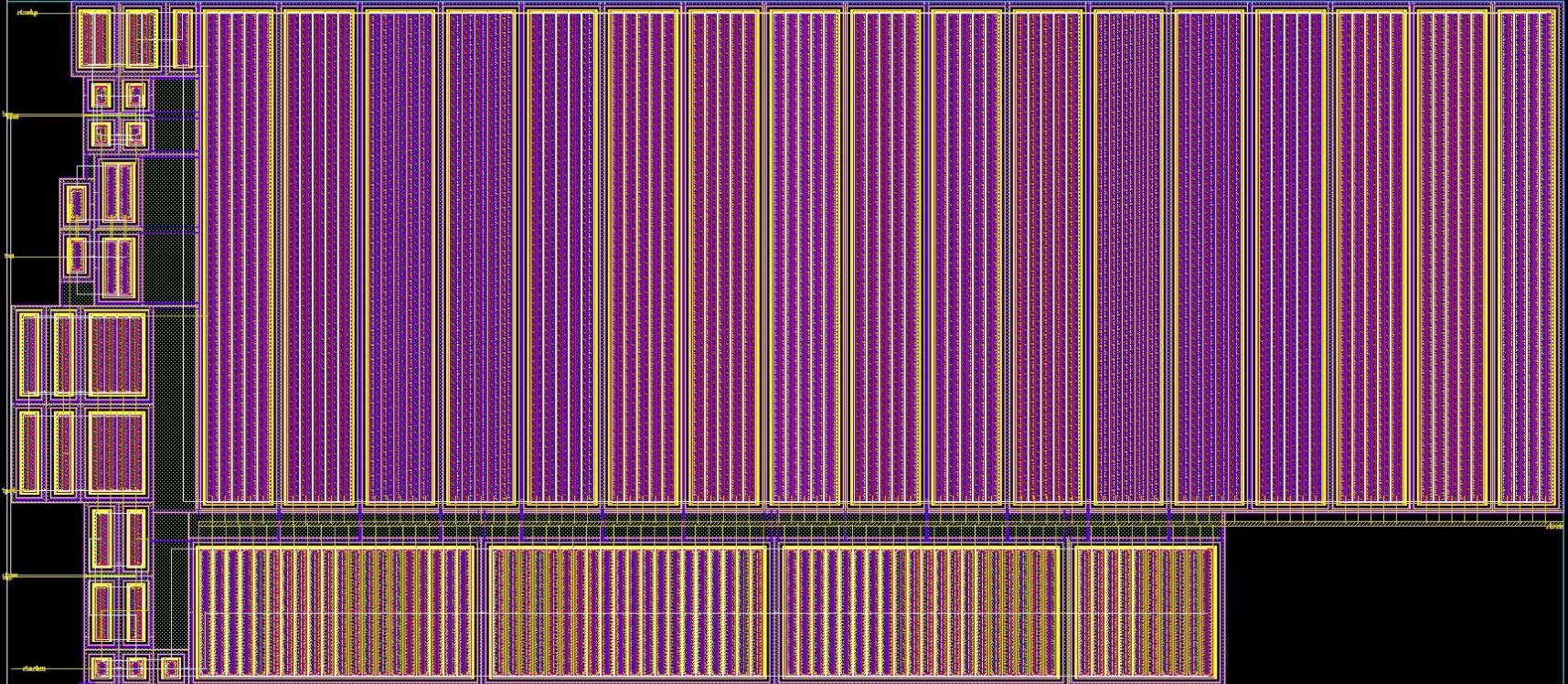
CABAC specs

- Readout & Exposure modes (clock current divided by 10)
- Temperature sensor
- Multiplexer : Possibility to output 2 of any signal provided by CABAC or external input for monitoring
- Deactivable electronic calibration pulser
- Programmation by serial link

Parallel clock scheme



Parallel clock layout



CABAC layout

Techno H35B4D3

0,35 μm HV

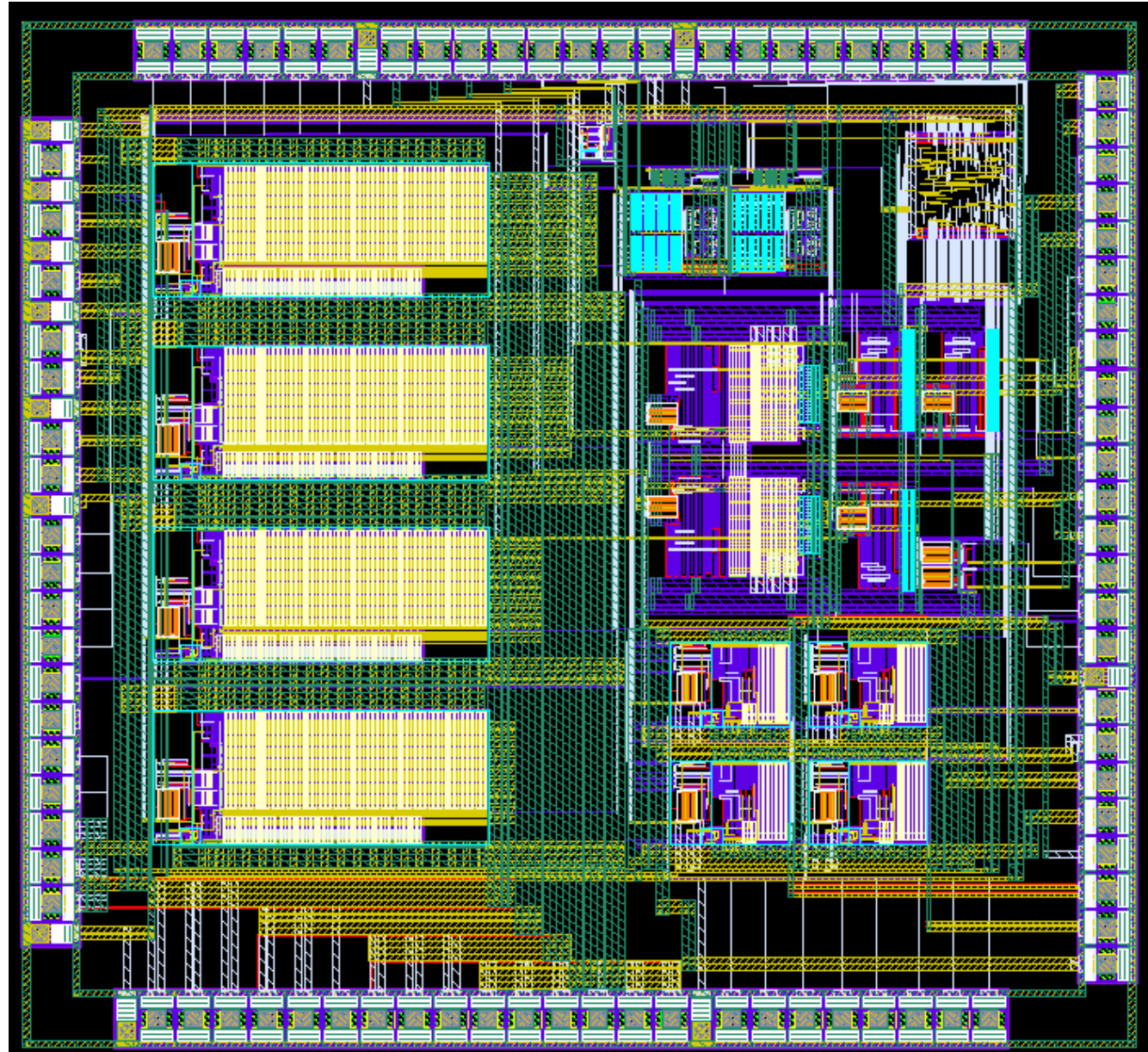
AMS

Surface 36mm²

Boitier QFN100

Soumis en mai
2012

Under tests



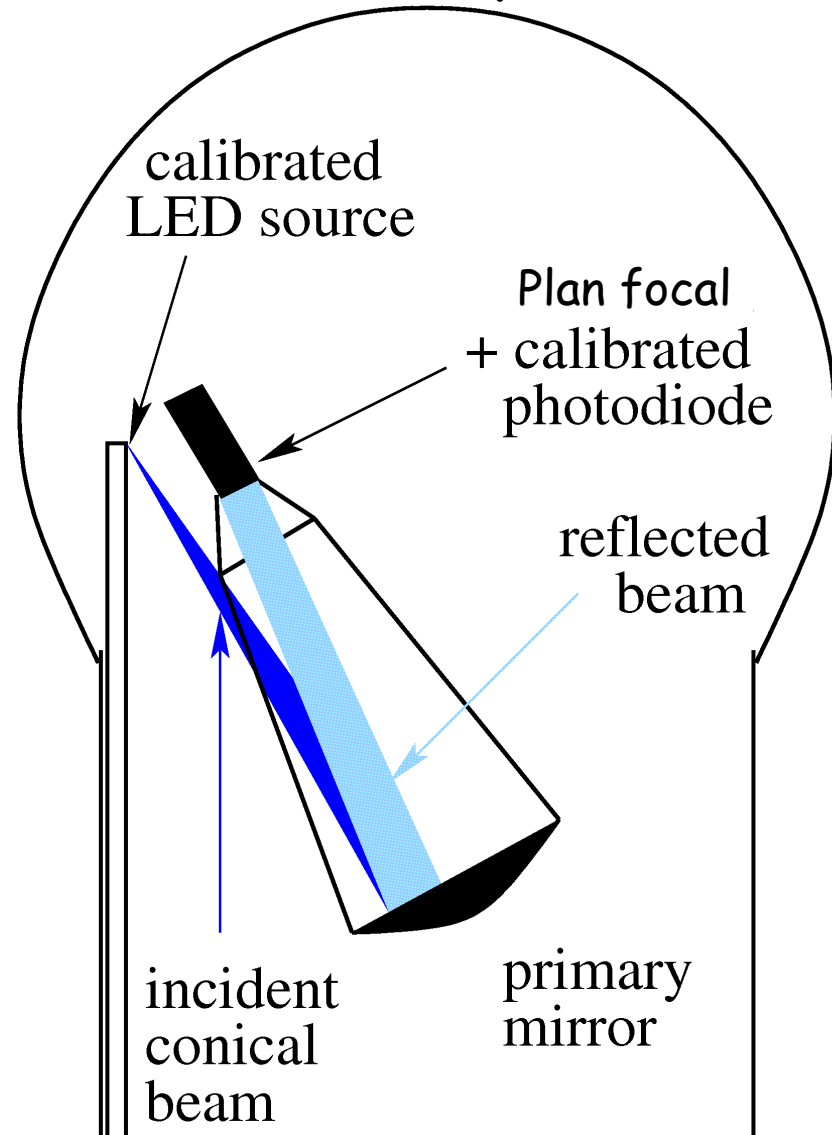
Calibration photométrique : DICE

Direct Illumination Calibration Experiment

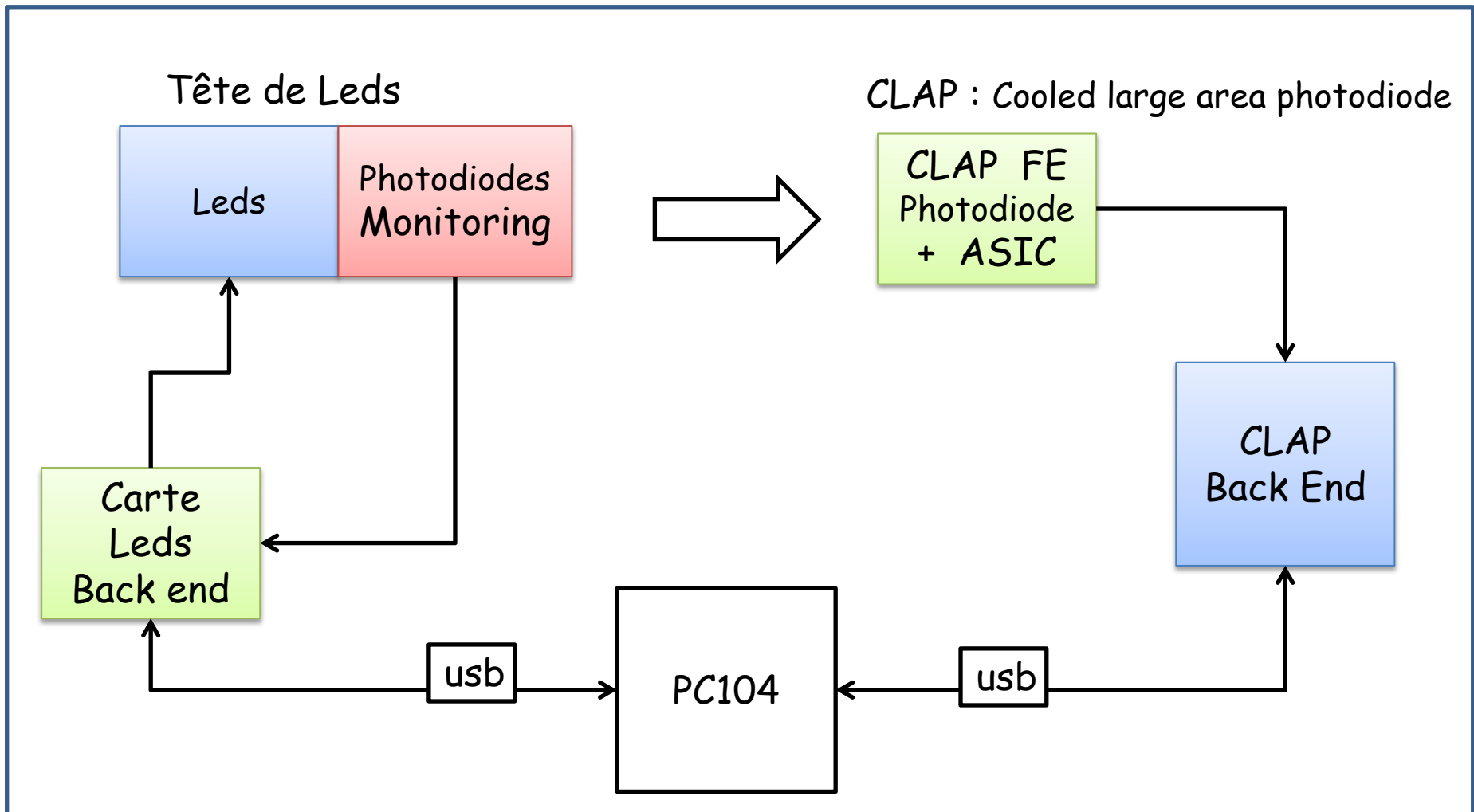
Éclairement du plan focal et d'une photodiode calibrée avec un faisceau parallèle.

Leds calibrées pilotées par DAC

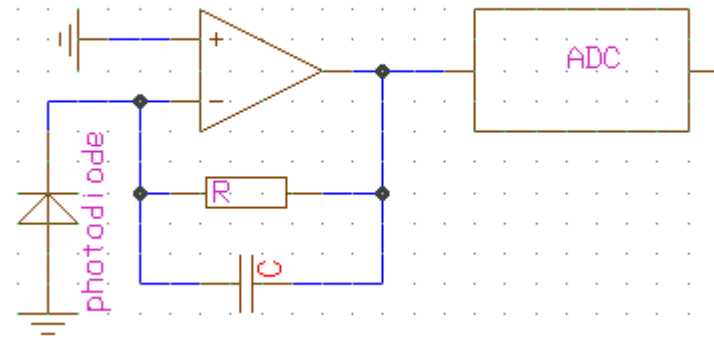
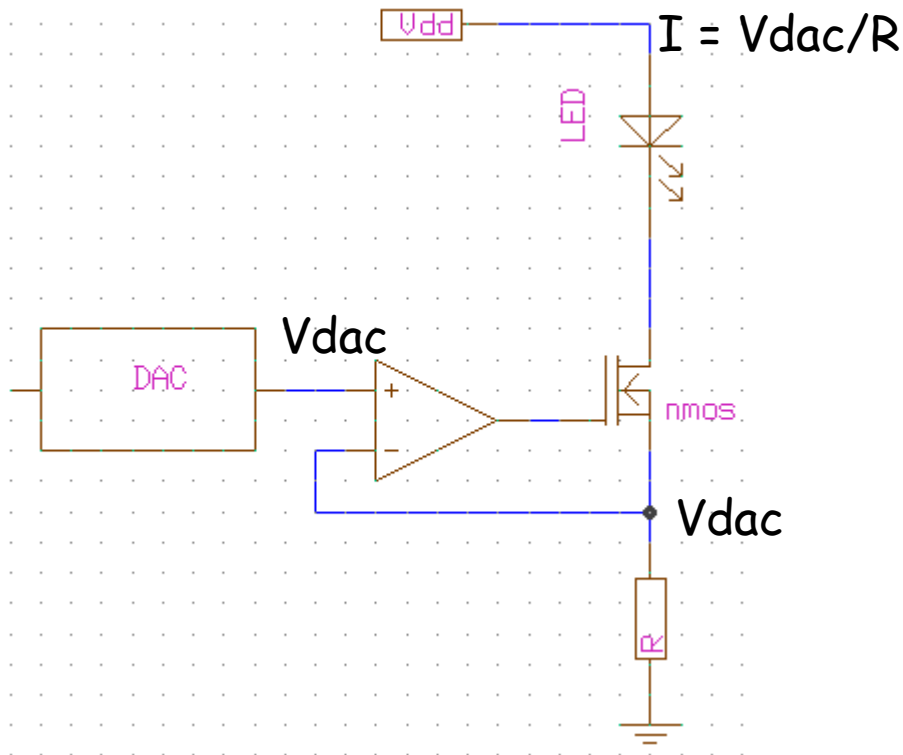
Comparaison de la réponse des CCD du plan focal et de la réponse de la photodiode



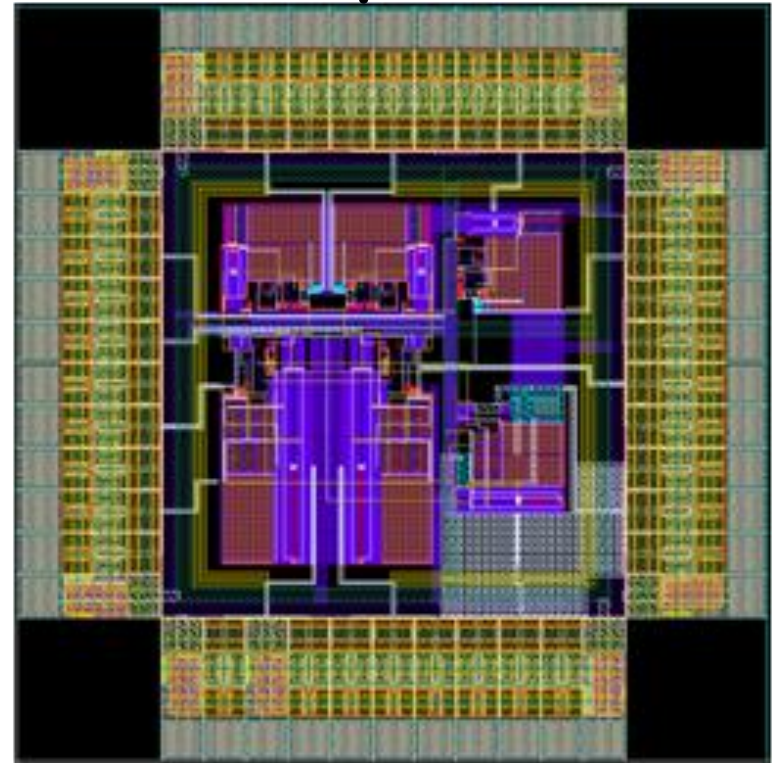
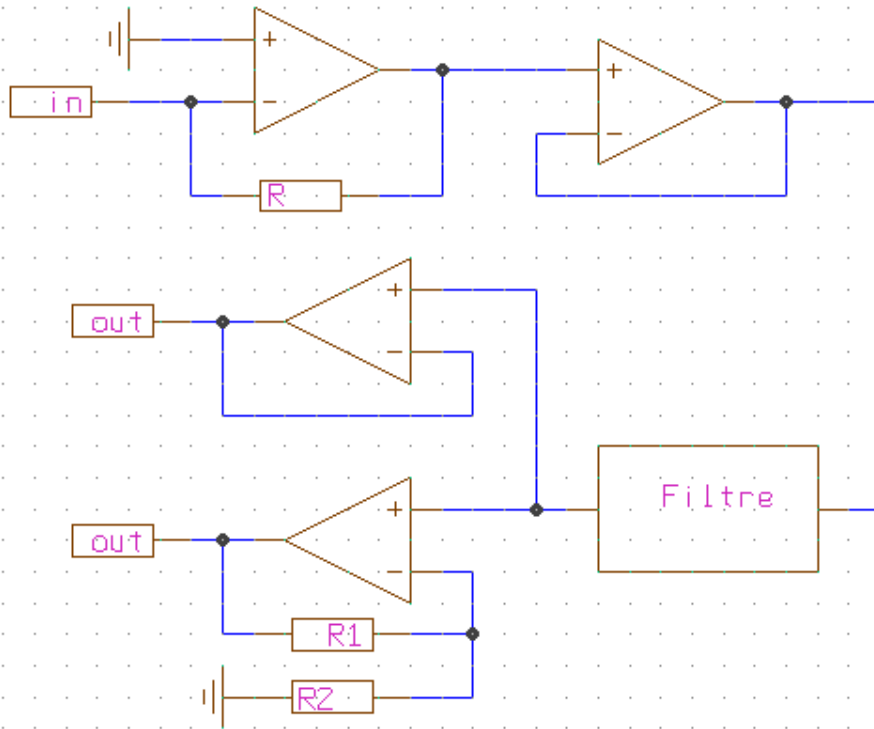
Électronique de SkyDICE



Courant LEDs & Photodiode



ULCA ultra low current amplifier



Techno : CMOS AMS 0,35 μ 5V

Fonctionnement avec des photodiodes de capacité ≤ 500 pF

Faible bruit : < 175 uV à la sortie de gain 32 et < 5.5 uV pour gain 1 (bruit équivalent à l'entrée < 5.5 fA en basses fréquences)

Transrésistance : 100 M Ω \rightarrow 1 G Ω , Charge de sortie: 1 k Ohm // 100 pF,

Linéarité meilleure que 1%

The END

