

Conversion: mesures sur les ADC

Samuel Manen & Laurent Royer



*École d'électronique analogique de l'IN2P3
Lalonde-les-Maures, 10-16 septembre 2008*

Sommaire

❑ Introduction

❑ Caractéristiques des ADC

- Statiques
- Dynamiques

❑ Principales architectures d'ADC

- ADC rampe
- ADC approximation successive
- ADC Flash
- ADC Sigma delta
- ADC Pipeline

Introduction



Équation idéale d'un ADC

- ❑ $U_a = d_1 \cdot 1/2 \cdot U_{ref} + d_2 \cdot 1/4 \cdot U_{ref} + d_3 \cdot 1/8 \cdot U_{ref} + \dots + d_n \cdot 1/2^n \cdot U_{ref}$
- ❑ Le signal U_a ne peut donc varier que par valeurs discrètes, et la conversion est exacte.
- ❑ Dans le cas d'un ADC, le signal U_a est purement analogique et l'équation comportementale ne peut être respectée qu'en ajoutant un terme d'erreur E , dit erreur de quantification.
- ❑ L'équation devient:
 - $U_a = d_1 \cdot 1/2 \cdot U_{ref} + d_2 \cdot 1/4 \cdot U_{ref} + d_3 \cdot 1/8 \cdot U_{ref} + \dots + d_n \cdot 1/2^n \cdot U_{ref} + E$
- ❑ Pour un convertisseur idéal:
 - $-1/2 \cdot 1/2^n \cdot U_{ref} \leq E \leq 1/2 \cdot 1/2^n \cdot U_{ref}$. (± 0.5 LSB)
- ❑ Dans le cas d'un convertisseur réel, d'autres erreurs peuvent s'ajouter.

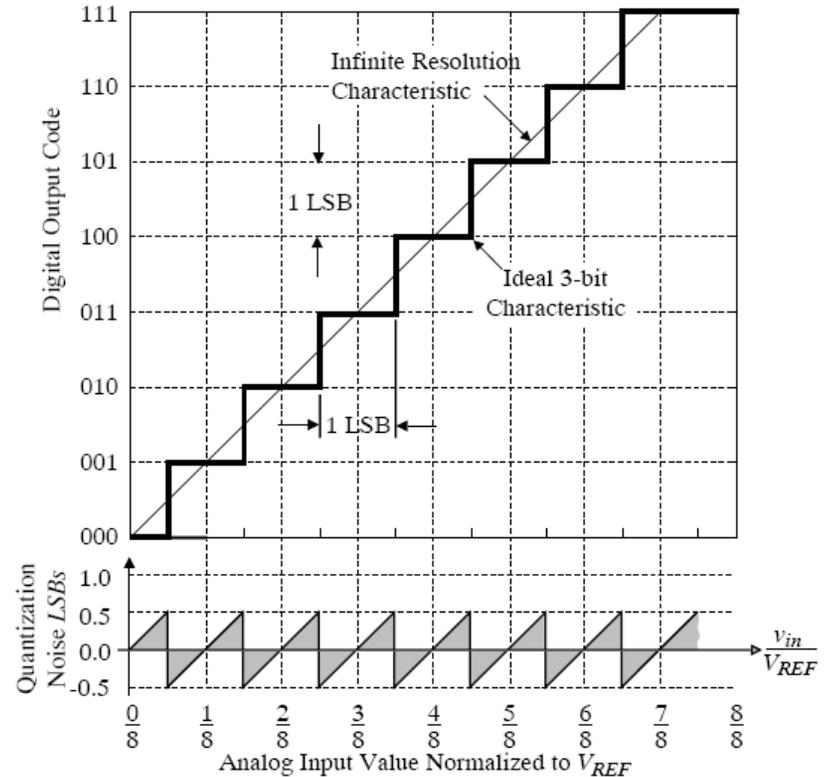


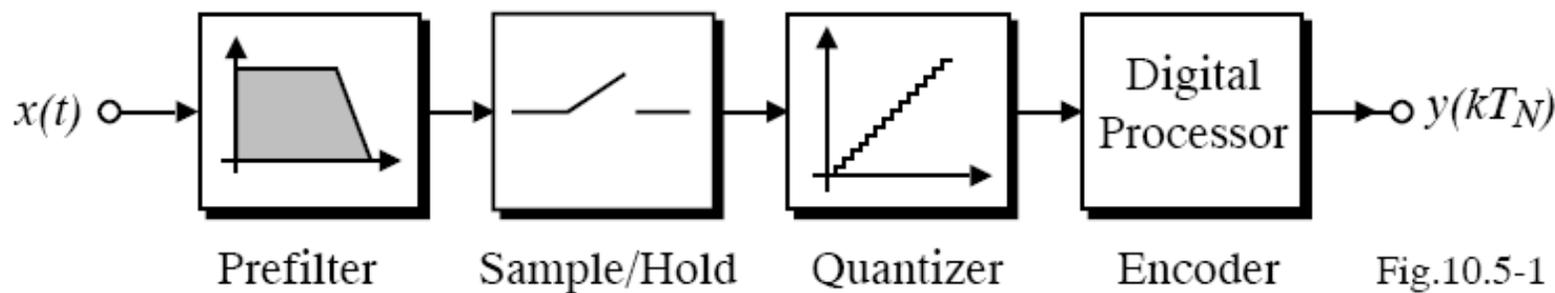
Figure 10.5-3 Ideal input-output characteristics of a 3-bit ADC.



Codes en sortie ADC

Decimal	Binary	Thermometer	Gray	Two's Complement
0	000	0000000	000	000
1	001	0000001	001	111
2	010	0000011	011	110
3	011	0000111	010	101
4	100	0001111	110	100
5	101	0011111	111	011
6	110	0111111	101	010
7	111	1111111	100	001

Schéma général d'un ADC

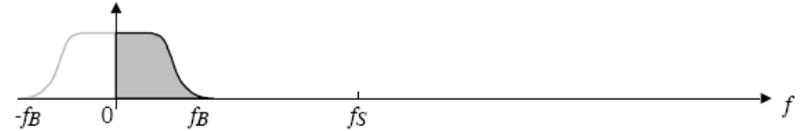


- Filtre anti-repliement
- Suiveur bloqueur
- Quantification
- Encodeur

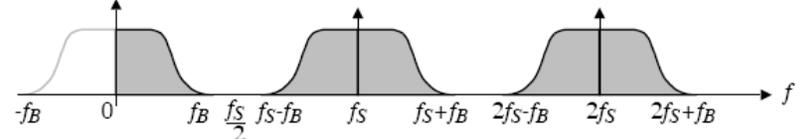
Rappels Fréquence de Nyquist

- ❑ Limite pratique due à l'échantillonnage sur la bande passante du signal d'entrée.
- ❑ f_S : fréquence d'échantillonnage
- ❑ f_B : bande passante du signal d'entrée
- ❑ Condition requise pour ne pas avoir de recouvrement de spectre
 - $f_B < 0.5f_S$ ou $f_S > 2f_B$
 - fréquence de Nyquist.

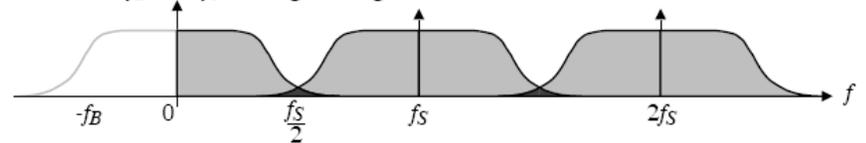
Continuous time frequency response of the analog input signal.



Sampled data equivalent frequency response where $f_B < 0.5f_S$.



Case where $f_B > 0.5f_S$ causing aliasing.



Use of an antialiasing filter to avoid aliasing.

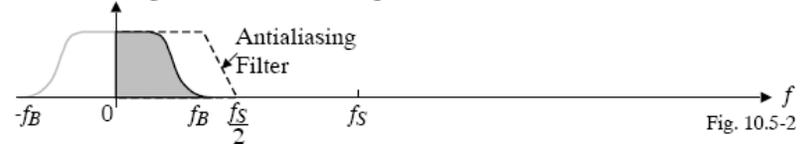


Fig. 10.5-2



Suiveur bloqueur, définitions

- ❑ *Acquisition time* (t_a) = temps nécessaire pour suivre le signal analogique
- ❑ *Settling time* (t_s) = temps nécessaire pour établir la valeur de tension à la précision souhaitée.
- ❑ $T_{sample} = t_a + t_s$
 - Maximum sample rate = $f_{sample(max)} = 1/T_{sample}$
- ❑ *Aperture time* = temps nécessaire au switch d'échantillonnage pour s'ouvrir après la commande.
- ❑ *Aperture jitter* = Variations de « aperture time » dues aux variations de l'horloge et au bruit.

- ❑ 2 catégories principales de S/H :
 - No feedback – rapide et peu précis
 - Feedback – lent et plus précis

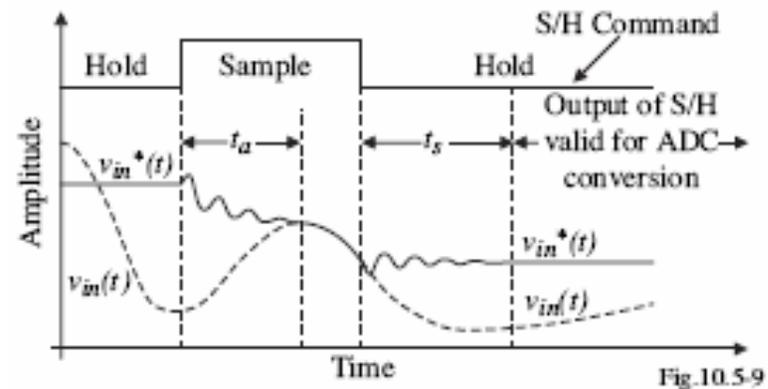
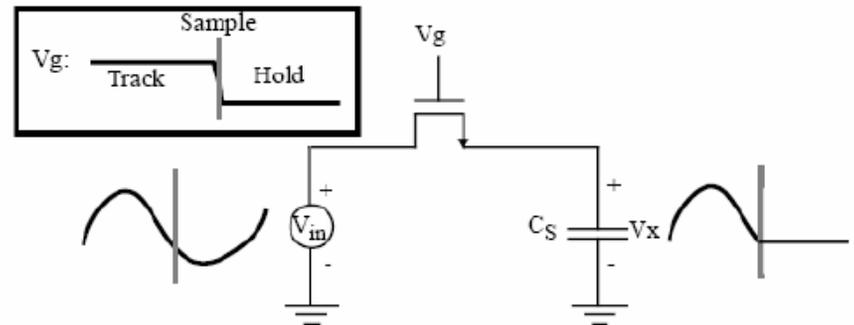


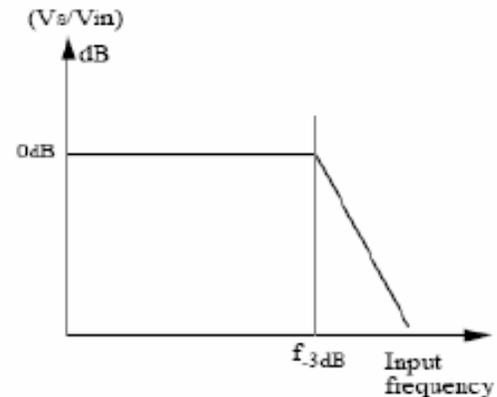
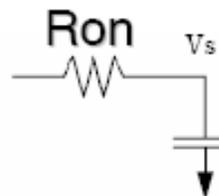
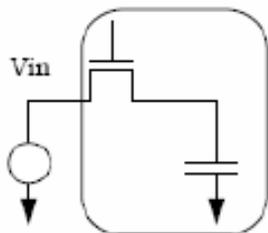
Fig.10.5-9

Suiveur bloqueur

- ❑ Suivi de la valeur et blocage nécessaire pour que l'ADC numérise la valeur
- ❑ Doit présenter les caractéristiques suivantes
 - Précision de l'ADC $1/2^N$
 - Rapide pour travailler en 2 phases d'horloge
 - ✓ 100Ms/s, S/H doit fonctionner en 5ns
 - Échantillonner le signal toujours au même moment
 - ✓ Relâche les contraintes de timing sur l'ADC
 - Dissipation aussi faible que possible.
 - ✓ Mais pour augmenter la précision ou réduire la période de l'horloge, la dissipation sera nécessairement augmentée.



Suiveur bloqueur



$$R_{on} = 1 / \left(k \cdot \frac{W}{L} \cdot (V_{gs} - V_t) \right)$$

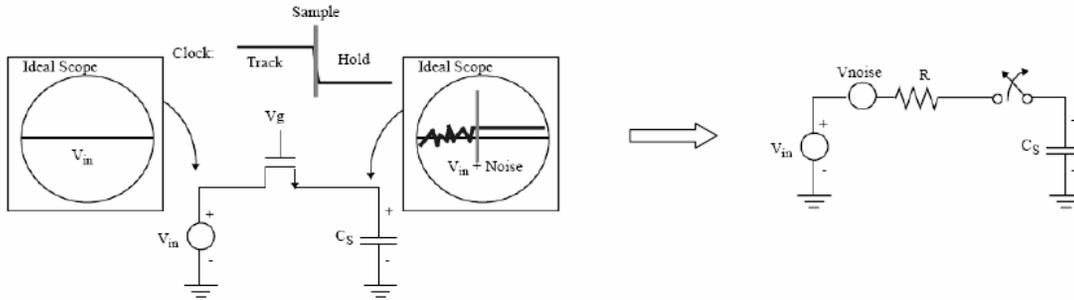
so

$$f_{-3db} = \frac{1}{2\pi} \cdot \frac{k \cdot \frac{W}{L} \cdot (V_{gs} - V_t)}{C_s}$$

✓ Exemple :

- $V_{gs} - V_t = 1V$, $W/L = 10$, $k = 70 \mu A/V$, $C_s = 1 pF \Rightarrow f_{-3db} = 100 MHz$
- V_{gs} varie suivant le signal d'entrée V_{in}
 - R_{on} varie
 - Fréquence de coupure du filtre varie
- Influence directe sur la distorsion
 - Gain dépend de l'amplitude du signal d'entrée

Suiveur bloqueur



C	$\sigma = \sqrt{kT/C}$
0.01pF	640μV
1pF	64μV
100pF	6.4μV

RMS values for different sampling capacitor values at T=300K (27dg)

- Bruit thermique est généré et additionné au signal échantillonné par le switch MOS
- Le bruit total est obtenu en intégrant la densité spectrale de bruit

$$v^2 = \int_0^{\infty} 4kTR \frac{df}{|1 + RCp|^2} = 4kTR \int_0^{\infty} \frac{df}{1 + (2\pi RCf)^2} = 4kTR \cdot \frac{1}{2\pi RC} \int_0^{\infty} \frac{du}{1 + u^2} = 4kTR \cdot \frac{1}{2\pi RC} \cdot [\arctgu]_0^{\infty} = 4kTR \cdot \frac{1}{4RC}$$

$$v_{rms} = \sqrt{kT / C}$$

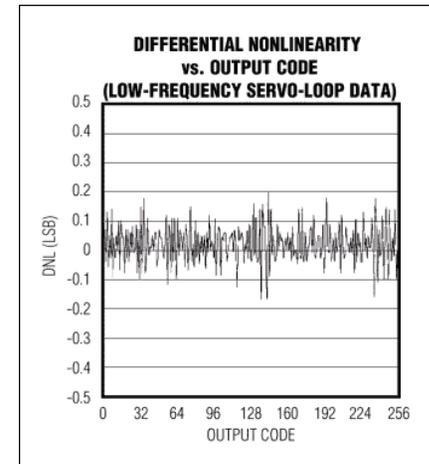
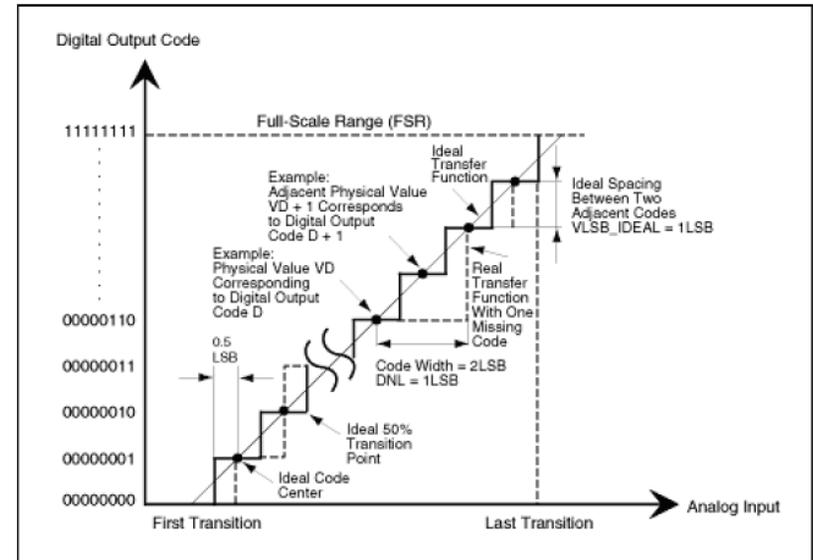
Equivalent noise bandwidth

Caractéristiques statiques d'un ADC

INL, DNL

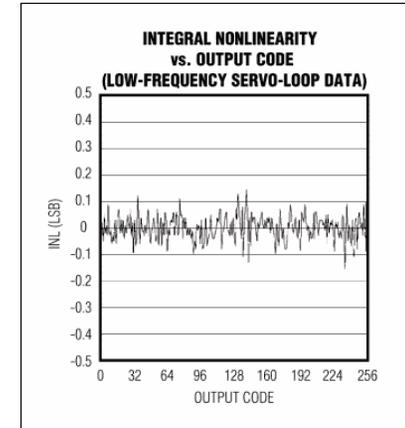
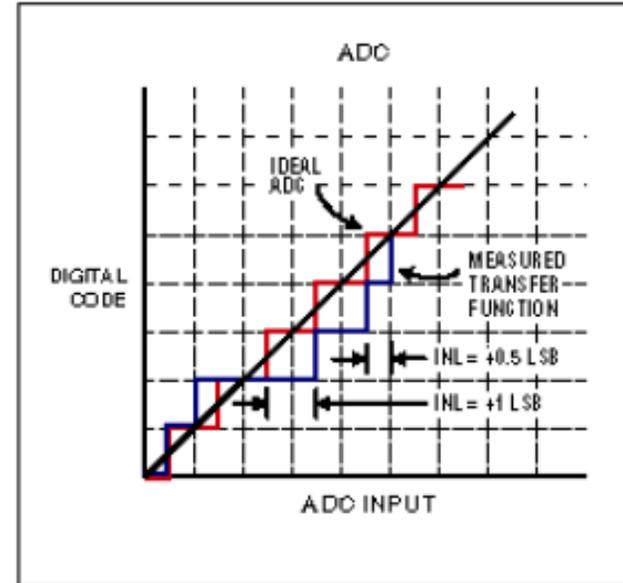
DNL : non linéarité différentielle

- ❑ DNL : écart entre un code et son code voisin.
- ❑ Cet écart est mesuré en tension et convertie en LSB.
- ❑ Clé d'un bon ADC
 - Pas de code manquant
- ❑ $DNL < \pm 1\text{LSB}$ garantit un ADC sans code manquant.
- ❑ Un ADC est dit monotone quand sa sortie digitale augmente quand le signal d'entrée augmente.

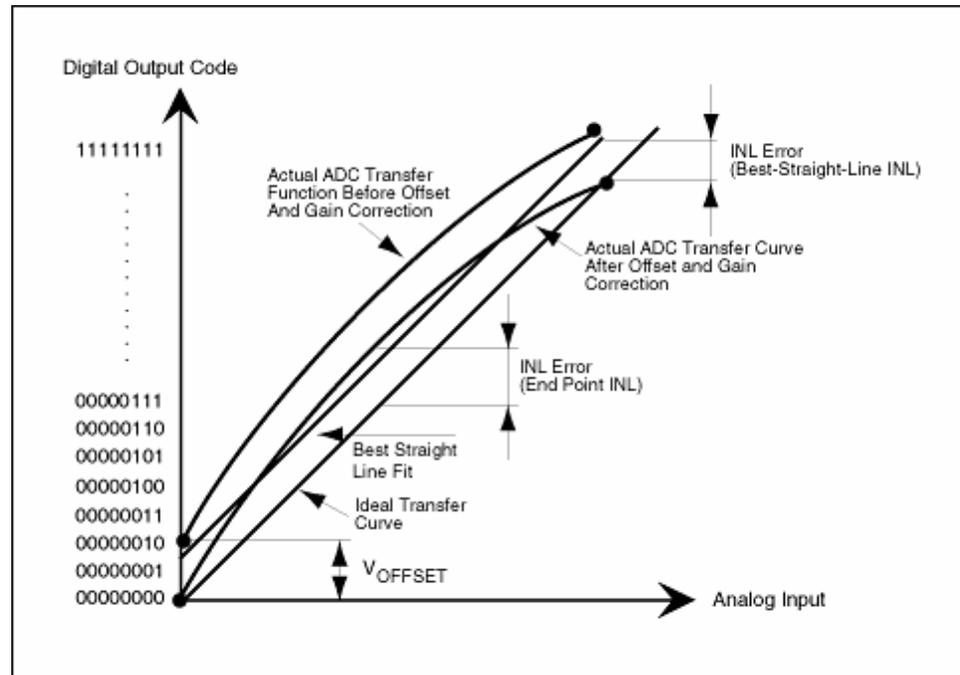


INL : non linéarité intégrale

- ❑ INL est l'écart de la fonction de transfert de l'ADC par rapport à la meilleure droite (fit, annulation des erreurs de gain et d'offset)
- ❑ INL est aussi appelée précision relative
- ❑ INL est l'intégrale de la DNL.
- ❑ INL de $\pm 2\text{LSB}$ pour un ADC de 12-bit signifie que la non linéarité max sera de $2/4096$ or 0.05% .



INL : non linéarité intégrale



Caractéristiques dynamiques d'un ADC

DR, SNR, SFDR, THD...

Gamme dynamique ou « dynamic range » DR

- Dynamic Range (DR) d'un ADC est le rapport du « FSR » et du LSB.

$$DR = \frac{FSR}{LSB \text{ change}} = \frac{FSR}{(FSR/2^N)} = 2^N \qquad DR(\text{dB}) = 6.02N \text{ (dB)}$$

- Une gamme dynamique de 60dB peut accepter des signaux entre x et 1000x.

Tension rms, rappels

- ❑ Physiquement, c'est la valeur de la tension continue qui provoquerait une même dissipation de puissance que $u(t)$ si elle était appliquée aux bornes d'une résistance.

$$\sqrt{\frac{1}{T} \cdot \int_t^{t+T} u^2(t) dt}$$

- ❑ Pour les régimes sinusoïdaux de tension et de courant ($u(t) = V_{\max} \sin(t)$), la valeur efficace est égale à la valeur de crête (valeur maximale, V_{\max}) divisée par la racine carrée de deux :

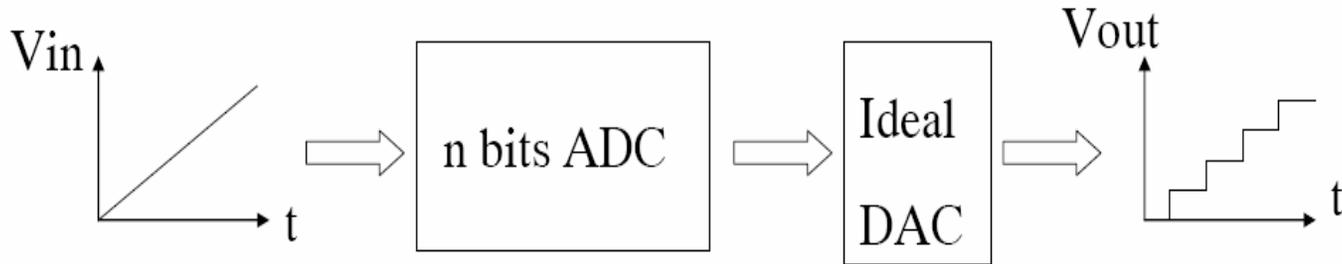
$$V_{\text{eff}} = \sqrt{\frac{1}{T} \cdot \int_t^{t+T} u^2(t) dt}$$

$$\sqrt{\frac{1}{2\pi} \cdot V_{\max}^2 \cdot \int_0^{2\pi} \sin^2 \theta d\theta} \quad \int_0^{2\pi} \sin^2 \theta d\theta = \pi$$

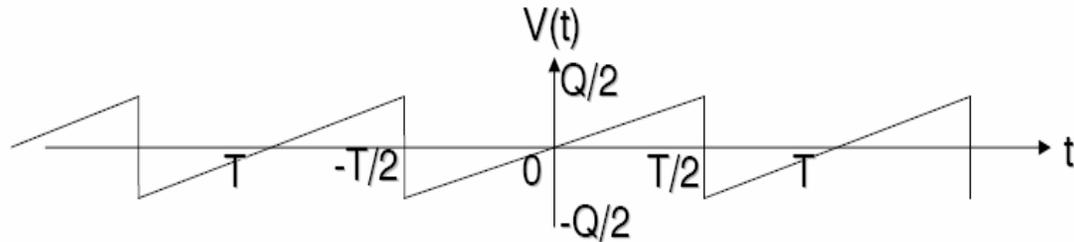
$$V_{\text{eff}} = \sqrt{\frac{V_{\max}^2}{2}} = \frac{V_{\max}}{\sqrt{2}}$$



Bruit de quantification



Quantization noise is the difference V between V_{out} and V_{in} :



Its average value equals zero, but its rms value is:

$$v^2 = \frac{1}{T} \int_{-T/2}^{T/2} v^2(t) dt = \frac{2}{T} \int_0^{T/2} v^2(t) dt = \frac{2}{T} \int_0^{T/2} \left(\frac{Q}{T}\right)^2 t^2 dt = \frac{Q^2}{12}$$

So: $v_{rms} = Q/\sqrt{12}$

SNR en considérant le bruit de quantification

$$SNR = 20 \log(V_{in_{rms}} / V_{n_{rms}})$$

with $V_{n_{rms}} = V_{ref} / (2^n \cdot \sqrt{12})$

For sawtooth input between 0 and V_{ref} : $V_{in_{rms}} = V_{ref} / (\sqrt{12})$

So:

$$SNR = 20 \log(2^n) = 6.02n$$

For sinusoidal input between 0 and V_{ref} : $V_{in_{rms}} = V_{ref} / (2\sqrt{2})$

So:

$$SNR = 20 \log(\sqrt{3/2} \cdot 2^n) = 6.02n + 1.76 \text{ db}$$

In other words, a sinusoidal signal has **1.76db** more SNR than a random signal uniformly distributed.

$$SNR_{max} = \frac{v_{OUT_{max}}(rms)}{(FSR / \sqrt{12} \cdot 2^N)} = \frac{FSR / (2\sqrt{2})}{FSR / (\sqrt{12} \cdot 2^N)} = \frac{\sqrt{6} \cdot 2^N}{2}$$

$$SNR_{max}(dB) = 20 \log_{10} \left(\frac{\sqrt{6} \cdot 2^N}{2} \right) = 10 \log_{10}(6) + 20 \log_{10}(2^N) - 20 \log_{10}(2) = 1.76 + 6.02N \text{ dB}$$



SNR en considérant le bruit de quantification et le bruit échantillonnage

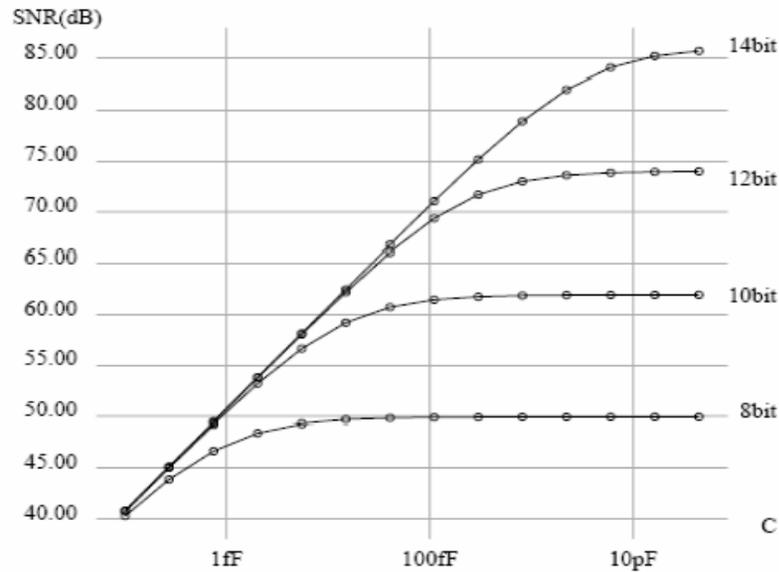
$$SNR = 20 \log (V_{in \text{ rms}} / V_{n \text{ rms}}) = 10 \log \left(\frac{(V_{ref} / 2\sqrt{2})^2}{\frac{(V_{ref} / 2^N)^2}{12} + KT / C} \right)$$

Here N is the ADC resolution and C is the sampling capacitor.

For example: N=10 and C=1pF => SNR=61.91db

Instead of 61.96db in case of noiseless ideal 10 bits ADC.

SNR en fonction de C



Maximum achievable SNR for different capacitor values at different resolution levels

For a small capacitor, thermal noise limits the SNR, whereas for a large capacitor, quantization noise limits the SNR.

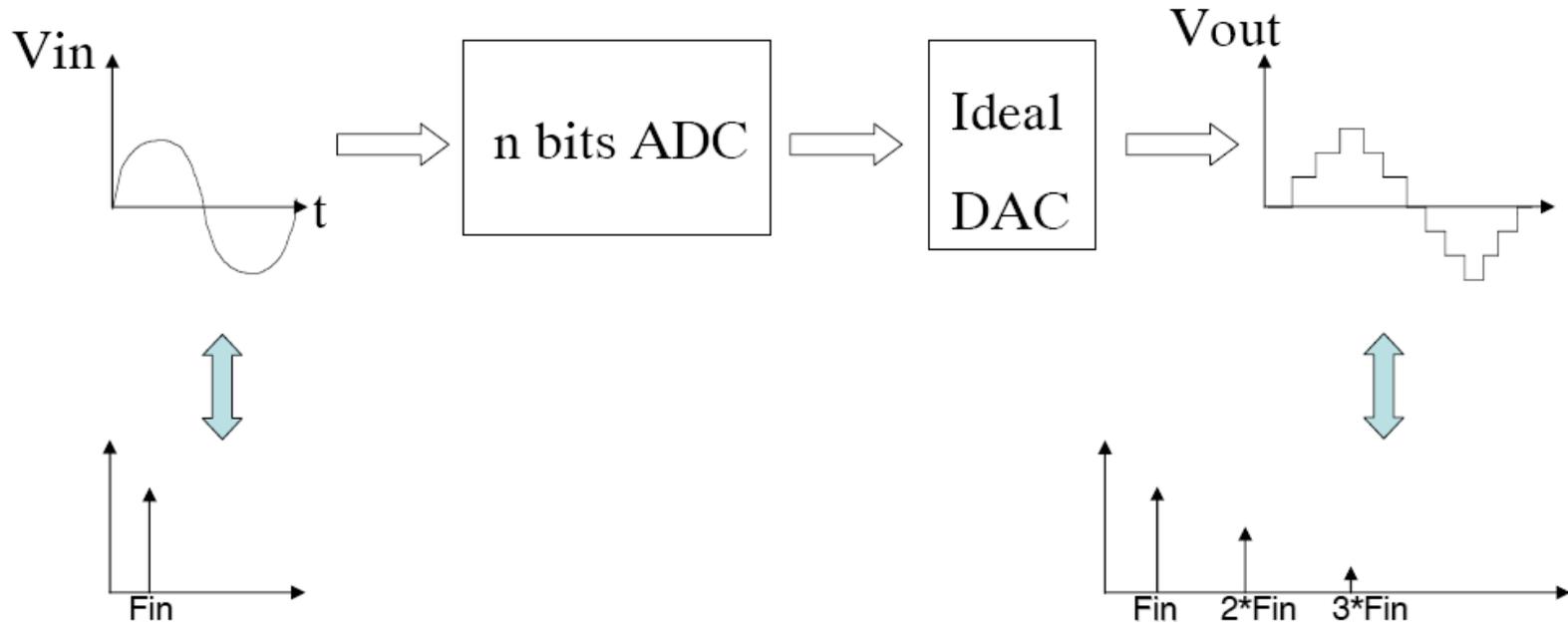
SNR structure mode commun /différentielle

SNR for a single ended structure: $\frac{A/\sqrt{2}}{\sqrt{kt/C}}$

SNR for a differential structure: $\frac{2A/\sqrt{2}}{\sqrt{2(kt/C)}} = \sqrt{2}^* \frac{A/\sqrt{2}}{\sqrt{(kt/C)}}$

Since the differential signal is twice higher than its single-ended counterpart and the differential sampling noise is only multiplied by $\sqrt{2}$ then a benefit of 3db can be reached by a differential scheme.

THD Total Harmonic Distorsion



The output spectrum is composed of multiple of input frequency (along with thermal noise and quantization noise).

THD Total Harmonic Distorsion

These harmonics originate from non-linear behavior of the n-bits ADC.

For example, pipeline ADCs are using amplifiers to make a gain operation. Again sigma-delta ADCs are also using amplifiers in integration configuration.

Of course, amplifiers present some non-linearity's due to their finite DC gain and bandwidth.

Total harmonic distortion (in db) is given by:

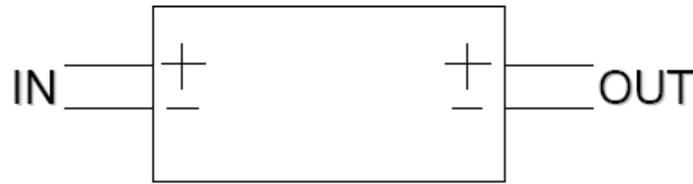
$$THD = 20 \log \left(\frac{V_{in}}{\sqrt{A_2^2 + A_3^2 + A_4^2 + \dots}} \right)$$

Where V_{in} is the module of the fundamental frequency F_{in} and, A_2, A_3, A_4, \dots , are the modules of higher order harmonics.

THD Total Harmonic Distorsion

In case of a differential structure, transfer function is an odd one and thus does not produce even harmonics (since a Fourier serie of an odd function contains only odd terms).

Differential function $\Leftrightarrow f(-in) = -f(in)$



SINAD: Signal to noise and distortion ratio

$$SINAD = 10 \log \left(\frac{V_{in_rms}^2}{QuantizNoi se^2 + SampNoise^2 + Distorsion^2} \right)$$

$$SINAD = 10 \log \left(\frac{(V_{ref} / 2\sqrt{2})^2}{\frac{(V_{ref} / 2^N)^2}{12} + KT / C + \left(\frac{V_{in_rms}}{10^{\frac{THD}{20}}} \right)^2} \right)$$

↙ ↘
Random
↑
Deterministic

Note that here a difficulty occurs since random and deterministic components are not consistent together.

ENOB effective number of bits

For an ideal n-bits ADC (only quantization noise, no thermal noise, no distortion) with a sine wave input :

$$\text{SNR}=6.02n+1.76 \text{ db}$$

For a real ADC, we can define an equivalent number of bits called effective number of bits, taken into account some imperfections (sampling noise, thermal noise coming from amplifiers, distortion) by using the following formula:

$$\text{ENOB}=(\text{SINAD}-1.76)/6.02$$

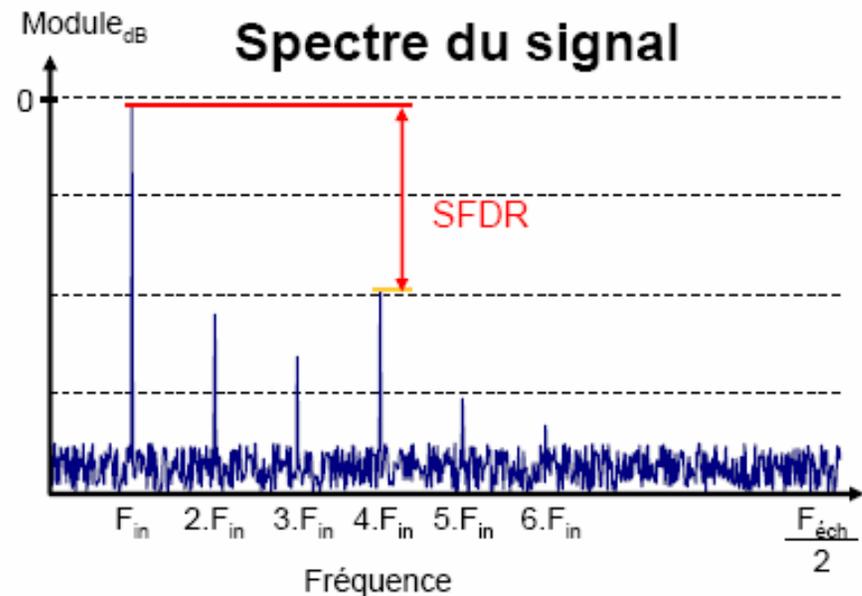
Spurious-Free Dynamic Range (SFDR)

- ❑ SFDR est le rapport de l'amplitude rms du fondamental sur la valeur rms de plus grande distorsion.
- ❑ SFDR est fonction de l'amplitude et de la fréquence du signal d'entrée.

$$(\text{SFDR})_{\text{dB}} = 20 \cdot \log\left(\frac{\max(A_i)}{A}\right)$$

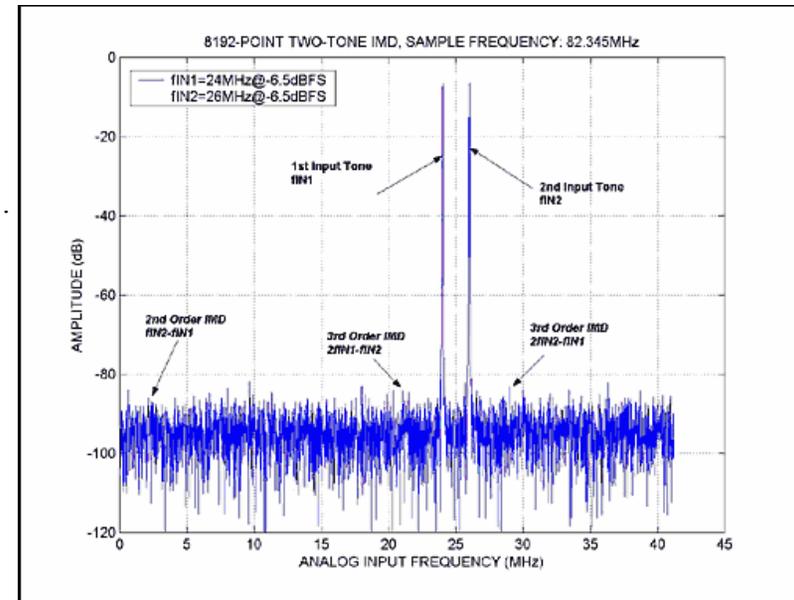
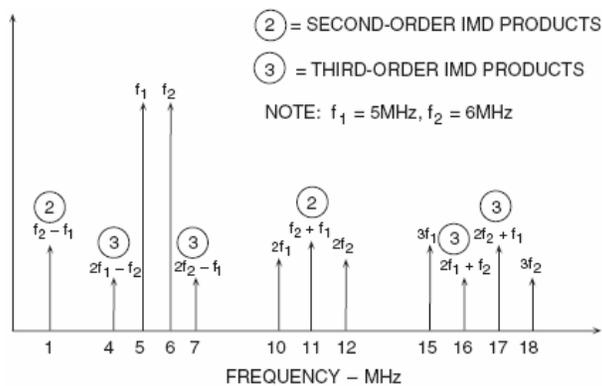
A = amplitude du fondamental

A_i = amplitude de la $i^{\text{ème}}$ raie



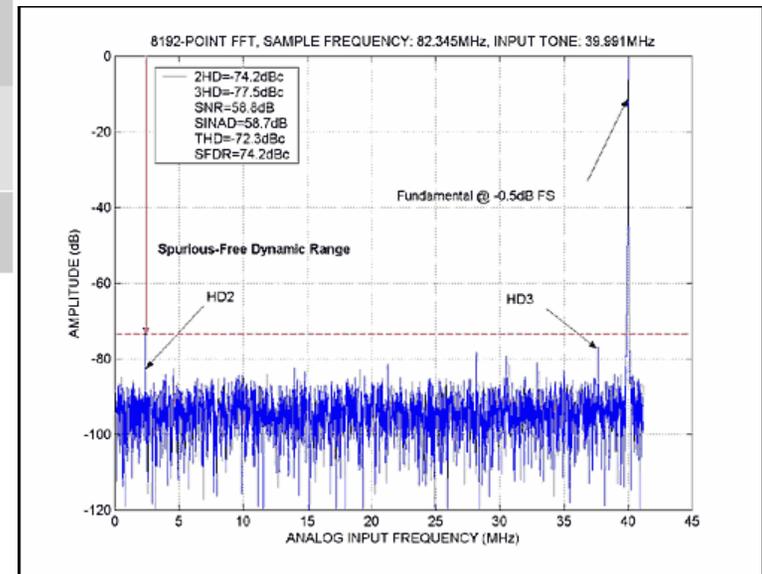
Intermodulation Distortion (IMD)

- ❑ IMD est un phénomène faisant apparaître des nouvelles fréquences qui ne sont pas dues au signal d'entrée.
- ❑ « Two-tone IMD » est mesuré en appliquant 2 signaux sinusoïdaux « purs » de fréquence proche, f_1 et f_2 , en entrée de l'ADC.
- ❑ On définit ainsi les différents IMD:
 - 2nd-order intermodulation products (IM2): $f_1 + f_2$, $f_2 - f_1$
 - (IM3): $2 \times f_1 - f_2$, $2 \times f_2 - f_1$, $2 \times f_1 + f_2$, $2 \times f_2 + f_1$
 - (IM4): $3 \times f_1 - f_2$, $3 \times f_2 - f_1$, $3 \times f_1 + f_2$, $3 \times f_2 + f_1$
 - (IM5): $3 \times f_1 - 2 \times f_2$, $3 \times f_2 - 2 \times f_1$, $3 \times f_1 + 2 \times f_2$, $3 \times f_2 + 2 \times f_1$.



Principales caractéristiques des ADC

Dynamic Parameter	Description/Definition
Signal-to-Noise Ratio (SNR)	$SNR_{dB} = 6.02 \times N + 1.76.$
Signal-to-Noise and Distortion Ratio (SINAD)	$SINAD_{dB} = 20 \times \log_{10} (A_{SIGNAL}[rms] / A_{NOISE}[rms]).$
Effective Number of Bits (ENOB)	$ENOB = (SINAD - 1.76) / 6.02.$
Total Harmonic Distortion (THD)	$THD_{dBc} = 20 \cdot \log_{10} \left(\frac{\sqrt{V_{HD_2}[rms]^2 + V_{HD_3}[rms]^2 + \dots + V_{HD_N}[rms]^2}}{V[f_1][rms]} \right)$
Spurious-Free Dynamic Range (SFDR)	SFDR is the ratio expressed in decibels of the rms amplitude of the fundamental (maximum signal component) to the rms value of the next-largest spurious component, excluding DC offset.
Two-Tone Intermodulation Distortion (TTIMD)	$TTIMD_{dB} = 20 \times \log_{10} \{ \Sigma (A_{IMF_SUM}[rms] + A_{IMF_DIFF}[rms]) / A_{FUNDAMENTAL}[rms] \}.$ IMF_SUM and IMF_DIFF in a TTIMD setup contain two input tones only.
Multi-Tone Intermodulation Distortion (MTIMD)	$MTIMD_{dB} = 20 \times \log_{10} \{ \Sigma (A_{IMF_SUM}[rms] + A_{IMF_DIFF}[rms]) / A_{FUNDAMENTAL}[rms] \}.$ IMF_SUM and IMF_DIFF in an MTIMD setup contain more than two (usually up to four) input tones.
Voltage Standing-Wave Ratio (VSWR)	$VSWR = (1 + \rho) / (1 - \rho),$ where ρ represents the reflection coefficient.

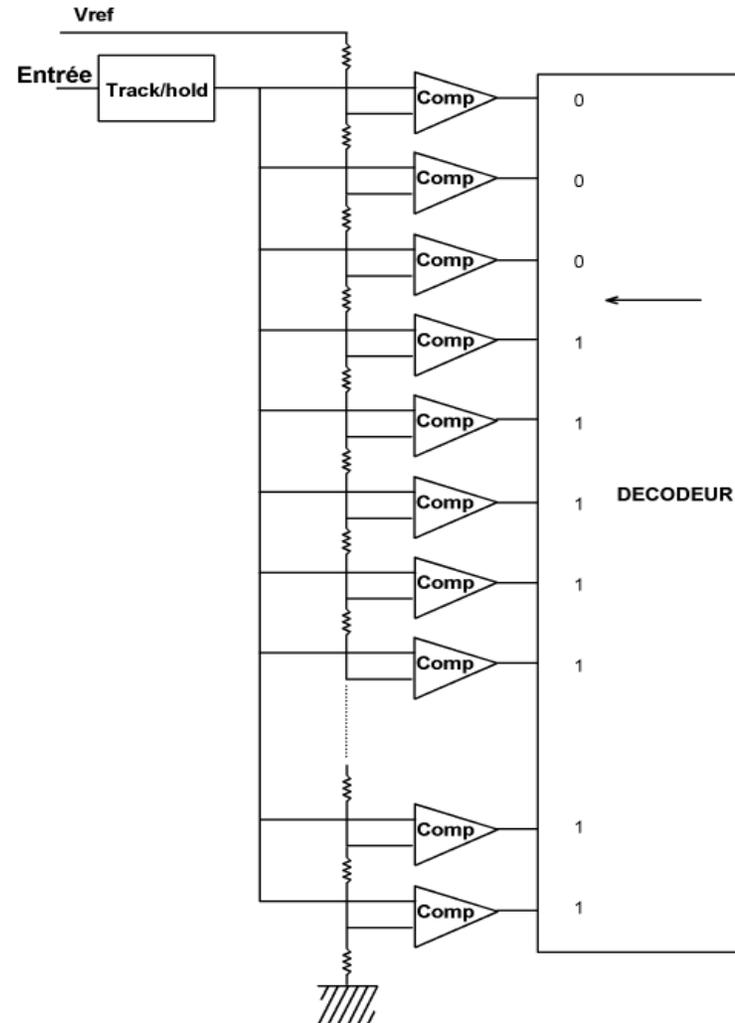


Architectures ADC

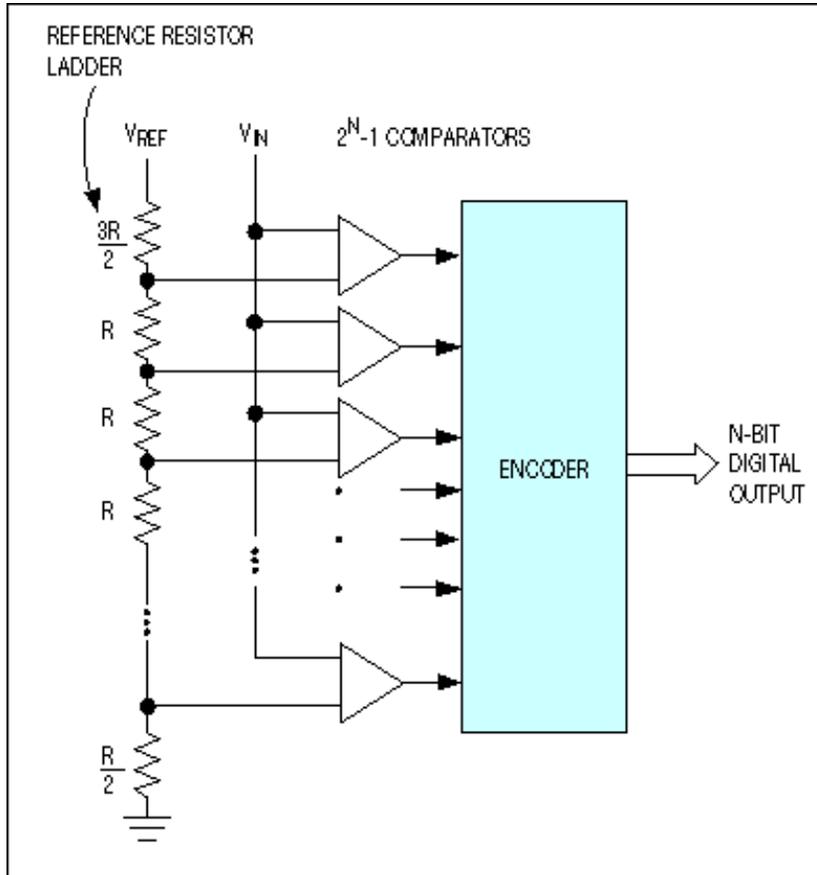
ADC Flash

ADC FLASH

- ❑ Nommés aussi ADC parallèles
- ❑ Le plus rapide, N bits à chaque coup d'horloge.
- ❑ Partie analogique complexe
 - Grand nombre de comparateurs
 - ✓ ADC N-bit de résolution, $2N-1$ comparateurs connectés en parallèle
 - Références de tension
 - ✓ Réf de tension générées par un réseau de R espacé de $V_{FS}/2N$ (~ 1 LSB)
- ❑ Code thermomètre
 - Mercure monte toujours à la température



ADC Flash



❑ Résolution limitée par les comparateurs

- Surface active
- Capacité d'entrée
- Puissance consommée
- Cascade d'étages large bande et faible gain.
- Faible offset
- Un latch à contre-réaction positive en sortie du comparateur

❑ « Sparkle Codes »

- Ex: 00011111 attendu, 00010111 lu.
- Bulles dans le code thermomètre
- Erreur causée par le comparateur,
 - ✓ Temps d'établissement imparfait
 - ✓ Mismatch en temps.

❑ Métastabilité

- **Sortie comparateur ambiguë, sortie métastable**
- **Éviter ces états métastables**
 - ✓ Plus de temps de régénération
 - ✓ Code gray 1 bit change

- ❑ Précaution sur l'horloge, attention au jitter!!

Conclusions FLASH

- ❑ Technologies bipolaires pour obtenir les convertisseurs les plus rapides
- ❑ Conversion rate de l'ordre du Gbps
- ❑ Résolution 8 bits utilisé pour des applications large bande
 - Grand nombre de comparateurs faible offset
 - Nombre de comparateurs *2 pour chaque bit supplémentaire et ils doivent être en même temps 2 fois plus précis

- ❑ ADC 8 bits flash comparé à un pipeline
 - Surface active 7 fois plus grande pour un Flash
 - La capacité d'entrée 6 fois plus grande pour le Flash
 - Puissance dissipée doublée pour un flash

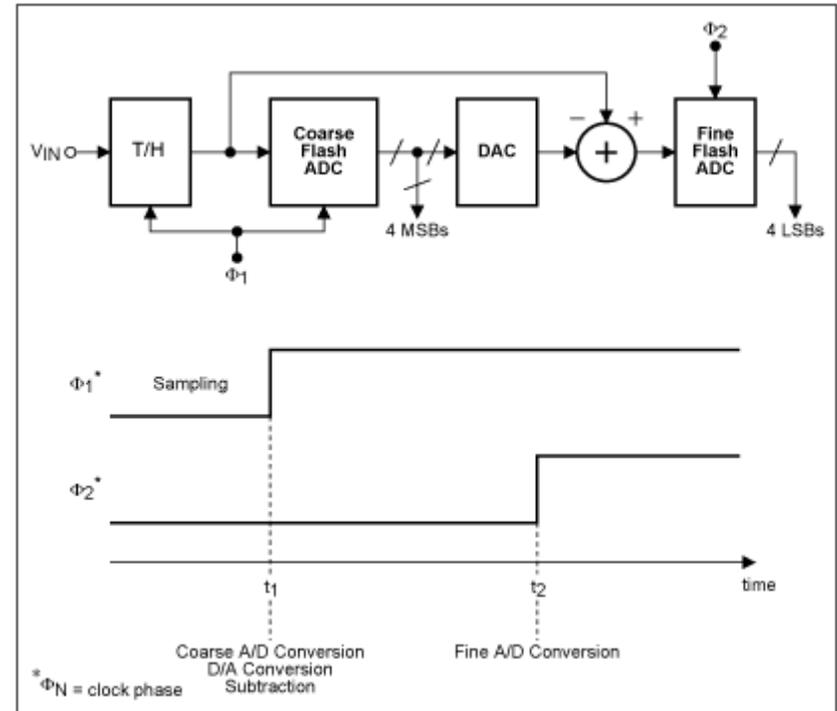
Sub-Ranging ADCs

❑ Sub-ranging ADC utilisées

- Pour des résolutions supérieures à 8bits
- Surface active plus petite
- Dissipation plus faible

❑ ADC appelés aussi

- Multi-step or half-flash converter.
- Bits à convertir sont séparés en petits groupes.
- Réduction du nbre de comparateurs et logique plus simple.
- Conversion plus lente.

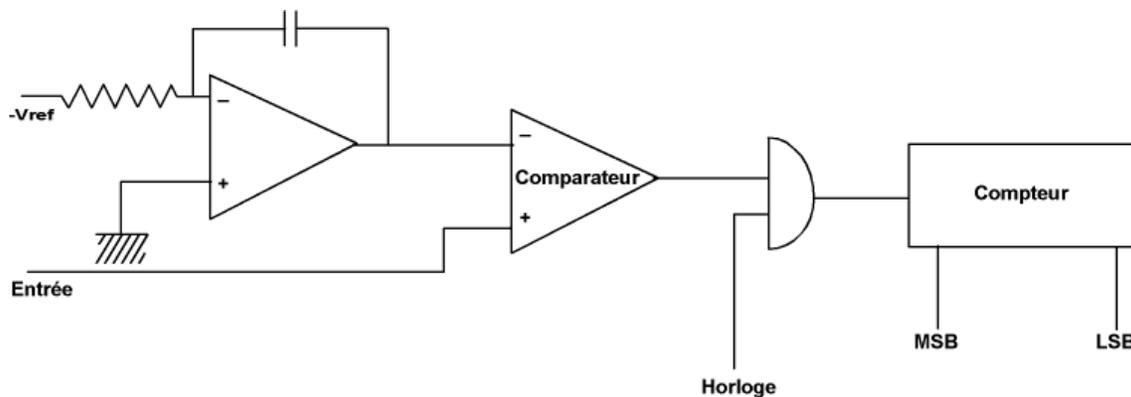


Architectures ADC

ADC Rampe

ADC RAMPE ou INTEGRATING ADC

- ❑ ADC les plus populaires.
- ❑ *Grande résolution*
- ❑ *Bonne réjection au bruit*
- ❑ *Numérisent des signaux faible bande passante*
- ❑ *Utilisés dans les multimètres*



ADC simple rampe

❑ Forme la plus simple

❑ Principe

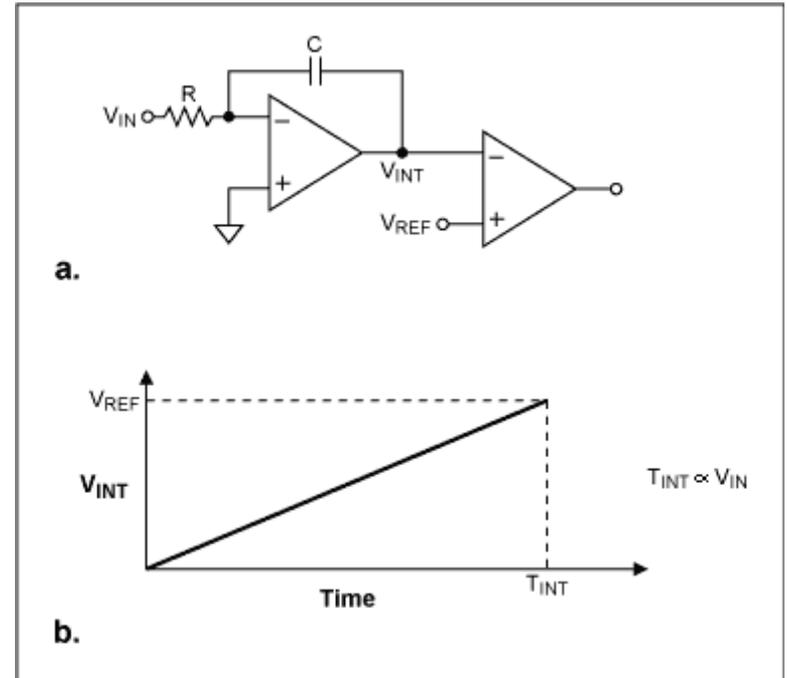
- Tension entrée intégrée et cette valeur intégrée est comparée à une référence connue
- Temps mis par l'intégrateur pour faire basculer le comparateur est proportionnel à la valeur de tension entrée.

❑ Conditions de bon fct

- Référence stable et précise...

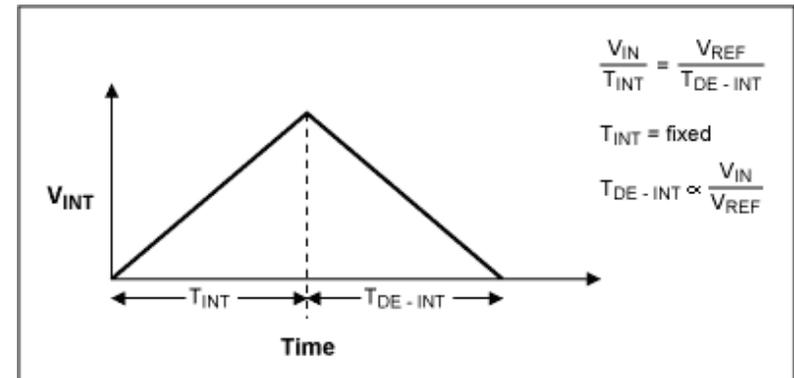
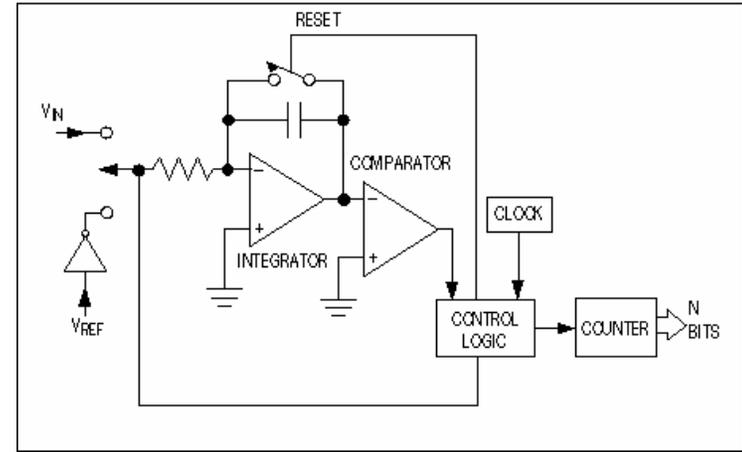
❑ Inconvénients

- Très dépendant des valeurs R et C
- Répétitivité des caractéristiques impossible à obtenir
 - ✓ Dû à la fonderie



ADC double rampe

- ❑ ADC intègre une tension d'entrée inconnue (V_{IN}) pendant un temps fixe (T_{INT})
- ❑ Puis on « désintègre » (T_{DEINT}) en utilisant une référence de tension connue (V_{REF}) .
- ❑ Avantages
 - Insensible à la valeur des composants
 - Une erreur introduite par la valeur des composants durant l'intégration sera compensée durant la « désintégration »



Conclusions ADC RAMPE

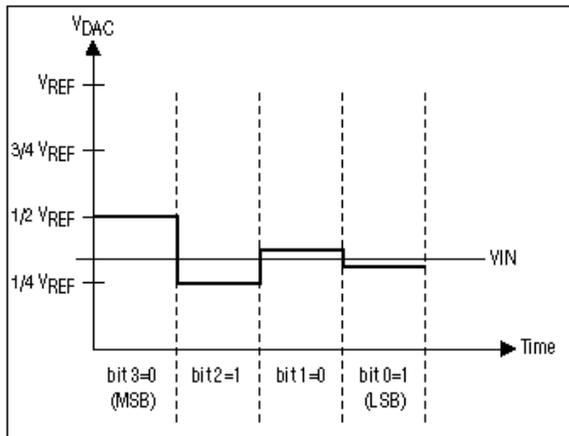
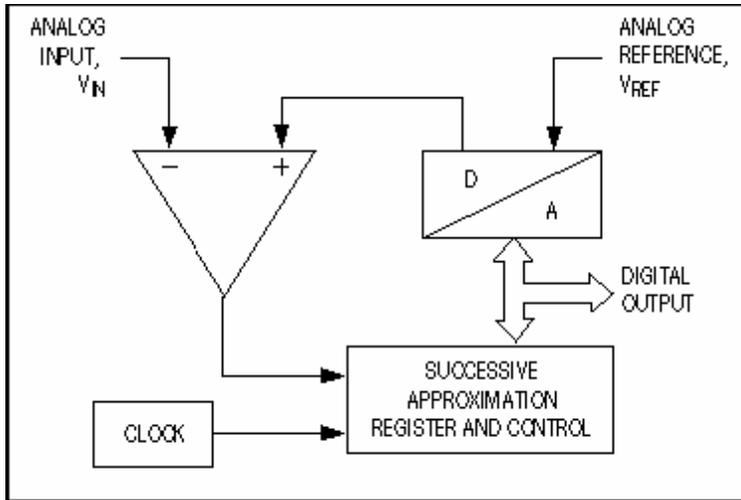
- Convertisseurs très lents avec des faibles bande passante entrée.
- Résolution 12-16bits
- Peu coûteux
- Dissipe peu
- Taux de conversion qq 100sps
- Entre en « compétition » avec ADC S-D
 - Les deux fonctionnent avec des signaux faible bande passante
- Très utilisés dans des applications industrielles très bruyantes
 - Rejette les bruits hautes fréquences et 50Hz.

- Possibilité d'annuler les offsets par un cycle de calibration

Architectures ADC

ADC SAR Approximation successive

ADC Approximation successive



- ❑ Technique de conversion basée sur un registre à approximation successive.
 - « bit-weighting conversion »
- ❑ Utilisation d'un comparateur pour comparer la tension d'entrée avec la sortie d'un DAC Nbits
- ❑ Le résultat final est approchée en faisant la somme des N bits.
 - Comparateur et DAC 2 éléments critiques
 - SAR et une logique de contrôle
- ❑ 4 périodes de comparaisons sont nécessaires pour un ADC 4-bits

Conclusions ADC Approximation successive

- ❑ *Résolution 8 à 18 bits, au-delà de 12 bits, trimming ou calibration*
- ❑ ADC série limitant son *Taux d'échantillonnage 5Msps max*
- ❑ Faible consommation, faible BP
 - MAX 1106 8bits 100 μ A à 3.3V 25ksps
- ❑ Coût faible
- ❑ Un seul comparateur haute vitesse et très précis, structure bit par bit
- ❑ 1 cycle d'horloge de latence = $1/F_{\text{sample}}$
- ❑ Très utilisé dans des applications portables
- ❑ Comparaison avec une structure pipeline,
 - Bande passante entrée plus faible
 - Taux d'échantillonnage plus faible
 - Pas de problème de latence.

Architectures ADC

ADC Sigma Delta

« Oversampling » ou sur échantillonnage

❑ Oversampling:

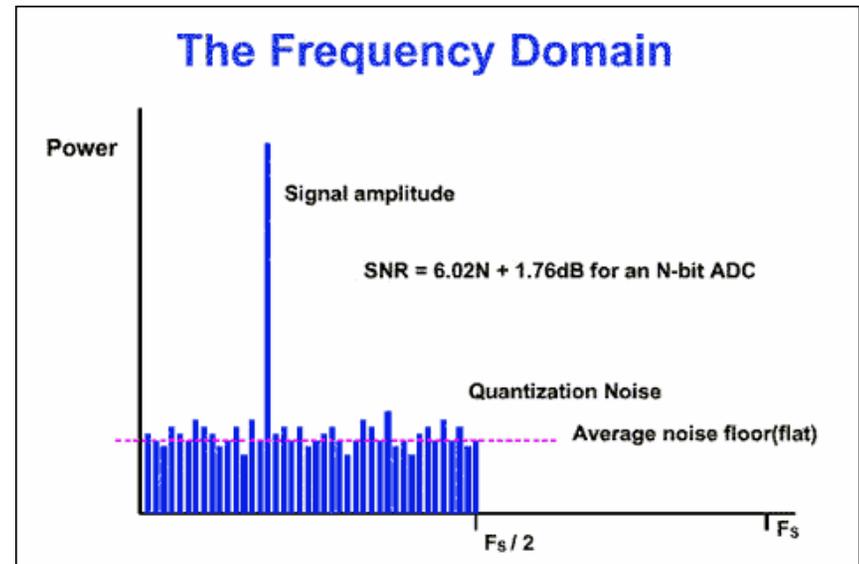
- échantillonner le signal d'entrée à une fréquence plus élevée que la fréquence de Nyquist

❑ Oversampling améliore

- Les performances dynamiques de l'ADC
- La résolution

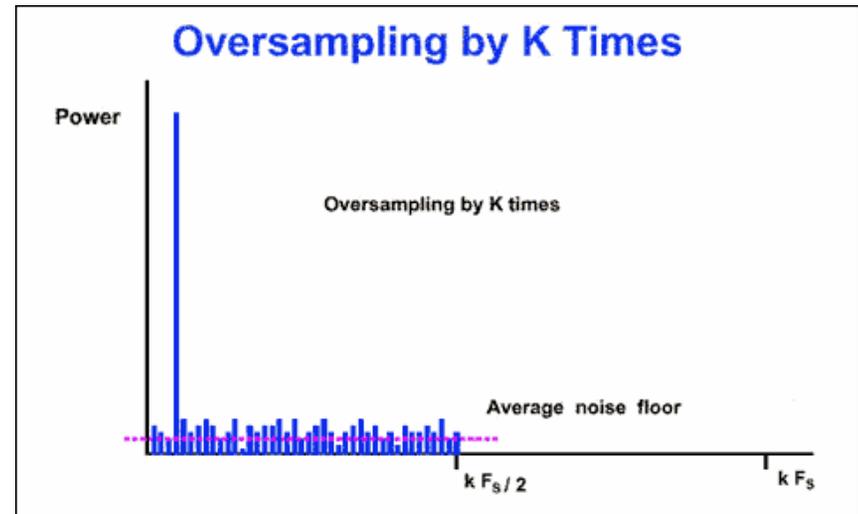
ADC Sigma-Delta, oversampling

- ❑ Spectre d'un ADC classique avec une sinusoïde en entrée.
 - Critère de Nyquist, $F_s \geq 2 F_{in}$
- ❑ FFT sur la sortie digitale
 - Une raie pour le signal entrée
 - Bruit aléatoire compris entre DC et $F_s/2$ du au bruit de quantification.
- ❑ La conversion analogique numérique entraîne une perte d'information et introduit de la distorsion sur le signal.

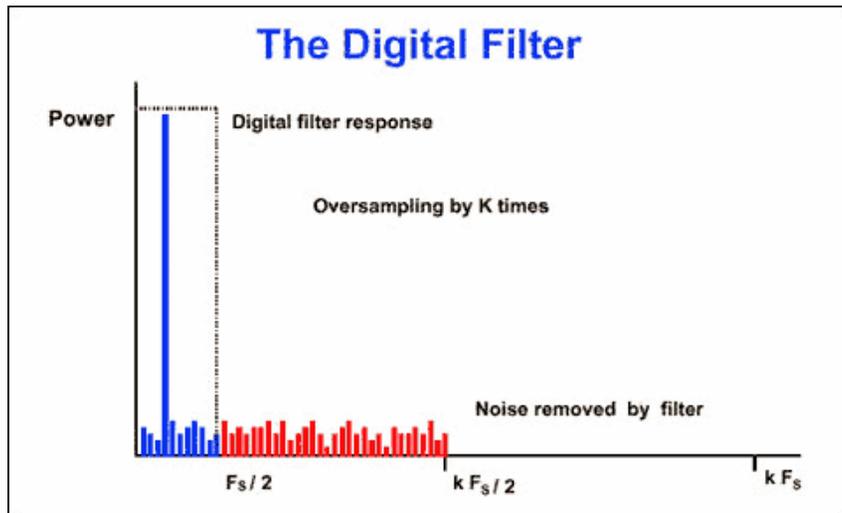


ADC Sigma-Delta

- ❑ ADC N bits avec une sinusoïde en entrée
 - $SNR = 6.02N + 1.76dB$.
- ❑ Améliorer le SNR dans un ADC conventionnel
 - Augmenter N le nombre de bits.
- ❑ Pour un ADC Sigma Delta
 - Augmente la fréquence d'échantillonnage F_s par un facteur « oversampling »= k
- ❑ Spectre montre que
 - Le bruit moyen a baissé, l'énergie du bruit est étalé sur une bande de fréquence = $kF_s/2$
 - SNR est inchangé
- ❑ ADC S-D exploite cet effet en faisant suivre l'ADC 1 bit par un filtre digital.



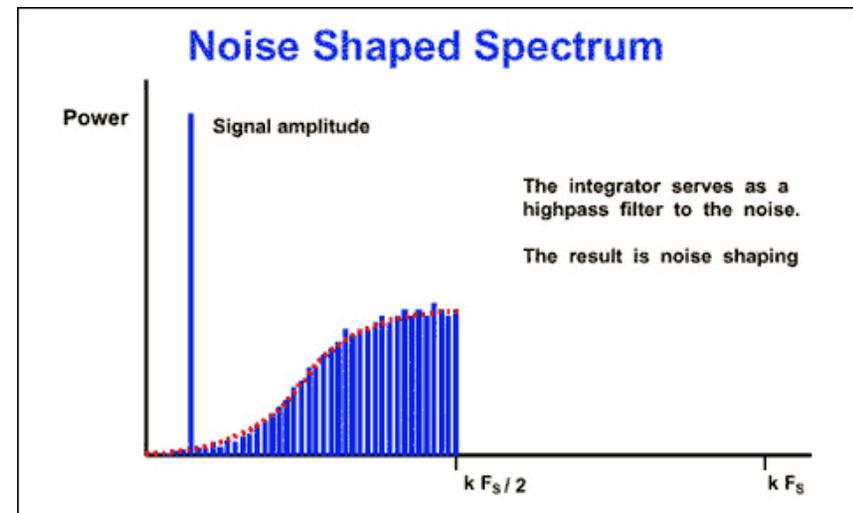
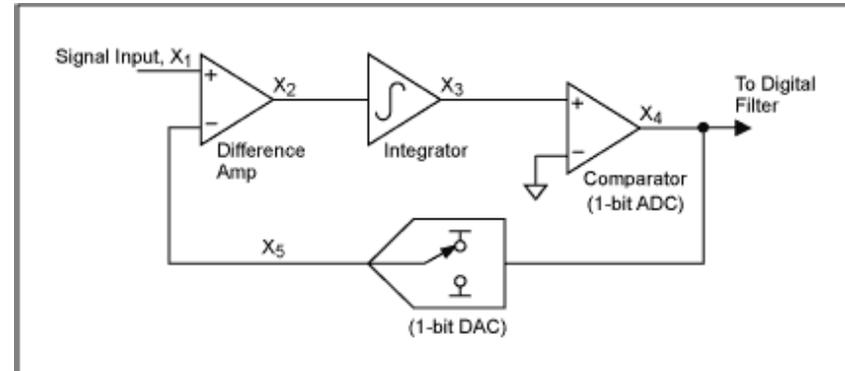
ADC Sigma-Delta



- ❑ Le bruit RMS est diminué car filtré par le filtre digital.
- ❑ Permet d'obtenir des grandes dynamiques avec des ADC faibles résolutions.
- ❑ Exemple:
 - SNR 1bit ADC 7,78dB
 - Facteur 4 « oversampling » entraîne un gain de 6dB sur SNR
 - Pour obtenir un 16 bits, facteur de 415, pas réalisable
- ❑ Les ADC S-D contournent cette difficulté par une technique de mise en forme du bruit « noise shaping »
 - On a ainsi un gain supérieur 6dB avec un facteur 4 d'oversampling

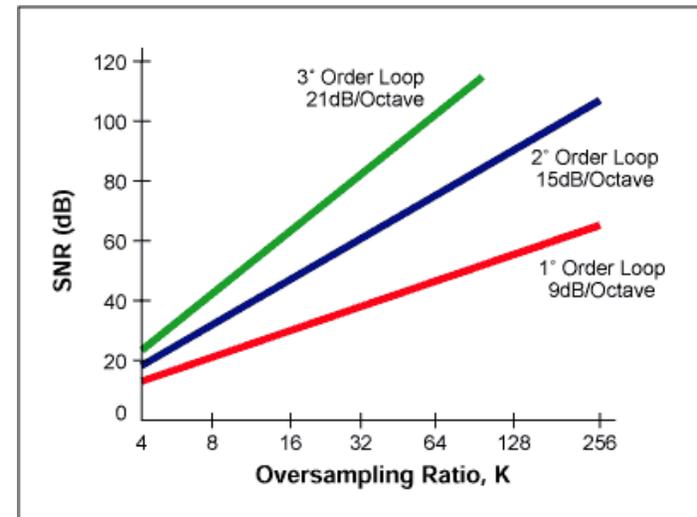
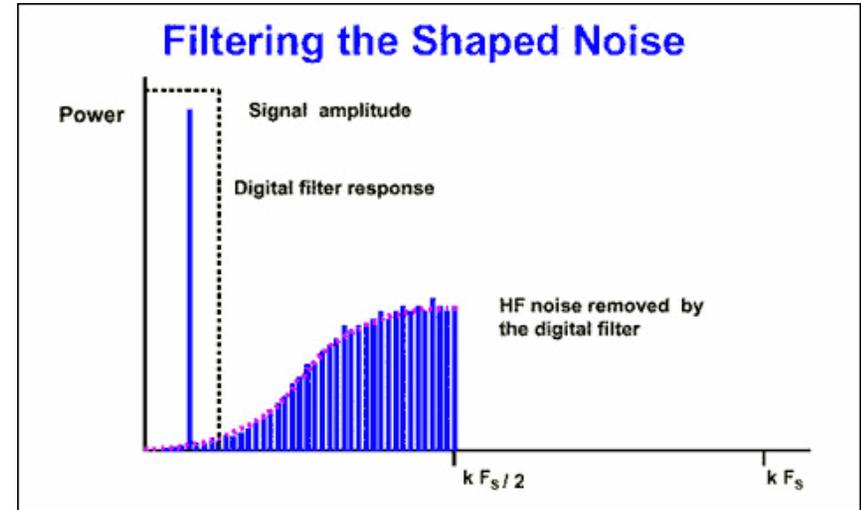
ADC Sigma-Delta, noise shaping

- ❑ Bloc diagramme modulateur
 - Amplificateur différentiel
 - Intégrateur
 - Comparateur avec un DAC sur sa boucle de retour qui maintient la sortie moyenne de l'intégrateur proche du niveau de référence du comparateur
- ❑ La densité de 1 en sortie du modulateur est proportionnelle au signal d'entrée
- ❑ Pour un signal qui augmente, le comparateur génère un plus grand nombre de 1 et inversement pour un signal qui diminue.
- ❑ En additionnant l'erreur de tension, l'intégrateur agit comme un filtre passe bas pour le signal d'entrée et un filtre passe haut pour le bruit de quantification.
- ❑ Le bruit de quantification est poussé dans les hautes fréquences
 - « Oversampling » change la distribution du bruit mais sa puissance totale reste identique.



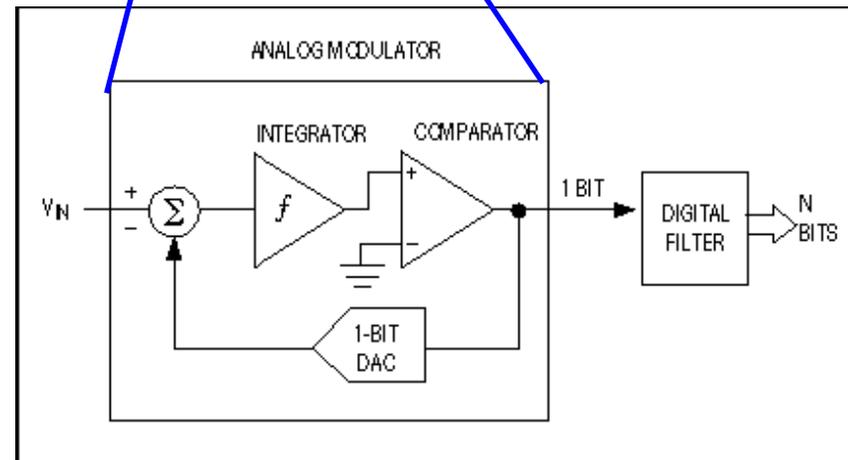
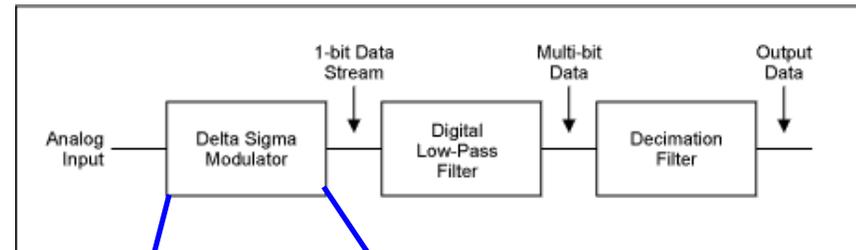
ADC Sigma-Delta noise shaping

- ❑ On a supprimé plus de bruit qu'un simple « oversampling »
- ❑ 1^{er} ordre:
 - 9dB amélioration pour le SNR en doublant le taux d'échantillonnage.
- ❑ 2^{ème} ordre:
 - 15dB amélioration pour le SNR en doublant le taux d'échantillonnage.



ADC sigma delta

- ❑ Comparateur pour convertir sur un bit 0 ou 1 à haute fréquence
 - Donne une différence (**delta**) entre le signal d'entrée et le résultat de la conversion.
- ❑ Résultat de la comparaison est alors entré dans un filtre appelé le décimateur
 - Fait la somme (**sigma**) des échantillons du signal d'entrée.
 - Cela revient à **calculer l'intégrale de la différence entre l'entrée et la sortie.**
- ❑ Système asservi
 - Sortie est rebouclée sur l'entrée) qui fait osciller la valeur de l'intégrale du signal à convertir autour d'une valeur de référence (le résultat de la conversion)
- ❑ Modulateur SD identique à un ADC double rampe



Conclusions ADC S-D

□ ADC SD

- Applications avec des bandes passantes entrée faibles, 1MHz
- Utilisés dans l'audio avec des bandes passantes de 22kHz
- Résolution 16bit-24bits
- Faible consommation, faible coût
- Pas de composants externes
- Pas de trimming ni de calibration
- Pas de filtre anti-repliement en entrée car la fréquence d'échantillonnage est plus grande que la bande passante effective.
- Filtre de décimation est un gros morceau!!
 - ✓ « *Decimation rate* " de 32 correspond à 1 valeur en sortie pour 32 mesures effectuées

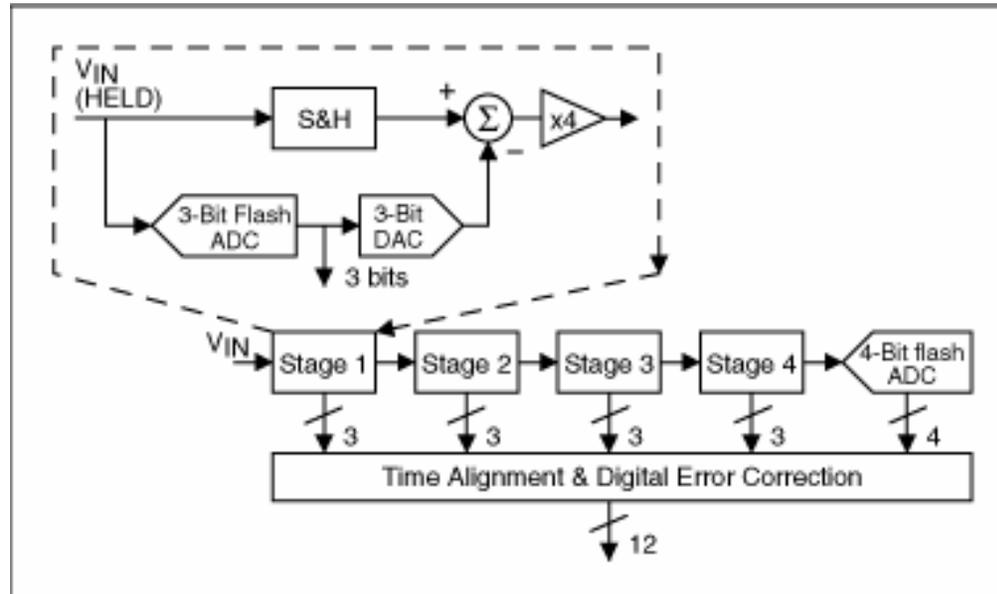


Architectures ADC

ADC Pipeline

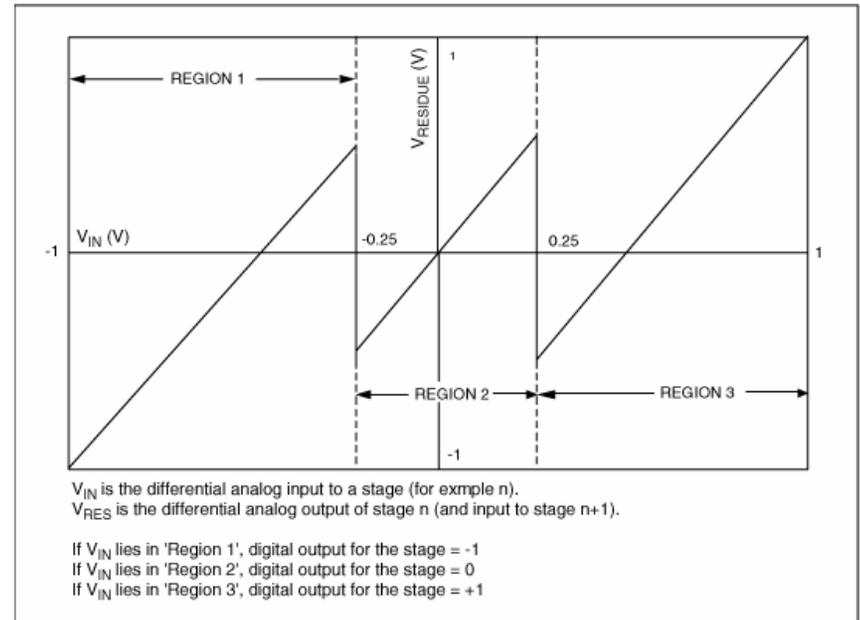
ADC Pipeline

- ❑ Apparition au milieu des années 1970
- ❑ Que des avantages
 - Vitesse, résolution, faible consommation, faible surface de silicium, faible coût...
- ❑ Beaucoup d'applications industrielles
- ❑ Précision de N bits nécessaire seulement sur le 1^{er} étage.



Structure 1.5 bit par étage

- ❑ Un étage ADC 1.5-bit (2 comparateurs) compare l'entrée analogique aux seuils des comparateurs
 - -0.25V et +0.25V dans cet exemple
- ❑ L'ADC donne une sortie digitale correspondant
- ❑ 1.5-bit par étage, 3 régions différentes (00-01-10)
 - 1 bit par étage 2 régions (0-1)
 - 2 bit par étage 4 régions différentes (00-01-10-11)



$$V_{RESIDUE} = 2V_{IN} - V_{REF}, \text{ for } V_{IN} > +0.25V \text{ (} V_{REF} = 1V \text{ is used in this example)}$$

$$V_{RESIDUE} = 2V_{IN}, \text{ for } (-0.25V) < V_{IN} < (+0.25V)$$

$$V_{RESIDUE} = 2V_{IN} + V_{REF}, \text{ for } V_{IN} < (-0.25V)$$



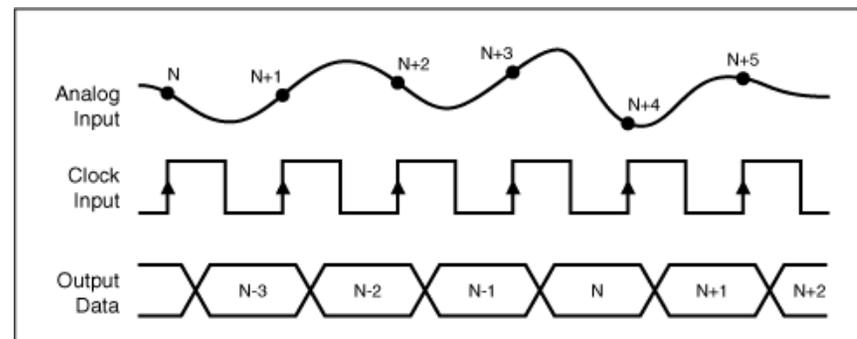
Structure 1.5 bit par étage

Stage	V_{IN} (V)	Region on the $V_{RESIDUE}$ vs. V_{IN} Transfer Characteristic (See Figure 4)	Digital Output (-1, 0, or +1)	Decimal Place Value	$V_{RESIDUE}$ (V_{IN} for the Next Stage)
1	0.6	Region 3	+1	64	$2 \times 0.6 - 1$
2	0.2	Region 2	0	32	2×0.2
3	0.4	Region 3	+1	16	$2 \times 0.4 - 1$
4	-0.2	Region 2	0	8	$2 \times (-0.2)$
5	-0.4	Region 1	-1	4	$2 \times (-0.4) + 1$
6	0.2	Region 2	0	2	2×0.2
7	0.4	Region 3	1	1	Not required

- ❑ Prenons le cas d'un ADC 7 bits pour lequel le signal max est de 1V.
- ❑ On échantillonne un signal d'entrée $=+0.6V$.
- ❑ $[(64 \times 1) + (32 \times 0) + (16 \times 1) + (8 \times 0) + (4 \times -1) + (2 \times 0) + (1 \times 1)] = 77$
- ❑ Code $77/127 = 0.606V$

Conclusion ADC pipeline

- ❑ Structure parallèle ou chaque étage travaille sur quelques bits
 - ❑ Taux d'échantillonnage qqes Msps à 100Msps+
 - ❑ Résolution de 8 bits à 16 bits.
 - ❑ La complexité du design croit de façon linéaire.
 - ❑ Convertisseurs grande vitesse et faible dissipation.
 - ❑ La latence des données au démarrage est un petit inconvénient.
 - ❑ Nécessite des amplificateurs précis, contraintes relâchées sur les comparateurs
-
- ❑ Difficultés de mise en œuvre
 - Références de tension et polarisation complexes
 - Latence due au pipeline
 - Timing critique pour les latches, synchronisation des sorties.
 - Sensibles au process, gain, offset.
 - Calibration



Architectures ADC

Bilan des courses

Architectures ADC

❑ Temps de conversion

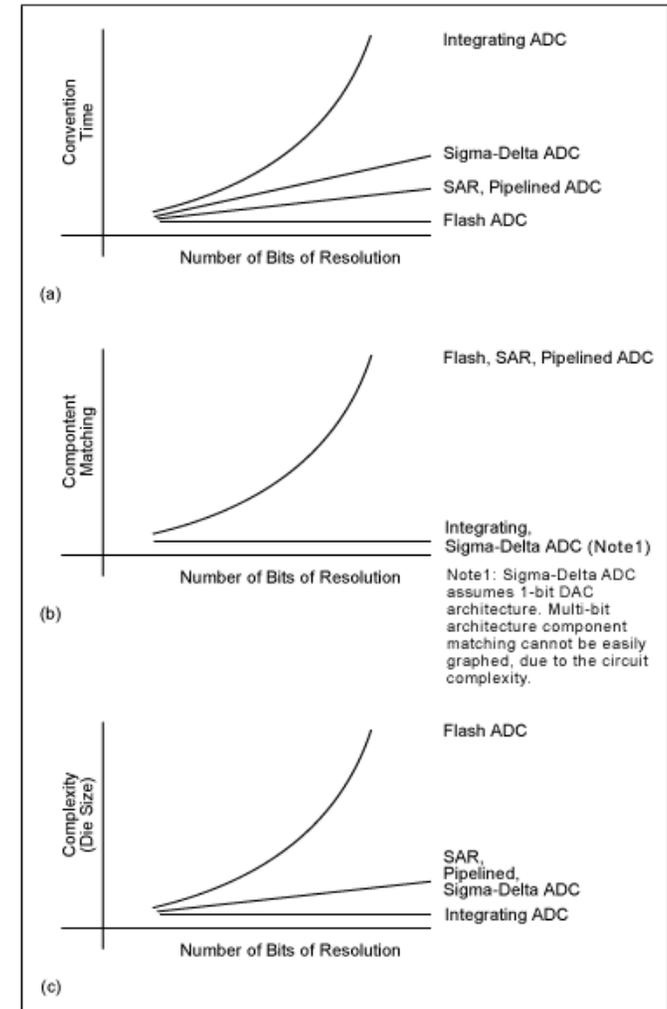
- Flash, même tps quelque soit la résolution.
- SAR et pipeline, tps conversion croit linéairement avec la résolution.
- ADC rampe, tps conversion double pour chaque bit supplémentaire.

❑ Contraintes sur le matching des composants

- Flash ADC, contrainte limite la résolution à 8bits.
- *2 pour chaque bit supplémentaire, valable pour les flashes, les SAR et les pipeline.
 - ✓ Techniques de trimming et de calibration
- ADC rampe, pas d'influence sur la résolution.

❑ Surface de silicium, coût et puissance dissipée

- Flash, chaque bit sup *2 Surface de l'ADC et la puissance dissipée.
- SAR, Pipeline ou S-D, la surface augmente linéairement avec la résolution.
- ADC rampe la surface n'augmente pas avec la résolution.



ADC Maxim

SYSTEM ARCHITECTURE	RESOLUTION	SPEED	MAXIM ADCs	ADVANTAGES/DRAWBACKS
Flash	3 bits	250Mps-1Gps	MAX100 MAX101A MAX104*	<ul style="list-style-type: none"> + Extremely fast + High input bandwidth - Highest power consumption - Large die size - High input capacitance - Expensive - Sparkle codes**
SAR	10 bits-16 bits	76kps-250kps	MAX195 MAX144/MAX145 MAX115* MAX157/MAX159 MAX186/MAX188	<ul style="list-style-type: none"> + High resolution and accuracy + Low power consumption + Few external components - Low input bandwidth - Limited sampling rate - V_W must remain constant during conversion
Integrating	> 18 bits	< 50kps	MAX132 MAX135	<ul style="list-style-type: none"> + High resolution + Low supply current + Excellent noise rejection - Low speed
Sigma-Delta ($\Sigma-\Delta$)	> 16 bits	> 200kps	MAX1400 MAX1401* MAX1402* MAX1403*	<ul style="list-style-type: none"> + High resolution + High input bandwidth + Digital on-chip filtering - External T/H - Limited sampling rate
Pipeline	12 bits-16 bits	1Mps-80Mps	MAX1200 MAX1201 MAX1205	<ul style="list-style-type: none"> + High throughput rate + Low power consumption + Digital error correction and on-chip self-calibration - Requires 50% duty cycle typical - Requires minimum clock frequency

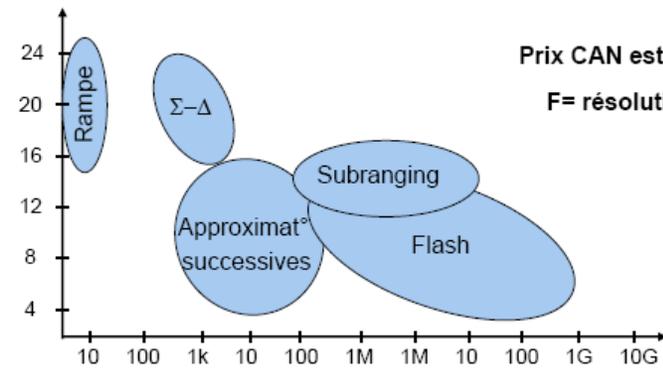
*Future product—contact factory for availability

**Sparkle codes are erratic errors caused by metastable comparators or out-of-sequence output codes (thermometer bubbles), which in turn are

ADC bilan

Pick This Architecture if you want:	FLASH (Parallel)	SAR	DUAL SLOPE (Integrating ADC)	PIPELINE	SIGMA DELTA
Ultra-High Speed when power consumption not primary concern?	Medium to high resolution (8 to 16bit), 5MSPs and under, low power, small size.	Monitoring DC signals, high resolution, low power consumption, good noise performance ICL7106.	High speeds, few Msps to 100+ Msps, 8 bits to 16 bits, lower power consumption than flash.	High resolution, low to medium speed, no precision external components, simultaneous 50/60Hz rejection, digital filter reduces anti-aliasing requirements.	

Conversion Method	N bits - 2^{N-1} Comparators Caps increase by a factor of 2 for each bit.	Binary search algorithm, internal circuitry runs higher speed.	Unknown input voltage is integrated and value compared against known reference value.	Small parallel structure, each stage works on one to a few bits.	Oversampling ADC, 5-Hz - 60Hz rejection programmable data output.
Encoding Method	Thermometer Code Encoding	Successive Approximation	Analog Integration	Digital Correction Logic	Over-Sampling Modulator, Digital Decimation Filter
Disadvantages	Sparkle codes / metastability, high power consumption, large size, expensive.	Speed limited to ~5Msps. May require anti-aliasing filter.	Slow Conversion rate. High precision external components required to achieve accuracy.	Parallelism increases throughput at the expense of power and latency.	Higher order (4th order or higher) - multibit ADC and multibit feedback DAC.
Conversion Time	Conversion Time does not change with increased resolution.	Increases linearly with increased resolution.	Conversion time doubles with every bit increase in resolution.	Increases linearly with increased resolution.	Tradeoff between data output rate and noise free resolution.
Resolution	Component matching typically limits resolution to 8 bits.	Component matching requirements double with every bit increase in resolution.	Component matching does not increase with increase in resolution.	Component matching requirements double with every bit increase in resolution.	Component matching requirements double with every bit increase in resolution.
Size	2^{N-1} comparators, Die size and power increases exponentially with resolution.	Die increases linearly with increase in resolution.	Core die size will not materially change with increase in resolution.	Die increases linearly with increase in resolution.	Core die size will not materially change with increase in resolution.



Prix CAN est proportionnel à F
 $F = \text{résolution} \times \text{fréquence}$

Références

- ❑ www.maxim.com
- ❑ Les ADCs, Jacques Lecoq (LPC Clermont)
- ❑ Les ADCs, Sabut (ST Microelectronics)
- ❑ Thèse, Cho (Berkeley)