

Conversion: mesures sur les ADC

Laurent Royer & Samuel Manen



*Ecoles d'électronique analogique de l'IN2P3
Lalonde-les-Maures, 10-16 septembre 2008*

Conversion: mesures sur les ADC 2^{ème} partie: utilisation des ADC

1. Choisir un ADC
2. Evaluer un ADC
 - ✓ les principes de mesure
 - ✓ les cartes d'évaluation
 - ✓ la tenue aux radiations
3. Utiliser un ADC
 - ✓ la fluctuation de l'instant d'échantillonnage
 - ✓ la CEM
 - ✓ l'impédance d'entrée des ADC
 - ✓ exemples d'utilisation
4. L'avenir des ADC en physique des particules
5. Conclusion





1. Choisir un ADC

Les principaux fabricants d'ADC (1)

☐ L'offre la plus large:

- ✓ Analog Devices

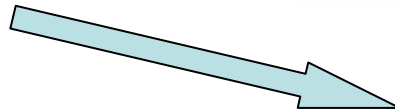


Analog-to-Digital Converters
Resolution/Throughput-Rate Selection Matrix

Resolution, Bits	<10 kSPS	10 kSPS to 100 kSPS	100 kSPS to 1 MSPS	1 MSPS to 10 MSPS	10 MSPS to 100 MSPS	100 MSPS +
17+	•	•	•	•		
14-16	•	•	•	•	•	•
12-13		•	•	•	•	•
10-11		•	•	•	•	•
8-9			•	•	•	•
<8					•	

Throughput Rate

- ✓ National Semiconductor



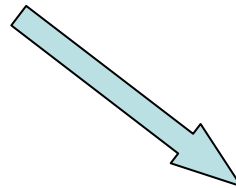
A/D Converters

	kSPS 50 – 1000	MSPS 1 – 50	MSPS 50 – 500	GPS 0.5 – 3
8-bit	ADC	ADC	ADC	ADC
10-bit	ADC	ADC	ADC	
12-bit	ADC	ADC	ADC	
14-bit	ADC	ADC	ADC	

Click ADC, row, or column block for product table

- ✓ Texas Instruments: 380 références:

- ✓ [8-Bit Resolution ADCs](#) (31)
- ✓ [10-Bit Resolution ADCs](#) (50)
- ✓ [12-Bit Resolution ADCs](#) (105)
- ✓ [14-Bit Resolution ADCs](#) (49)
- ✓ [16-Bit Resolution ADCs](#) (67)
- ✓ [18-Bit Resolution ADCs](#) (9)
- ✓ [Greater than or equal to 20-bit Resolution ADCs](#) (34)



Analog to Digital Converters (Data Converters) Quick Search

Resolution (Bits)	Sample Rate									
	< 100 SPS	100SPS to 1kSPS	1 to 10kSPS	10 to 100kSPS	100 to 500kSPS	500kSPS to 1MSPS	1 to 10MSPS	10 to 50MSPS	50 to 100MSPS	> 100MSPS
24	•	•	•	•	•					
22			•	•						
20	•			•						
18					•	•	•			
16		•	•	•	•	•	•	•	•	•
13 / 14		•	•	•	•	•	•	•	•	•
11 / 12		•	•	•	•	•	•	•	•	•
10				•	•		•	•	•	
8				•	•		•	•	•	

- ✓ Maxim Integrated Products: 433 références

- ✓ [Dual-Slope & Display-Oriented ADCs](#) (31)
- ✓ [Sigma-Delta ADCs](#) (13)
- ✓ [High-Speed ADCs \(> 5MSPS\)](#) (81)
- ✓ [Precision ADCs \(<= 5MSPS\)](#) (308)
 - ✓ [8-Bit](#) (44)
 - ✓ [10-Bit](#) (68)
 - ✓ [12-Bit](#) (133)
 - ✓ [14-Bit](#) (36)
 - ✓ [16-Bit](#) (29)



Les principaux fabricants d'ADC (2)

- ❑ **Audio** ($\leq 200\text{kS/s}$, $\geq 16\text{bits}$):
 - ✓ [AKM Semiconductor](#)
 - ✓ [Cirrus Logic](#)
 - ✓ [Holtek Semiconductor Inc.](#) {16 voies avec μ -processeur et interface SPI ou USB}
 - ✓ [NEC](#)
 - ✓ [Wavefront Semiconductor](#) {48kHz 24-bit stéréo audio ADC}
 - ✓ [Wolfson Microelectronics](#) {ADCs/DAC IC Manufacturer}

- ❑ **Vidéo** ($\geq 30\text{MS/s}$, 8bits):
 - ✓ [Intronics Inc.](#)

- ❑ **Affichage**
 - ✓ [Intronics Inc.](#) (LCD/LED Display)
 - ✓ [NJR.](#) (LCD Display)
 - ✓ [Sony](#) {ADC 1:2 De-Multiplex, TTL Output, SampleHold, D/A Converter} → obsolète

- ❑ **Rad Hard**
 - ✓ [e2v](#) {10 bits – 2.2 GHz}
 - ✓ [ST micro.](#) (12/14 bits – 50/20 MS/s)

- ❑ **Autre**
 - ✓ [Thaler Corp.](#) {ADC à rampe 18-26 bits très lent }
 - ✓ [Intronics Inc.](#) (Flash, Pipeline, $\Delta\Sigma$, SAR)
 - ✓ [Intersil](#) {ADCs/DAC IC Manufacturer}
 - ✓ [Linear Technology](#)
 - ✓ Pipeline 16bits-160MS/s-1,45W
 - ✓ 16bits $\Delta\Sigma$ avec interface I2C
 - ✓ [Microchip](#) { $\Delta\Sigma$, SAR, Dual Slope/Binary/BCD ADC} pas grand choix

+ ASIC IN2P3 (ARS, ...)



Aide au choix: *Design tools* (AD)

Analog Devices: Design Tools: ADIsimADC Web - Mozilla Firefox

Fichier Édition Affichage Historique Marque-pages Outils ?

http://designertools.analog.com/dtSimADCWeb/dtSimADCMain.aspx

Débuter avec Firefox À la une

Analog Devices: Design Tools: AD... Analog Devices: Analog to Digital Con...

ANALOG DEVICES

Design Tools: ADIsimADC™ (Full Feature Version)

Home > Design Center > Design Tools

[Instructions](#) | [Glossary](#) | [Parametric Search](#) | [Request New Model](#) | [Submit Feedback](#) | [Print Results](#)

AD9216 [Product Page](#) [Data Sheets](#) Powered by National Instruments LabVIEW

STEP 1: Select an ADC Part

Select from Available (Modeled) Parts

-- OR --

Perform a Part Search

Encode Rate: 10 MSPS (optional)

of Bits: 8

SNR: 40 dB

SFDR: 40 dB

Generate Suggested Parts List

Suggested Parts (Best Fit)

10 Bit, 105MSPS, AD9216-105, Dual

STEP 2: Enter Operating Conditions

FFT Type: Single Tone

Amplitude: -0.5 dBFS output

Frequency: 1.1 MHz

Encode Rate: 10 MSPS

Encode Jitter: 0.06 pSec

STEP 3: Run Model

Perform FFT

Amplitude vs. Frequency

Results:

SNR:	58.02 dB	Fund:	-0.50 dBFS	Worst Other:	-81.84 dBc
SFDR:	77.17 dBc	2nd:	-94.14 dBc	Noise Floor:	-94.64 dBc
SINAD:	57.96 dBc	3rd:	-77.17 dBc		
THD:	76.34 dBc	4th:	-85.36 dBc		
ENOB:	9.33 Bits	5th:	-94.14 dBc		

Log:

No Messages



Privacy/Security

myAnalog

Contact ADI

Site Map

Registration

Technical Support

Terms of Use

© 1995-2008 Analog Devices, Inc. All Rights Reserved.
This site is optimized for IE 6.0+, NN 7.1, and Mozilla.





2. Evaluer un ADC:
⇒ les principes de mesure

Document de référence IEEE

IEEE Std 1241-2000

IEEE Standard for Terminology and Test Methods for Analog-to-Digital Converters

Contents

1. Overview	1
1.1 Scope	1
1.2 Analog-to-digital converter background	2
1.3 Guidance to the user	3
1.4 Manufacturer-supplied information	5
2. References	7
3. Definitions and symbols	7
3.1 Definitions	7
3.2 Symbols and acronyms	14
4. Test methods	18
4.1 General	18
4.2 Analog input	41
4.3 Static gain and offset	43
4.4 Linearity	44
4.5 Noise (total)	51
4.6 Step response parameters	63
4.7 Frequency response parameters	66
4.8 Differential gain and phase	71
4.9 Aperture effects	76
4.10 Digital logic signals	78
4.11 Pipeline delay	78
4.12 Out-of-range recovery	78
4.13 Word error rate	79
4.14 Differential input specifications	81
4.15 Comments on reference signals	82
4.16 Power supply parameters	83

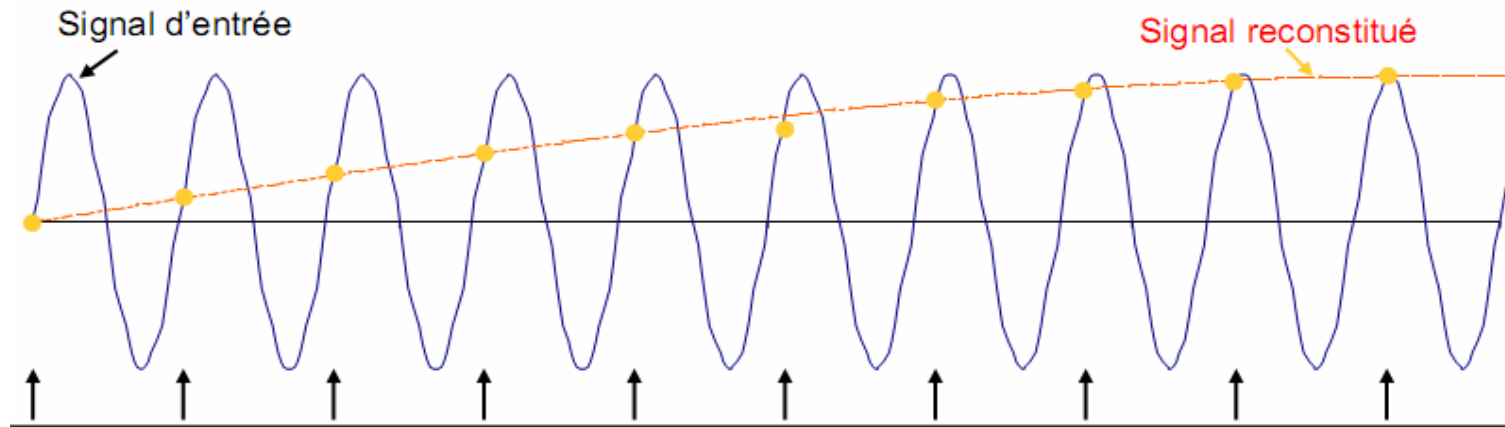


Différentes méthodes de test

Le test ne dépend pas du type de CAN !!

- Test du battement de fréquence (& enveloppe)
 - ✓ Test qualitatif
- Régression sinusoïdale
 - ✓ offset, gain, bruit
- Test par Histogramme
 - ✓ Paramètres statiques (offset, gain, NL)
- Test par FFT (Fast Fourier Transform)
 - ✓ Paramètres dynamiques (SNR, THD, SPIR...)

Test du battement de fréquence



Principe :

- ✓ Signal d'entrée sinusoïdal $F_{\text{entrée}} = F_{\text{échantillonnage}} + \text{petit } \Delta F$
- ✓ Valeur de $\Delta F \rightarrow$ variation de 1LSB pour la plus grande pente du signal d'entrée
- ✓ Analyse de la sinusoïde de sortie (de fréquence ΔF)
- ✓ Donne une indication sur la présence de NL et de codes manquants

☹ **Complexité**

☹ **Temps de calcul**

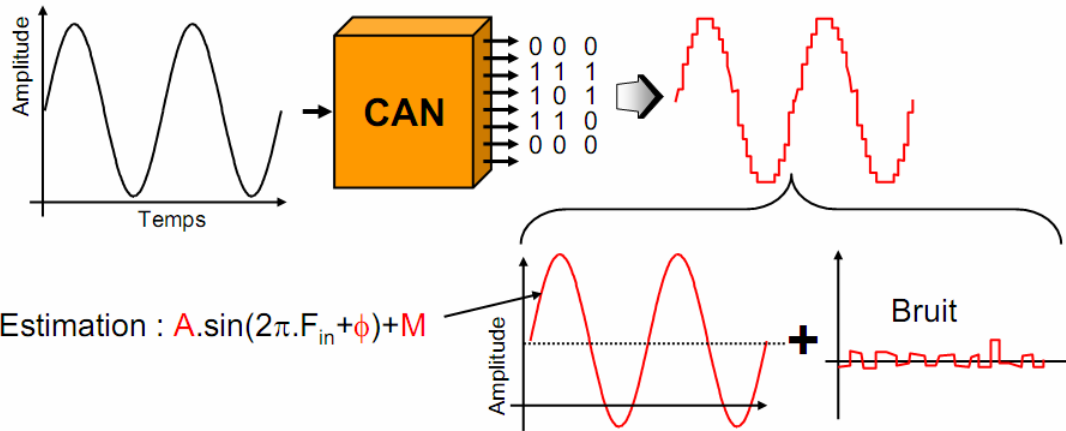
☹ **Peu utilisé**

☺ **Précision**

Source: S.Bernard, LIRMM [BER]

10

Régression sinusoidale



■ Principe :

- ✓ Signal d'entrée sinusoidal ($1.\sin(2\pi.F_{in}+\phi)$)
- ✓ Estimer le signal sinusoidal de la forme ($A.\sin(2\pi.F_{in}+\phi)+M$) vu à travers le convertisseur
- ✓ Les paramètres M , A donnent respectivement la valeur du gain et de l'offset du CAN sous test

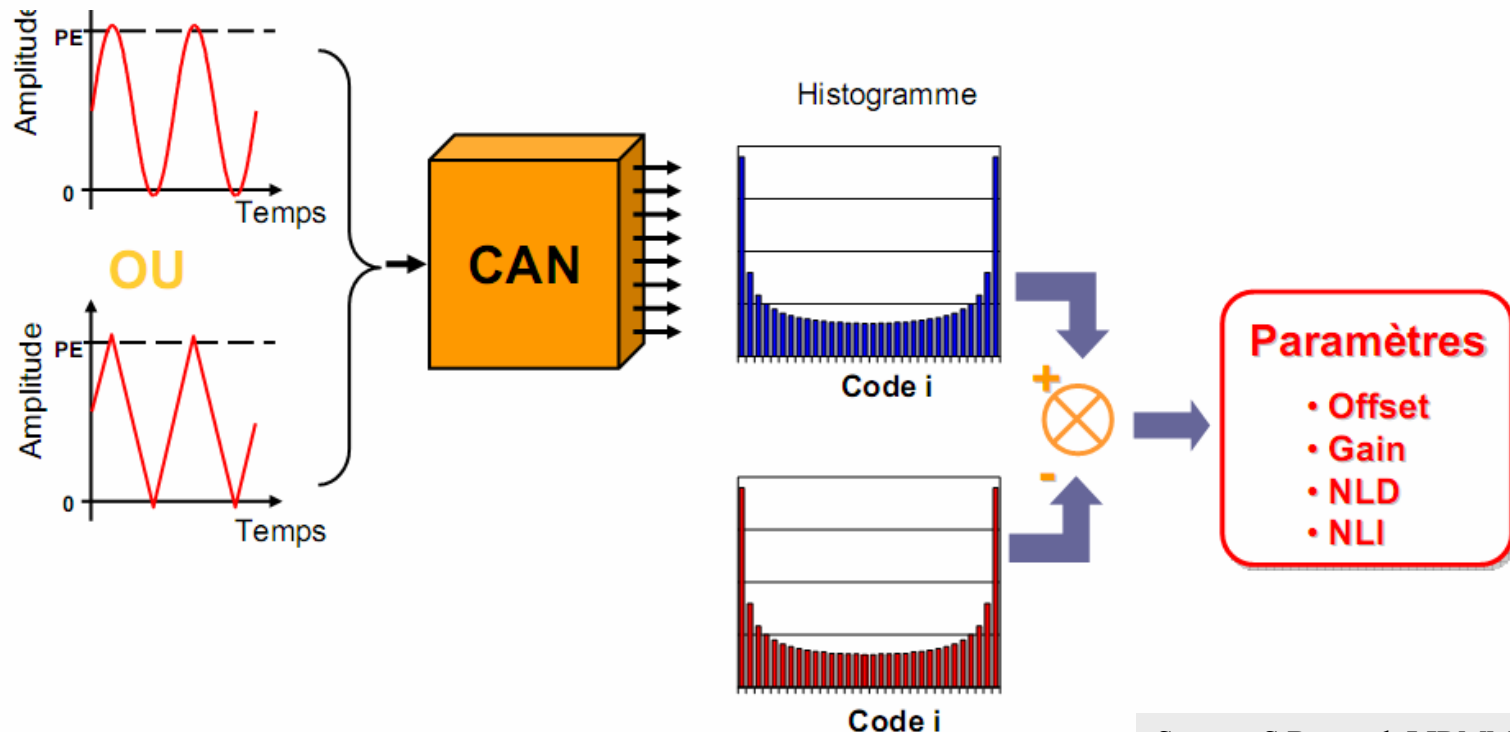
☹ Complexité
☹ Temps de calcul
☹ Peu utilisé

☺ Précision

Test par histogramme

Principe :

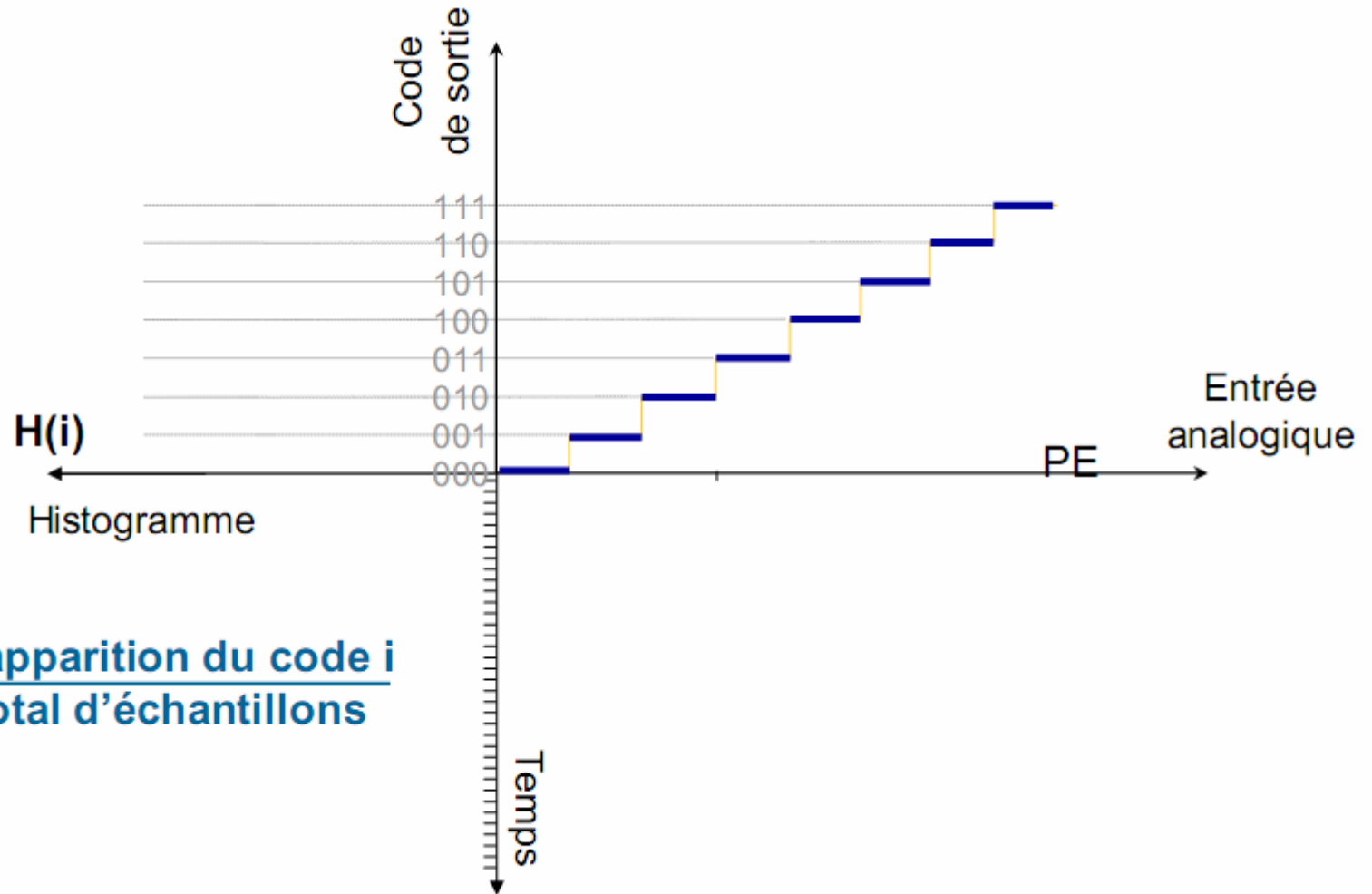
- ✓ Signal d'entrée sinusoïdal ou linéaire (triangle, rampe)
- ✓ Construire l'histogramme expérimental = Fréquence d'apparition des codes de sortie
- ✓ Comparer cet histogramme avec l'histogramme idéal



Source: S.Bernard, LIRMM [BER]



Test par histogramme



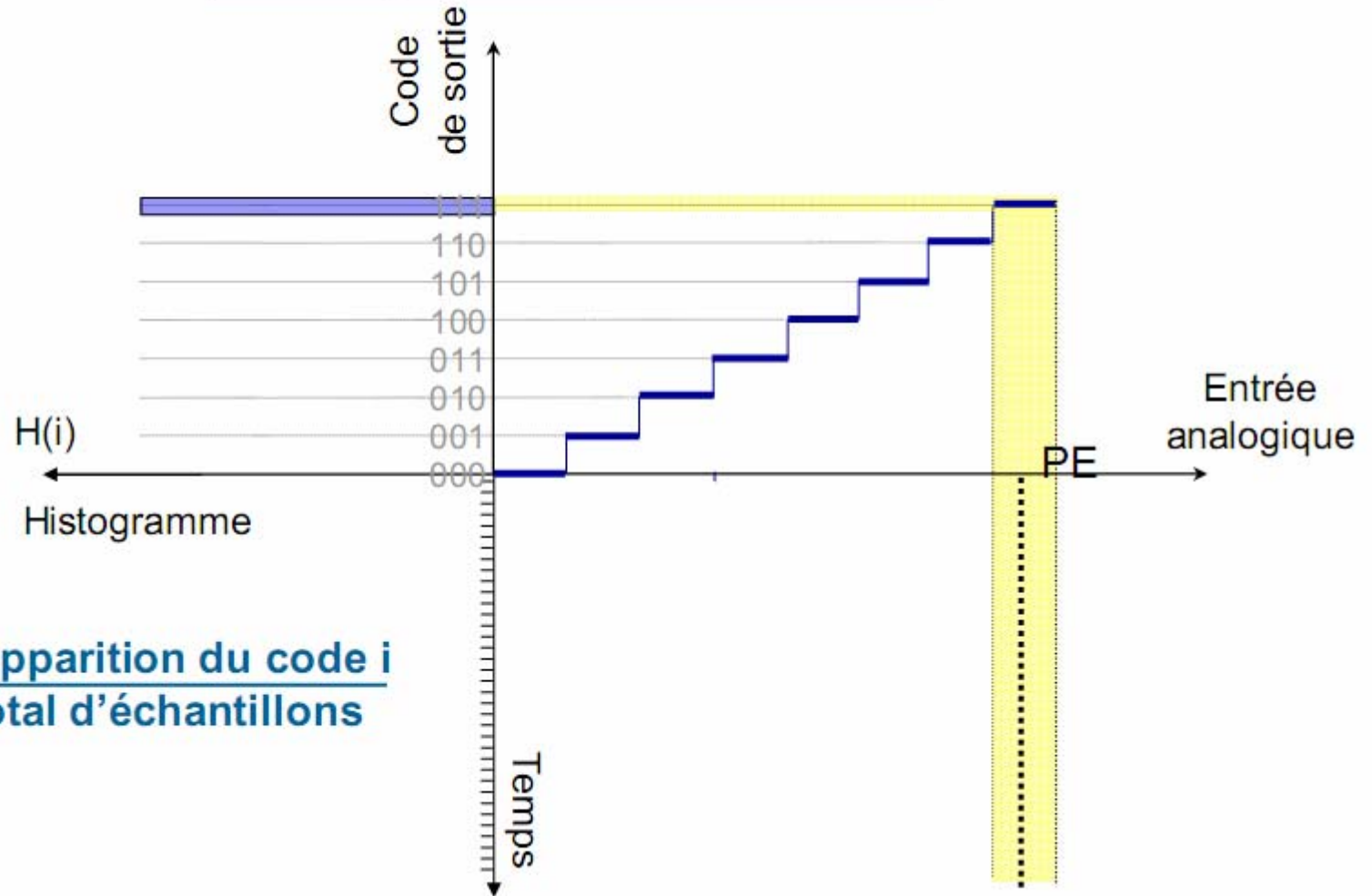
$$H(i) = \frac{\text{nbr d'apparition du code } i}{\text{nbr total d'échantillons}}$$

Source: S.Bernard, LIRMM [BER]

13

Test par histogramme

Test par histogramme

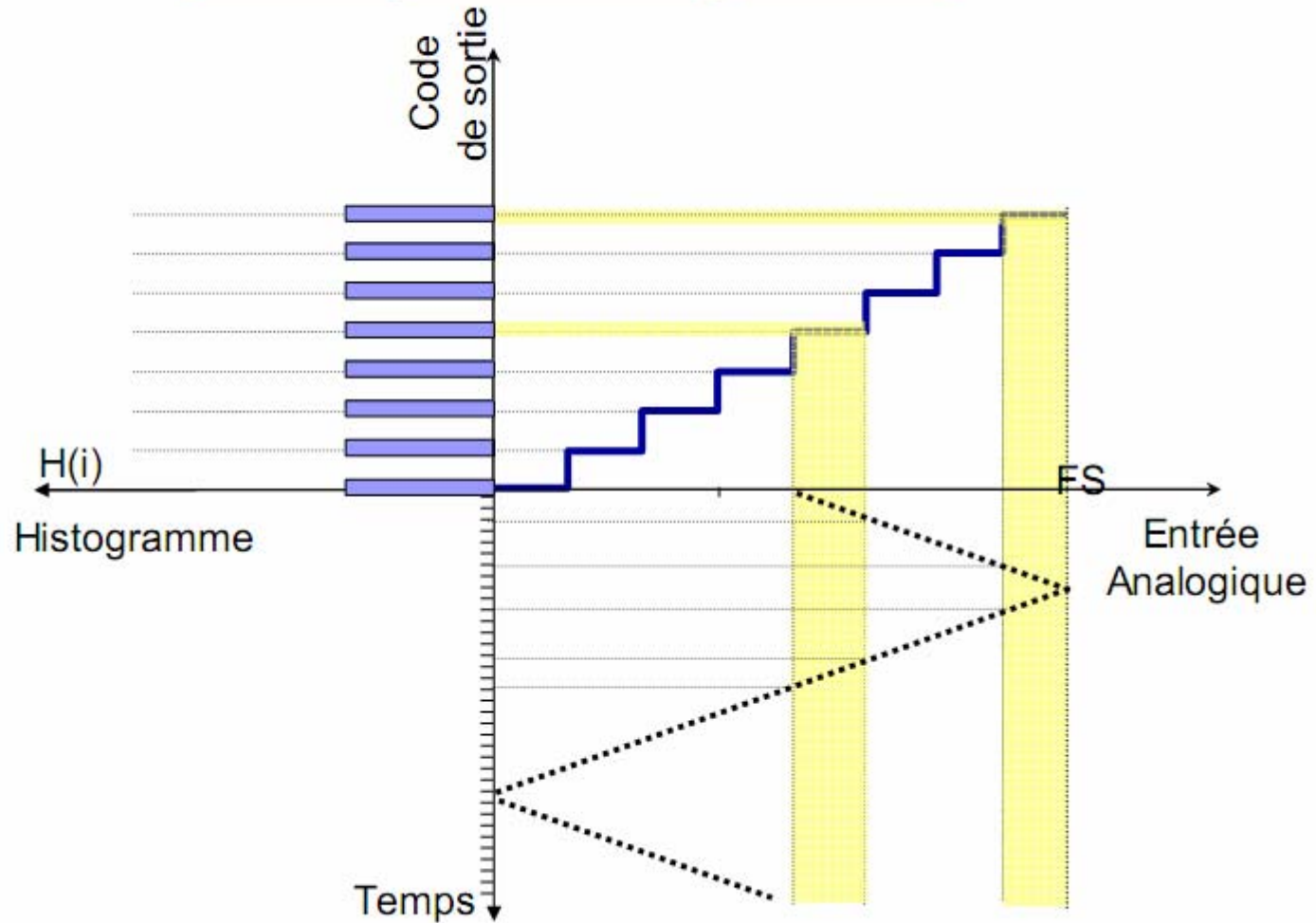


$$H(i) = \frac{\text{nbr d'apparition du code } i}{\text{nbr total d'échantillons}}$$

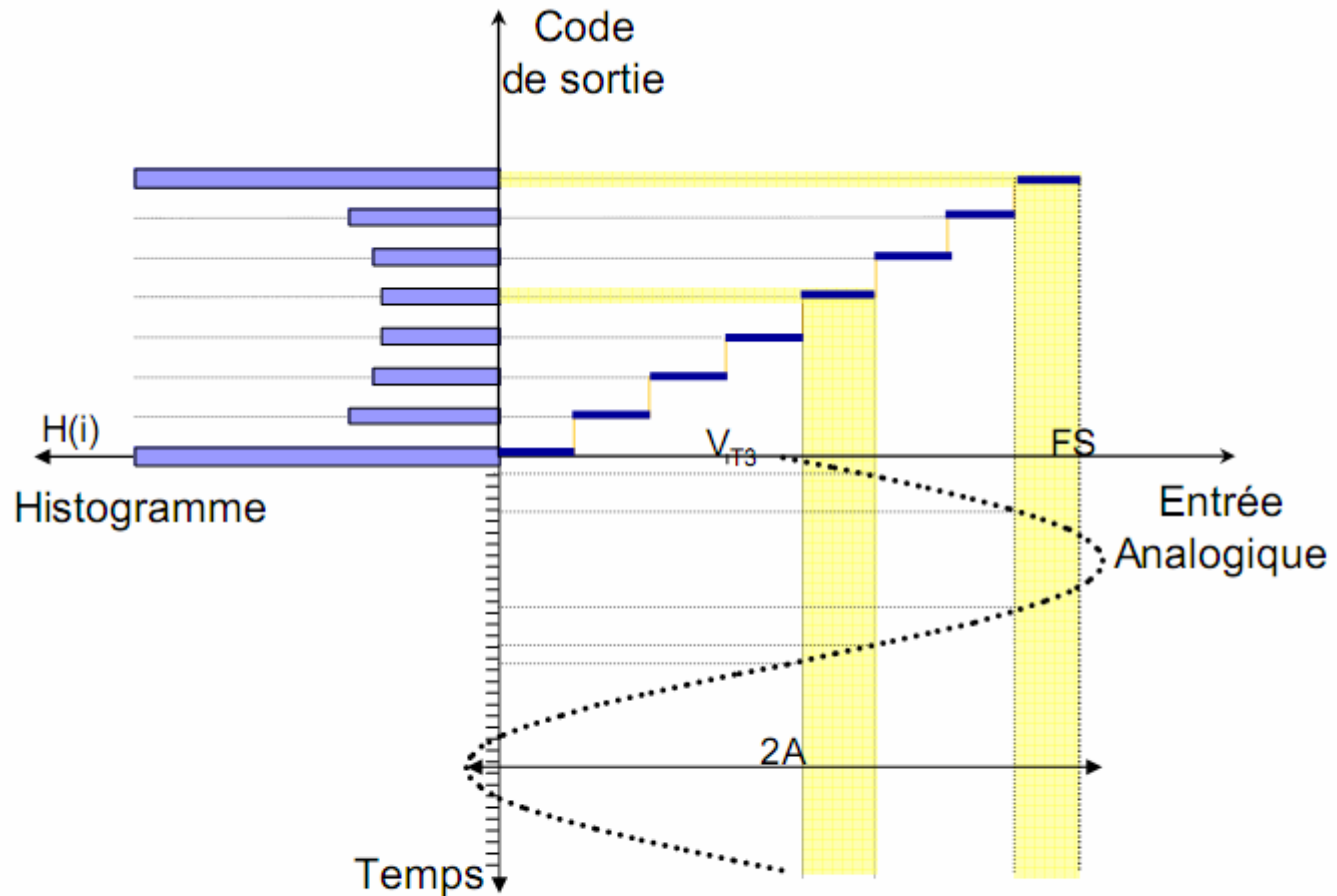
Source: S. Bernard, LIRMM [BER]

Test par histogramme

Test par histogramme

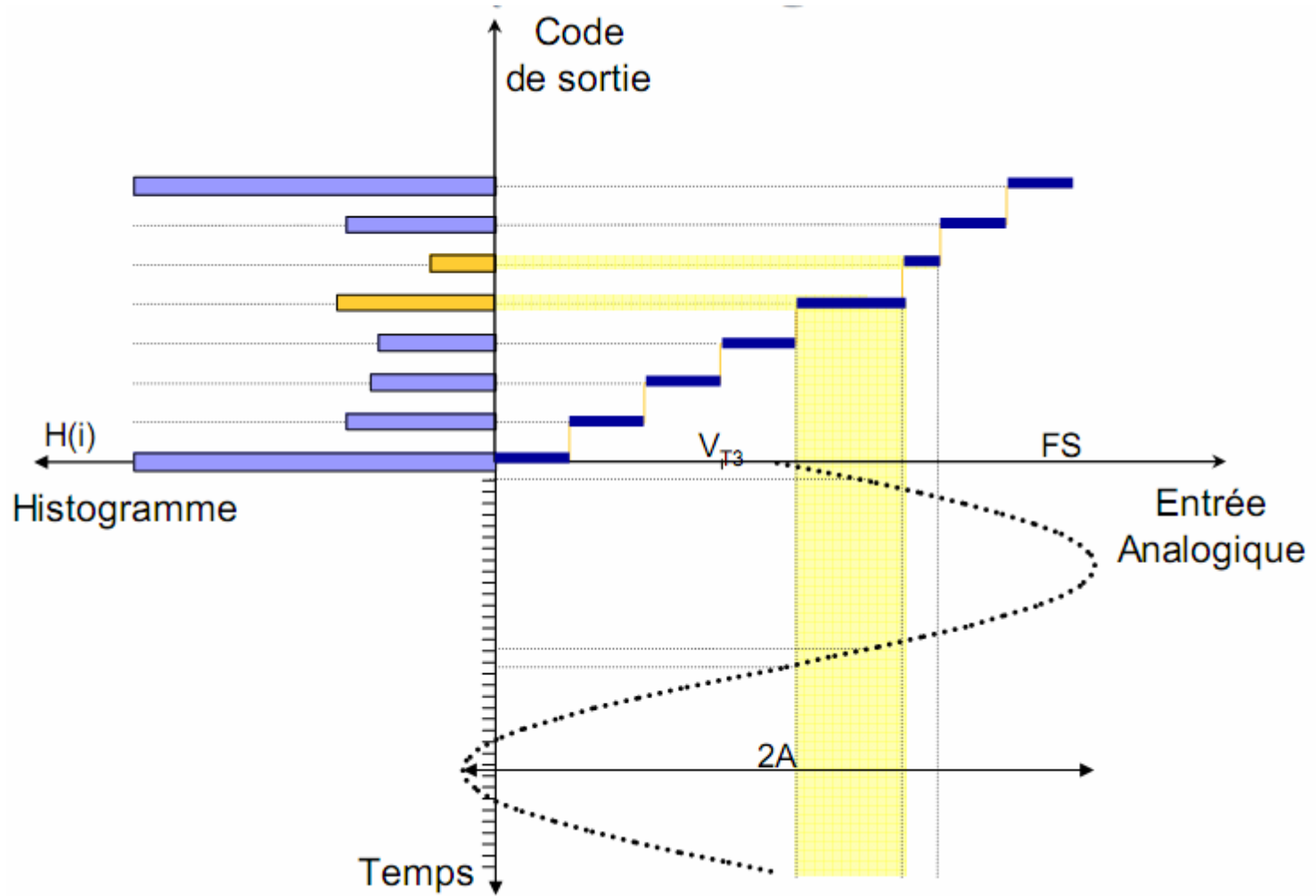


Test par histogramme



$$H^{ref}(i) = \frac{N_T}{\pi} \left(\arcsin \left[\left(\frac{2i - 2^n}{2^n} \right) \cdot \frac{PE}{A_{in}} \right] - \arcsin \left[\left(\frac{2i - 2^n - 2}{2^n} \right) \cdot \frac{PE}{A_{in}} \right] \right)$$

Test par histogramme



Source: S. Bernard, LIRMM [BER]

17

Test par histogramme

■ Principe :

- ✓ Signal d'entrée sinusoïdal ou linéaire (triangle, rampe)
- ✓ Construire l'histogramme expérimental = Fréquence d'apparition des codes de sortie
- ✓ Comparer cet histogramme avec l'histogramme idéal

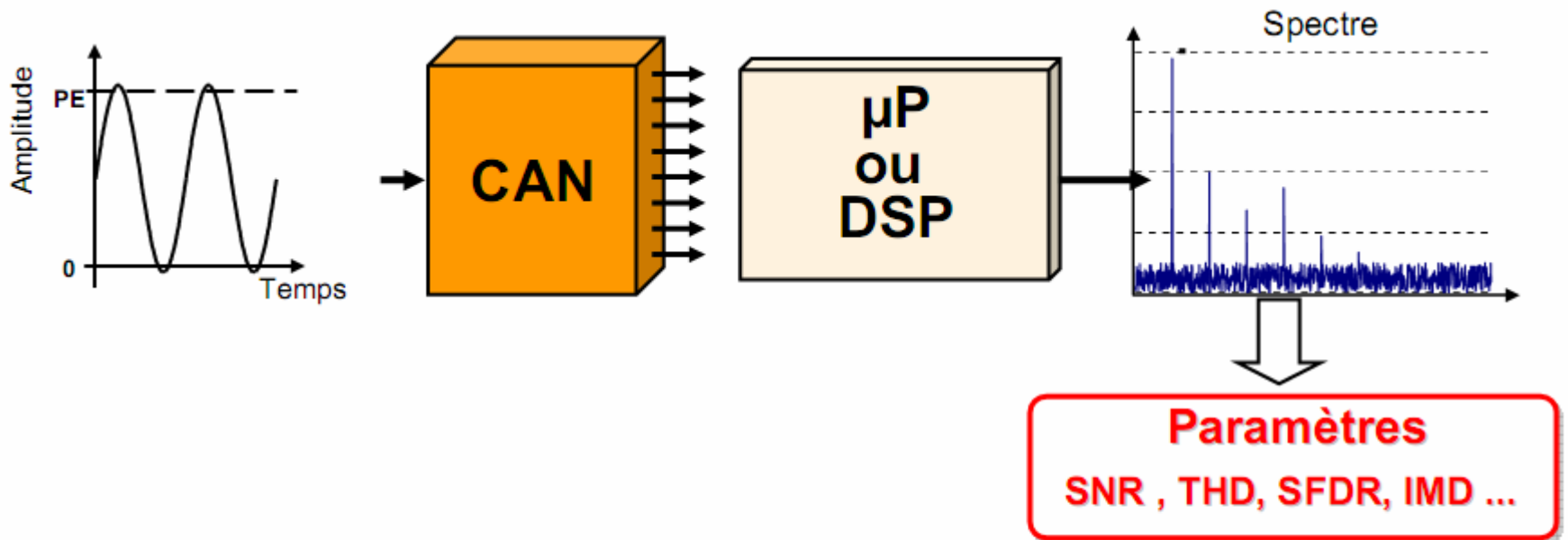
☹ **Nombre d'échantillons**

☹ **Pas de paramètres Dyna.**

☺ **Précision**

☺ **Application Indus.**

Test par FFT



☹️ Sensible à la Synchronisation.
☹️ Pas de paramètres Statistiques.

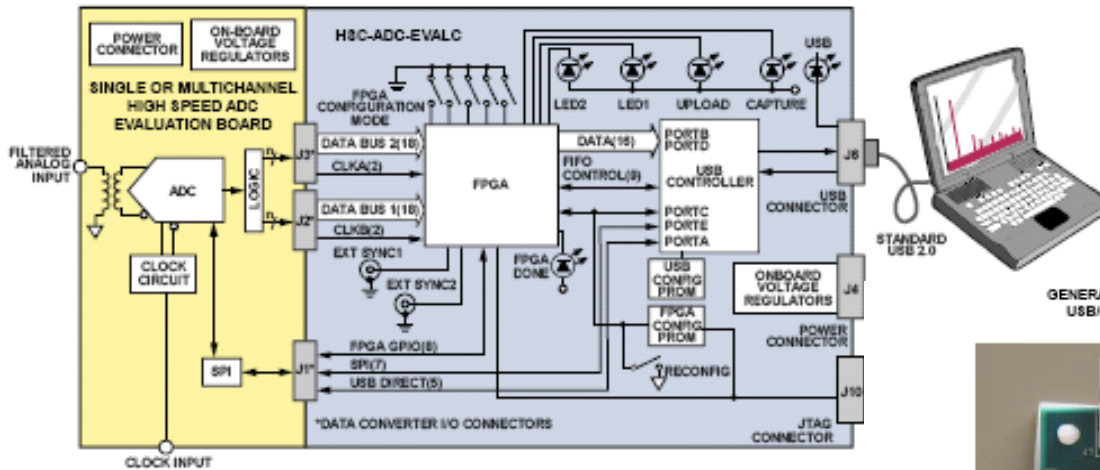
😊 Rapide
😊 Application Industrielle.



2. Evaluer un ADC:
⇒ les cartes d'évaluation

Exemple de carte d'évaluation: AD

FUNCTIONAL BLOCK DIAGRAM



- ❑ 1 carte support de l'ADC à tester + 1 carte générique d'acquisition
- ❑ Logiciel d'analyse/affichage des données fourni: VisualAnalog



VisualAnalog.Ink

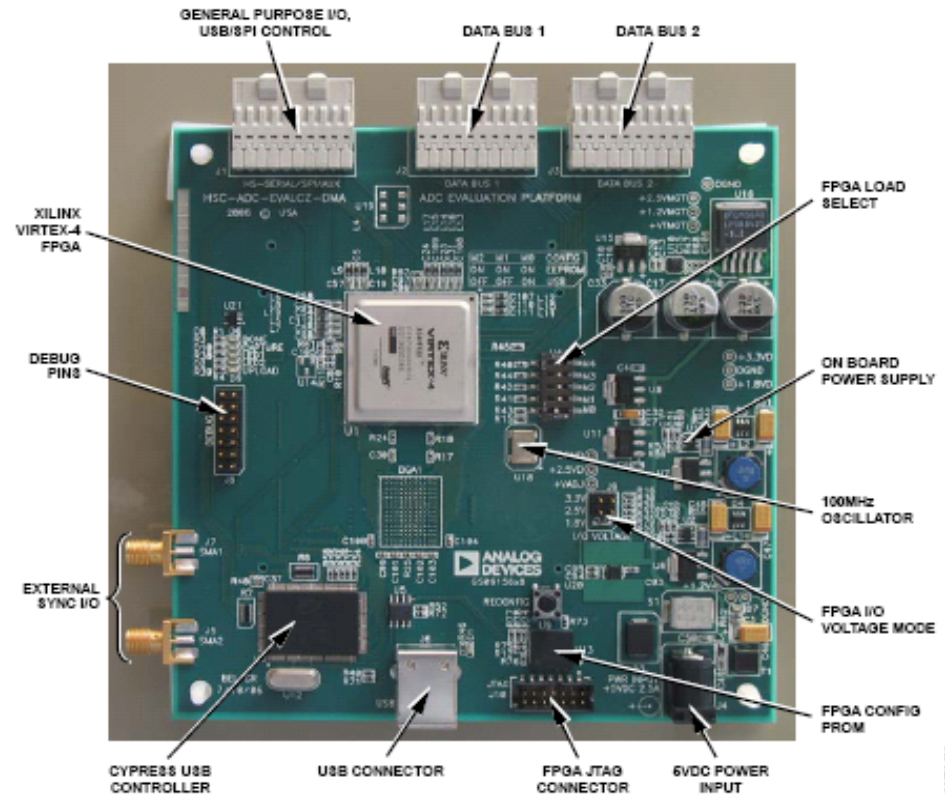
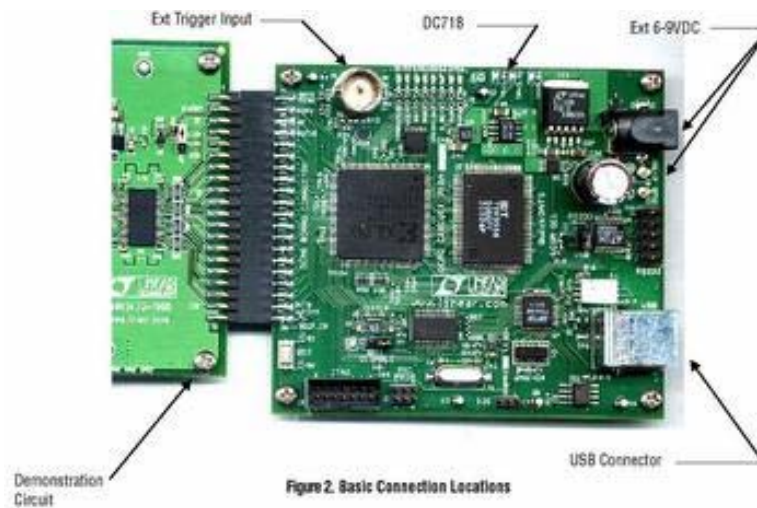


Figure 3. HSC-ADC-EVALC Components (Top View)

Exemple de carte d'évaluation: Linear T. & Maxim

❑ Linear Technology: DC718B - QuickDAACS USB Controller for QuickEval-II Evaluation Kits



❑ Maxim: *68HC16 Module*



2. Evaluer un ADC:

⇒ tenue aux radiations

Tenue aux radiations

❑ Les ADC en milieu radiatif sont sensibles:

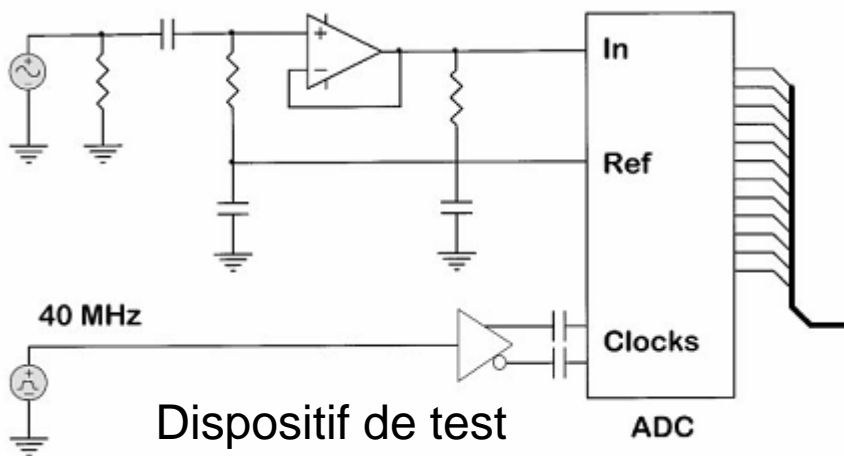
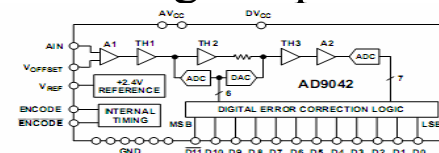
- à la dose ionisante:
 - ✓ dérive de la consommation en courant
 - ✓ dérive de la précision
 - ✓ du temps de conversion
 - ✓ de la référence de tension interne
 - ✓ ...
- aux phénomènes de latch-up (SEL: Single Event Latch-up) si la technologie est CMOS (la plus répandue aujourd'hui) ou BiCMOS
- aux SEU (Single Event Upset)
- aux SET (Single Event Transient)
- aux SEFI (Single Event Fonctional Interrupt)

Source: D.Danglan et F.Malou (CNES) [DAN]

Tenue aux radiations: exemple de l'AD9042 (1)

□ ADC AD9042 12bits - 40MS/s utilisé pour les calorimètres électromagnétiques d'Atlas et CMS

- architecture pipeline
- technologie bipolaire XFCB 1.0 (eXtra Fast Complementary Bipolar).
- doit tenir à dose jusqu'à 300 krad pour Atlas et 1 Mrad pour CMS
- Définition avec Analog Devices du processus de test:



- 1 cycle = 21 semaines
- 32 ADC x 16 wafers = 512 ADC testés

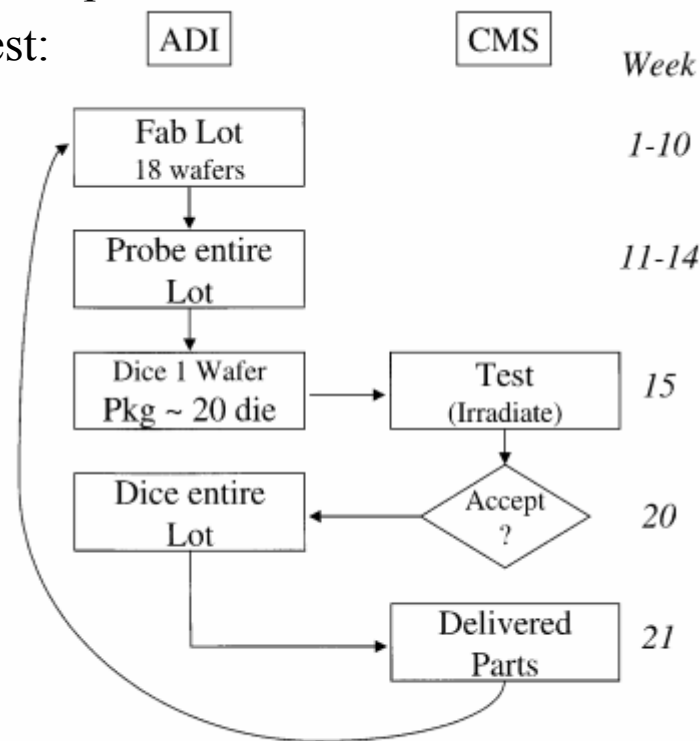


Fig. 1. ADC process flow for CMS.

Source: P.Denes [CMS2]



Tenue aux radiations: exemple de l'AD9042 (3)

□ Mesure du gain

✓ Augmentation de la tension de référence avec la dose → baisse du gain ADC

✓ Utilisation possible d'une référence externe rad-hard et/ou correction off-line

$$10^{13} \text{p/cm}^2 \Leftrightarrow 1 \text{Mrad}$$

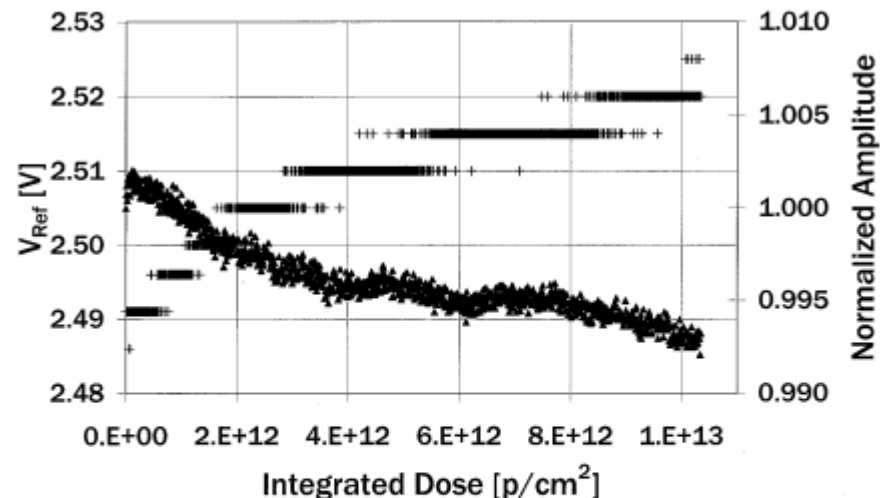


Fig. 7. Amplitude and voltage reference change during irradiation. The crosses indicate the measured value of the ADC voltage reference on the left-hand scale, and the triangles indicate the normalized change in amplitude for a 5 MHz full-scale sine wave on the right-hand scale.

Tenue aux radiations: exemple de l'AD9042 (4)

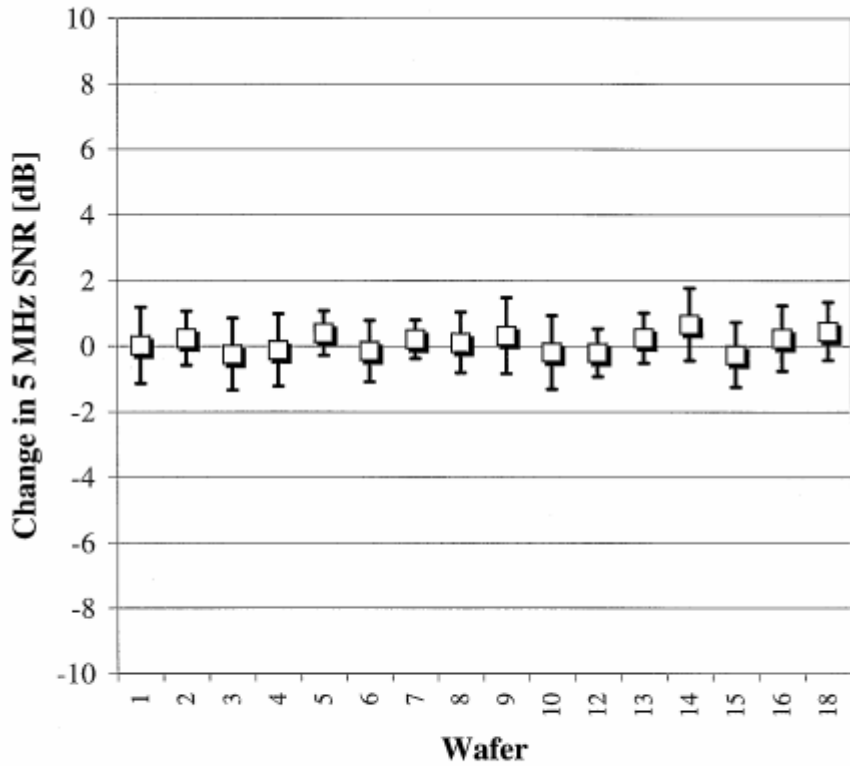


Fig. 5. Change in 5 MHz SNR for ADCs exposed to 10^{12} p/cm² as a function of wafer number. The open squares represent the average of the ADCs irradiated, and the error bars the RMS.

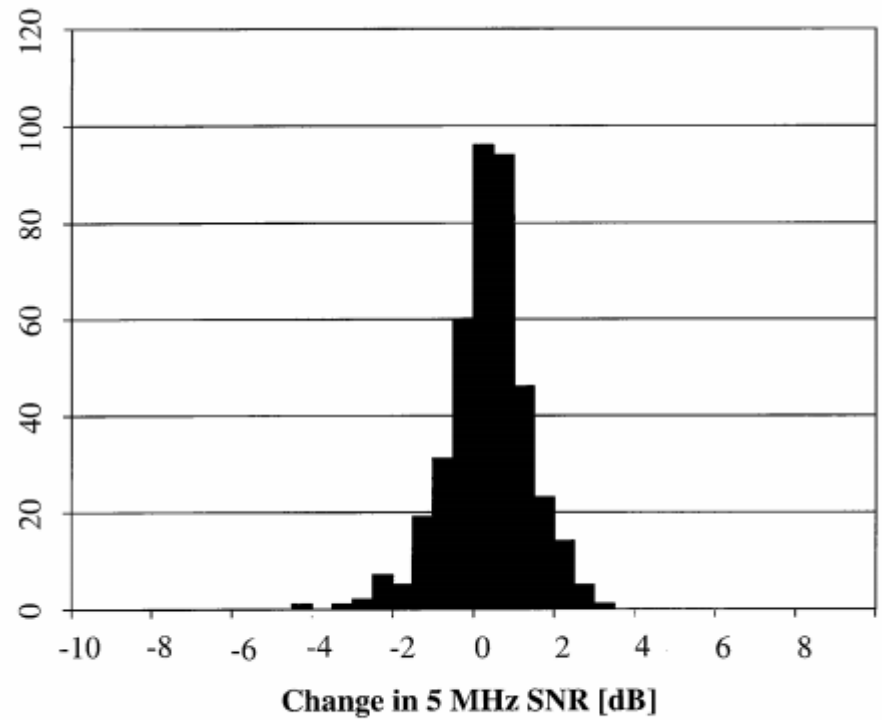


Fig. 6. Change in 5 MHz SNR for all ADCs exposed to 10^{12} p/cm², i.e. a histogram of the data in Fig. 5.

10^{13} p/cm² \Leftrightarrow 1Mrad

SNR moyen mesuré de 63 dB contre 68 dB théorique
 ➤ système de test à améliorer



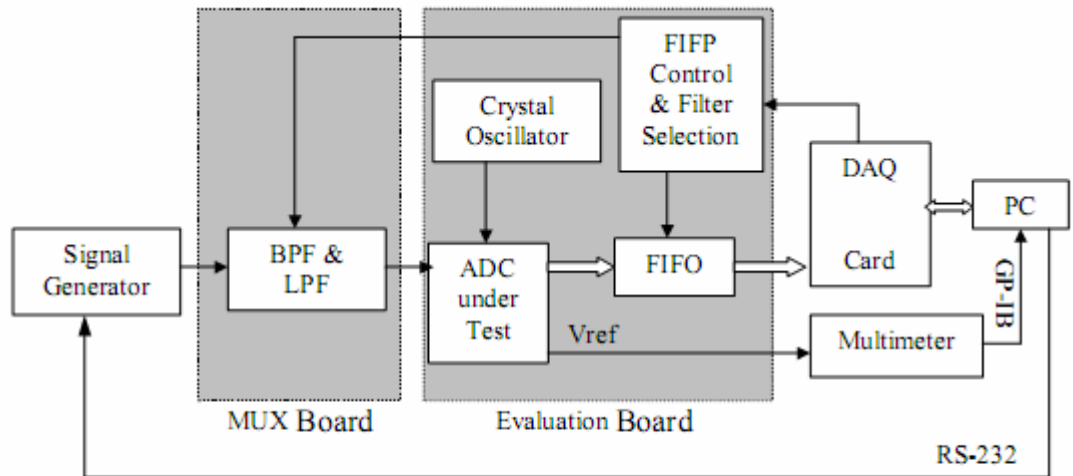
Tenue aux radiations: exemple de l'AD9042 (2)

❑ Mesure du SNR de l'ADC AD9042:

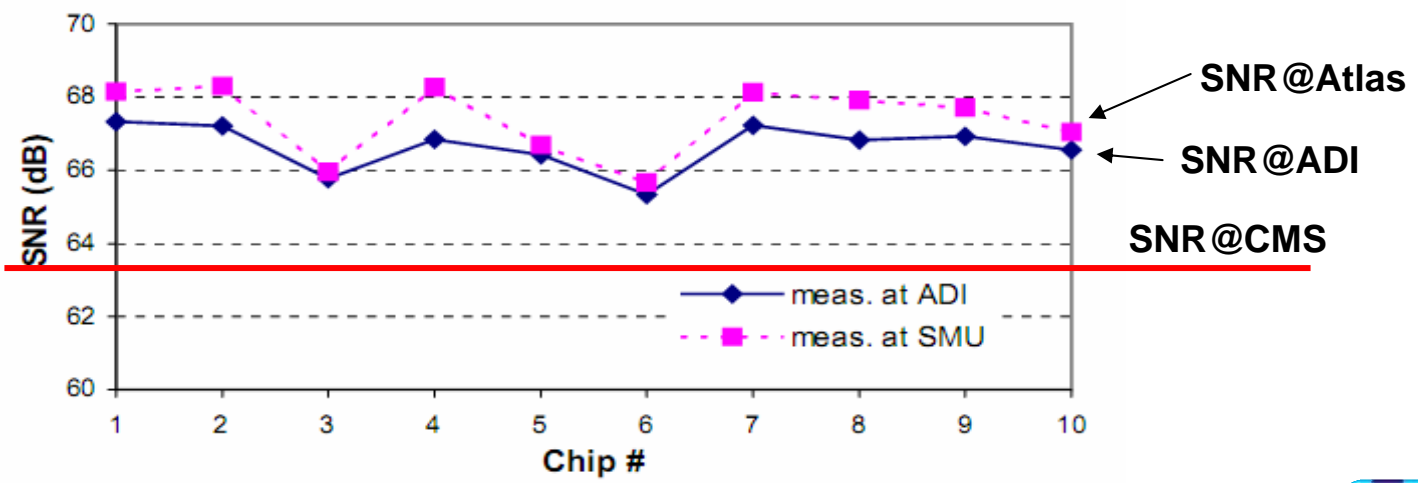
- le SNR de l'ADC est de 68 dB; le banc de test doit donc être très bas bruit:
 - ✓ signal d'entrée très bas bruit et très faibles harmoniques
 - générateur Rohde-Schwartz + filtre passe-bande
 - ✓ très faible jitter de l'horloge (4 ps rms: bruit équivalent de 1 LSB)
 - XO-400 crystal oscillator (Vectron International): jitter de 0.5 ps rms
 - 1:2 buffer MC10EP11 de On Semiconductor C. jitter de 0.2 ps rms
 - ✓ très bas bruit du PCB et système complet
 - PCB 4 couches: 1 plan de masse, 1 plan d'alim. divisé en 2 (analog & digital)
 - support de qualité
 - connectique SMA

Tenue aux radiations: exemple de l'AD9042 (5)

□ Amélioration du dispositif de test de circuits :



(c) SNR @ 9.6MHz and -1dBFS



Exemple d'ADC certifié « spatial »

❑ ADC AT84AS008 de e2v (ex ATMEL):

➤ Principales caractéristiques:

- ✓ 10 bits – 2.2GS/s – Techno. SiGe
- ✓ ENOB: 8bits@1.7GS/s, 7.7bits@2.2GS/s
- ✓ SNR: 51 dB à 2.2G/s
- ✓ 4,2W/±5V
- ✓ prix: 1300\$/1000 pièces



➤ Evaluation spatiale:

- ✓ évaluation performances entre -55/+125°C et Vcc min et Vcc max
- ✓ endurance 3000h à 125°C sur 20 pièces
- ✓ chocs mécaniques et thermiques, vibrations, cycles thermiques
- ✓ essais en radiations en dose cumulée jusqu'à 150krads à un débit de 50rad/h
- ✓ essais en radiations sous ions lourds: SEL, SEFI, SEU

Source: e2v [AT84] et D.Danglan/F.Malou (CNES) [DAN]

3. Utiliser un ADC:

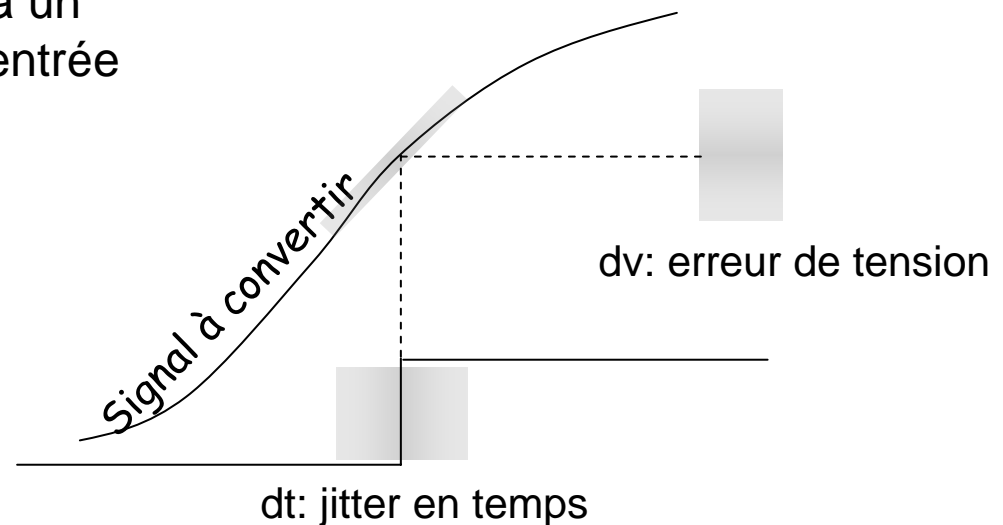
⇒ la fluctuation de l'instant d'échantillonnage

Fluctuation de l'instant d'échantillonnage (Aperture jitter)

Définitions

APERTURE (SAMPLING) DELAY: délai de temps entre la commande d'ouverture de l'interrupteur d'échantillonnage et son ouverture effective.

APERTURE JITTER: variation du Aperture delay d'un échantillon à un autre. Cette variation est vue en entrée comme un bruit.



Source: B.Brannon et A. Barlow (AD) [BRA] et J.Lecoq [LEC]

Fluctuation de l'instant d'échantillonnage (Aperture jitter)

Relation entre l'erreur d'instant d'échantillonnage et l'erreur de tension échantillonnée

Considérons un signal d'entrée $v(t)$ sinusoïdal:

$$v(t) = A \sin(2\pi \cdot f \cdot t)$$

L'erreur de tension est la dérivée en temps:

$$\frac{dv}{dt} = A \cdot 2\pi \cdot f \cos(2\pi \cdot f \cdot t)$$

L'erreur est max pour $\cos(2\pi f t) = 1$ soit $t = 0$:

$$\left. \frac{dv(0)}{dt} \right|_{MAX} = A \cdot 2\pi \cdot f$$

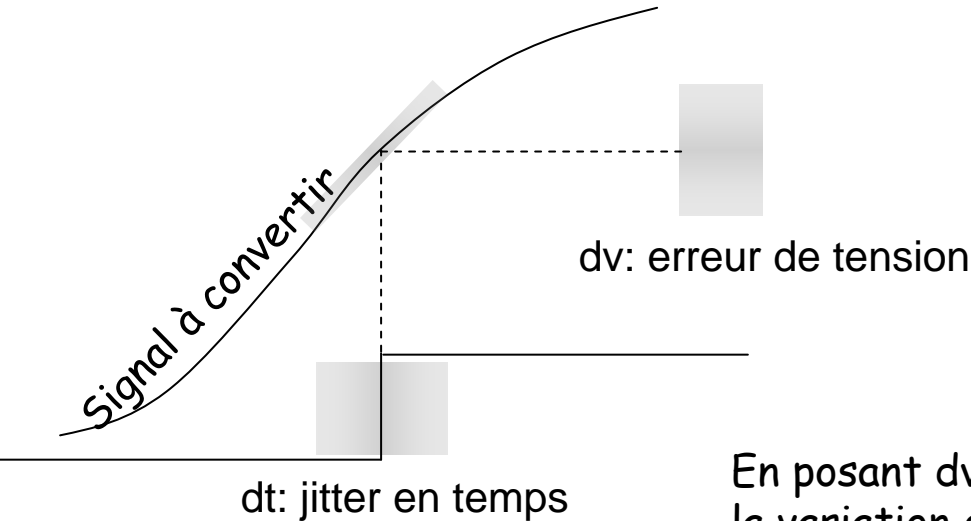
En posant $dv = V_{ERR}$, l'erreur de tension introduite par la variation de temps $dt = t_a$ est donnée par (valeurs rms) :

$$V_{ERR} = A \cdot 2\pi \cdot f \cdot t_a$$

ou

$$t_a = \frac{V_{ERR}}{A \cdot 2\pi \cdot f}$$

- L'erreur augmente linéairement avec la fréquence du signal d'entrée.
- L'origine de la fluctuation en temps t_a est le bruit du signal d'horloge.



Fluctuation de l'instant d'échantillonnage (Aperture jitter)

Détermination de l'erreur d'instant d'échantillonnage maximale acceptable pour un ADC

Soit un signal $V_{in} = A \cdot \sin \omega t$ converti avec un ADC de résolution N .
L'erreur maximale tolérable est:

$$V_{ERR}|_{\max} = \frac{2 \cdot A}{2^N}$$

$$t_a = \frac{V_{ERR}}{A \cdot 2\pi \cdot f} \quad \longrightarrow \quad t_a|_{\max} = \frac{V_{ERR}|_{\max}}{A \cdot 2\pi \cdot f} = \frac{1}{2^N \cdot \pi \cdot f}$$

Exemples !

L'audio:	20kHz,	16 bits.....	$\Delta t=200$ ps
La vidéo:	100MHz,	8 bits	$\Delta t=12$ ps
La Hi-Fi:	20kHz,	20 bits.....	$\Delta t=12$ ps
NEW audio.....		24 bits.....	$\Delta t=0,8$ ps
Oscillo.	2GHz,	8 bits.....	$\Delta t=0,5$ ps

Source: B.Brannon et A. Barlow (AD) [BRA] et J.Lecoq [LEC]

Fluctuation de l'instant d'échantillonnage (Aperture jitter)

Contribution de l'erreur d'instant d'échantillonnage sur le SNR

$$SNR = -20 \log \left[\underbrace{(2\pi \cdot f \cdot t_a)^2}_{\text{contribution du jitter}} + \underbrace{\left(\frac{1 + \varepsilon}{2^N}\right)^2}_{\text{autres contributions (DNL, bruit quantification, bruit thermique...)}} \right]^{1/2}$$

contribution du jitter

autres contributions (DNL, bruit quantification, bruit thermique...)

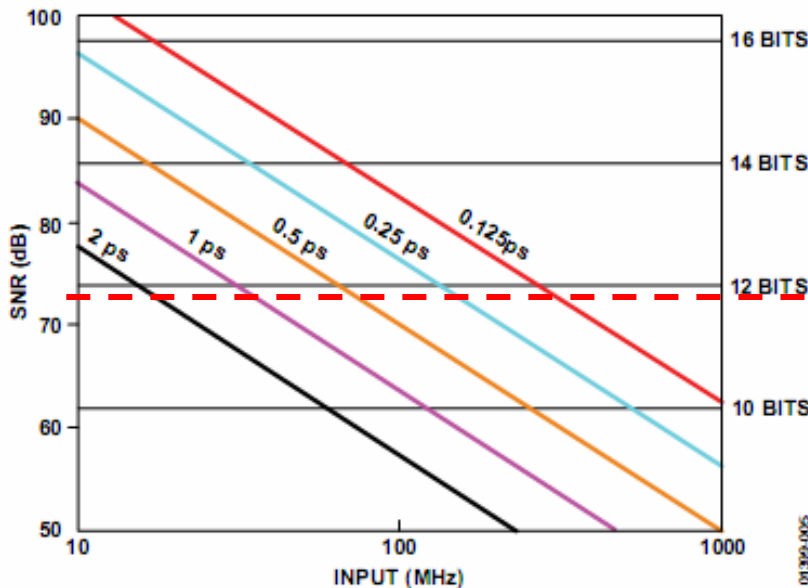


Figure 5. Signal-to-Noise Ratio Due to Aperture Jitter

SNR (dB) max. théorique pour un ADC à N bits (bruit de quantification):
 $SNR = 6,02 \cdot N + 1,76$
 soit 74 dB pour un ADC 12 bits

Limite théorique SNR ADC 12 bits

Source: B.Brannon et A. Barlow (AD) [BRA]

Fluctuation de l'instant d'échantillonnage (Aperture jitter)

Détermination de t_a à partir des mesure de SNR

$$SNR = -20 \log \left[\underbrace{(2\pi \cdot f \cdot t_a)^2}_{\text{}} + \underbrace{\left(\frac{1+\varepsilon}{2^N}\right)^2}_{\text{}} \right]^{1/2}$$

La valeur de t_a peut être évaluée en effectuant 2 mesures de SNR.
Avec f suffisamment bas:

$$SNR|_{low \cdot f} \approx -20 \log \left(\frac{1+\varepsilon}{2^N} \right)^2 \longrightarrow \varepsilon \approx 2^N \cdot 10^{\frac{-SNR}{20}} - 1$$

A haute fréquence on obtient:

$$t_a = \frac{\sqrt{\left(10^{\frac{-SNR|_{high \cdot f}}{20}} \right) - \left(\frac{1+\varepsilon}{2^N} \right)^2}}{2\pi \cdot f}$$

Fluctuation de l'instant d'échantillonnage (Aperture jitter)

Exemple d'évaluation de t_a

- ADC AD9256, 14 bits à 125MS/s
- kit d'évaluation Analog Devices

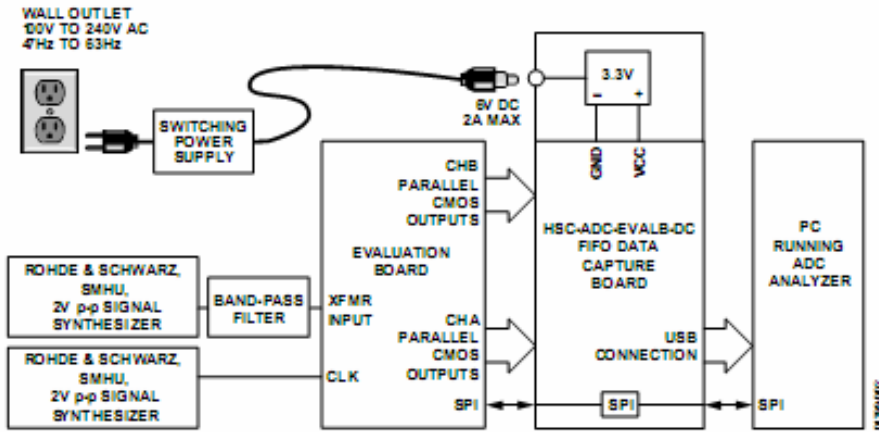


Figure 2. Aperture Uncertainty Measurement Setup with AD9246 Customer Evaluation Board

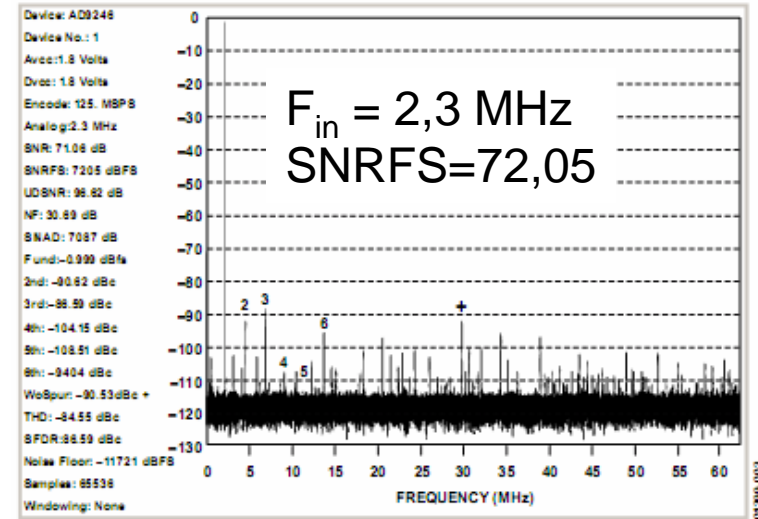


Figure 3. 2.3 MHz FFT

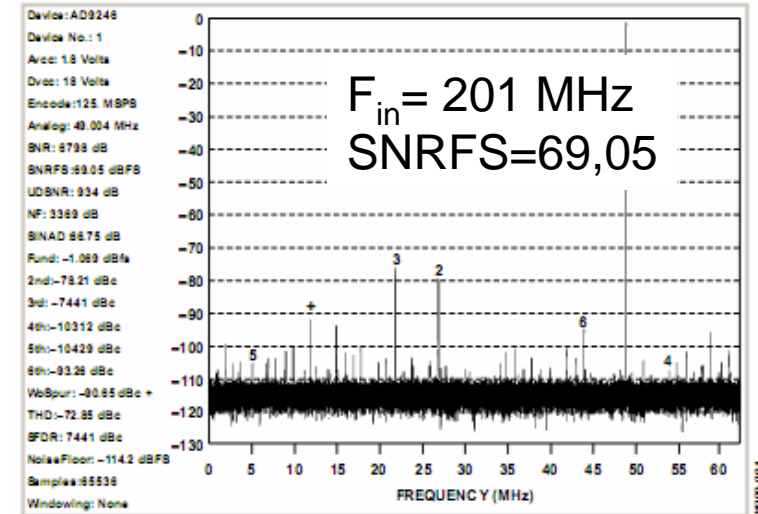


Figure 4. 201 MHz FFT

A partir des 2 mesures on obtient: $t_a = 197$ fs

Remarque: la valeur obtenue t_a est la somme quadratique des contributions du générateur et de l'ADC lui-même. Si la contribution du générateur est connue, on peut en déduire celle de l'ADC.

Source: B.Brannon et A. Barlow (AD) [BRA]



Fluctuation de l'instant d'échantillonnage (Aperture jitter)

Dégradation du SNR vs aperture jitter

- ❑ SNR (dB) max. théorique pour un ADC à N bits (bruit de quantification):

$$\text{SNR} = 6,02 \cdot N + 1,76 \quad \text{soit } 49,9 \text{ dB pour un ADC 8 bits}$$

- ❑ Dégradation du SNR vs *clock jitter*:

Allowable Clock Jitter (fs.)	Total SNR Due to Quantization Noise and Jitter (dB)
	$\text{SNR} = 10 \log \left(\frac{1}{\frac{1}{10^{10} \text{SNR}_J} + \frac{1}{10^{10} \text{SNR}_Q}} \right)$
142	48.5
259	48.2
354	47.8
447	47.4
541	46.9
640	46.4
747	45.8
862	45.2
989	44.5

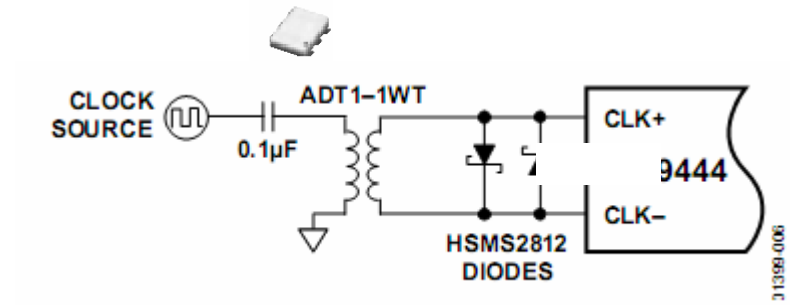
Source: J.Catt (NS) [CATT]

Fluctuation de l'instant d'échantillonnage (Aperture jitter)

Mise en œuvre de l'horloge

❑ Signal d'horloge sinusoïdal différentiel

- recommandé pour ADC rapide
 - ✓ jitter réduit par rapport signal logique
 - ✓ utilisation de transformateur RF « balun » pour distribution de l'horloge
 - ✓ adaptation d'impédance interne



❑ Signal d'horloge logique différentiel

- LVDS jusqu'à 1,5 GS/s ADC rapide (ADC081500 de NS)
- adaptation d'impédance interne
- routage sensible des signaux
- attention au distribution d'horloge
- utilisation de circuit dédié type AD9510 (jitter 350 fs)

Table 1.

Gate Type	Jitter
FPGA ¹	33 to 50 ps
74LS00	4.94 ps
74HCT00	2.20 ps
74ACT00	0.99 ps
MC100EL16 (PECL)	0.70 ps
AD9510 Clock Synthesis and Distribution	0.22 ps
NBSG16 (Reduced Swing ECL)	0.20 ps

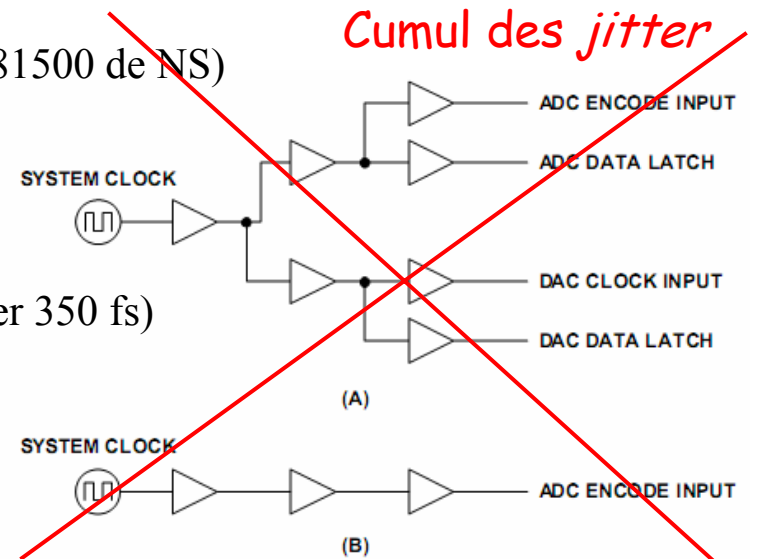
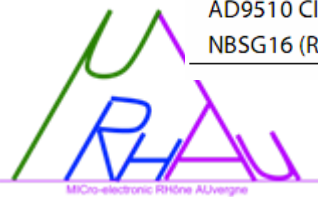


Figure 8. Clock Distribution Chains

Source: B.Brannon et A. Barlow (AD) [BRA] & J.Catt (NS) [CATT]



Fluctuation de l'instant d'échantillonnage (Aperture jitter)

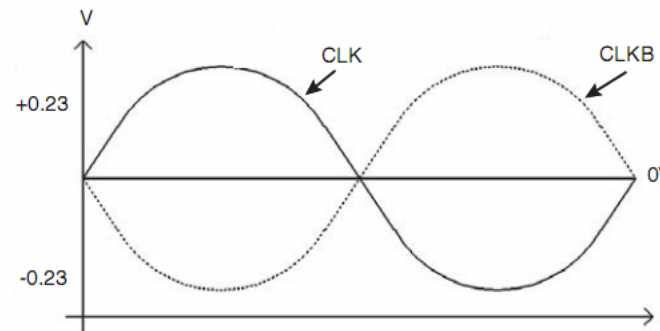
Mise en œuvre de l'horloge

❑ Exemple: ADC AT84AS008 de e2v (Atmel)

- 10 bits – 2,2 GS/s
- Extrait datasheet:

Typically, using a sinewave oscillator featuring -135 dBc/Hz phase noise, at 20 KHz from carrier, a global jitter value (including ADC + generator) of less than 200 fs RMS has been measured. If clock signal frequency is at fixed rates, it is recommended to narrow band filter the signal to improve jitter performance.

Figure 8-5. Differential Clock Inputs (Ground Common Mode): Recommended



dBc: in telecommunications, this indicates the relative levels of noise or sideband peak power, compared to the carrier power.



3. Utiliser un ADC: ⇒ la CEM

Quelques notions de CEM

Quelques conseils d'un experts CEM: Alain Charoix AEMC

« **Méfions-nous à priori des data-sheets !... »**

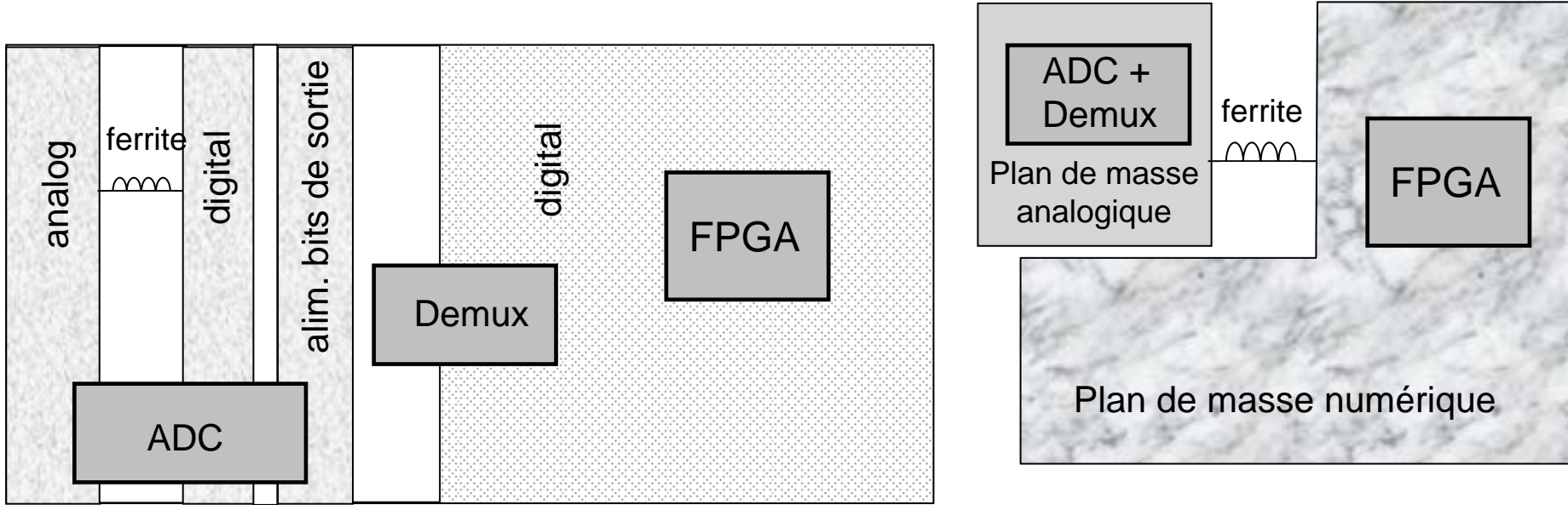
- « Un **plan de masse** non fendu sous le convertisseur est souhaitable !
(fente de 1cm \Rightarrow self \approx 1nH) »
- « Le bruit des ADC est minimal quand AGND, DGND, REF, COM, ... et capas de découplage de +Vcc et -V directement au plan 0V ! »
- « Pour permettre une conversion stable [...] alimenter la partie analogique via la partie numérique. »
- « Le timing d'un convertisseur rapide est essentiel: sur un signal à 10MHz, un jitter de 10 ps génère une erreur dynamique d'une amplitude supérieure au LSB d'un ADC 12 bits. »
- « La broche d'entrée d'un échantillonneur-bloqueur injecte des charges à chaque commutation. Pour une conversion à fréquence élevée, un amplificateur rapide et stable (tel un driver vidéo par ex.) est nécessaire. »
- « Limiter les capacités des sorties numériques (ajouter des résistances série \approx 68 Ω ou un buffer « calme » pour réduire le « ground bounce »). Pour un convertisseur lent, une interface de sortie série est conseillée. »

Source: Charoix, AEMC [CHAR99] [CHAR05]



PCB pour ADC rapides

- Recommandations plan alim et masse pour l'ADC AT84AS008 de e2v



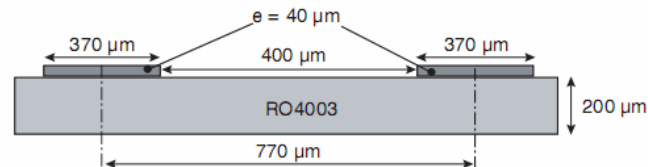
Board Layout Recommendations

It is necessary to ensure that all the lines at the input and output of the ADC are matched to within 2 mm.

As all data lines are differential, it is also necessary that each line of a differential pair is matched in length within 1 mm.

Figure 5-3 gives the layout rule used on RO4003 for differential signals.

Figure 5-3. 50Ω Matched Line on R04003 Layout (Differential Signal)



Source: App. note e2v [e2v]



Filtrage/découplage des alimentations

❑ Même soin de séparation et de découplage des alims à l'intérieur même des circuits intégrés

ADC AT84AS008

112 pins sur 148 pour alim !!

Figure 5-1. AT84AS008 Pinout of CBGA152 Package (Bottom View)

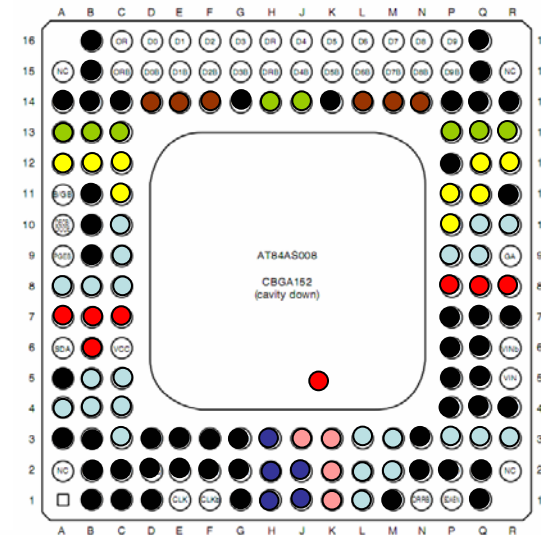
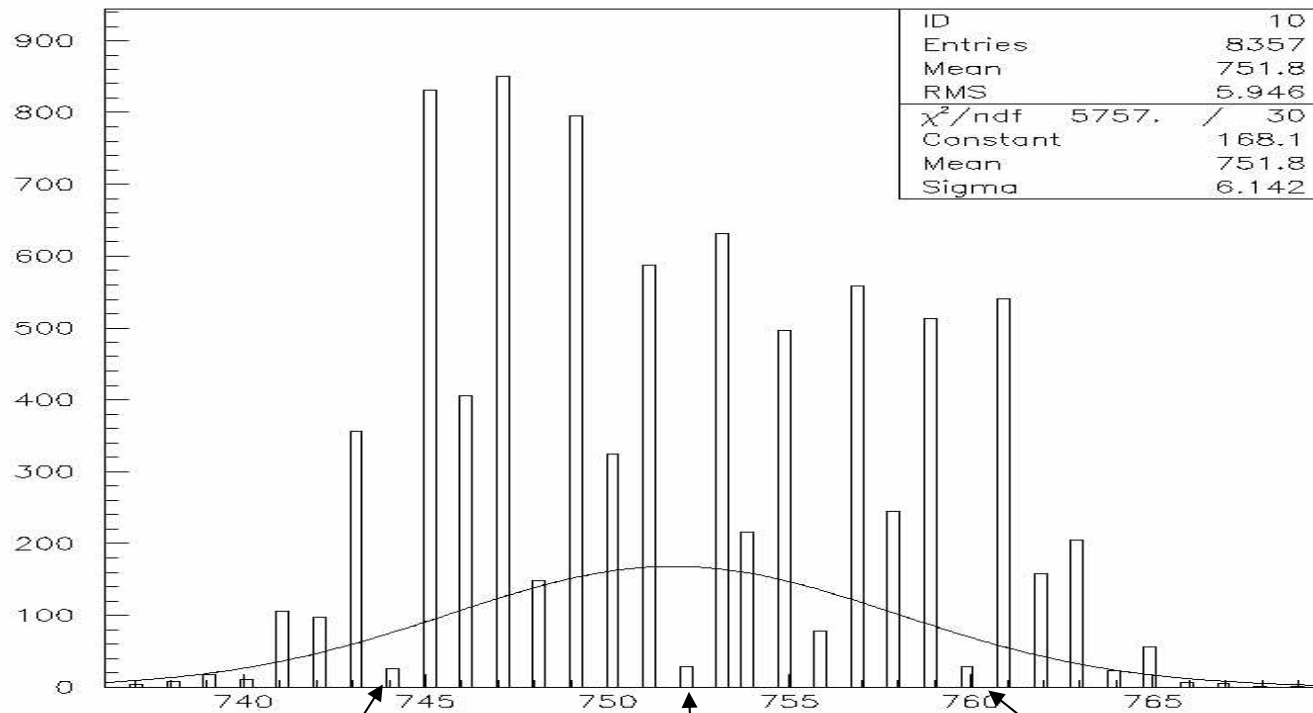


Table 5-1. AT84AS008-EB Pin Description

Symbol	Pin Number	Function
Power Supplies		
V_{CC}	K1, K2, J3, K3, B6, C6, A7, B7, C7, P8, Q8, R8	+5V analog supply
GND	B1, C1, D1, G1, M1, Q1, B2, C2, D2, E2, F2, G2, N2, P2, Q2, A3, B3, D3, E3, F3, G3, N3, P4, Q4, R4, A5, P5, Q5, P6, Q6, P7, Q7, R7, B9, B10, B11, R11, P12, A14, B14, C14, G14, K14, P14, Q14, R14, B15, Q15, B16, Q16	Analog ground
V_{EE}	H1, J1, L1, H2, J2, L2, M2, C3, H3, L3, M3, P3, Q3, R3, A4, B4, C4, B5, C5, A8, B8, C8, C9, P9, Q9, C10, Q10, R10	-5V analog supply
V_{PLUSD}	P10, C11, P11, Q11, A12, B12, C12, Q12, R12, D14, E14, F14, L14, M14, N14	Digital positive supply
DV_{EE}	A13, B13, C13, P13, Q13, R13, H14, J14	-5V or -2.2V digital supply

Gestion des alimentations: le mauvais exemple

- ❑ ASIC: ADC à rampe
- ❑ Alim. analogique et numérique communes dans la puce
 - di/dt alim numérique → dv/dt alim. analogique → Codes de sorties erronés lors du changement d'états simultanés de plusieurs bits
 - Intérêt du compteur Gray (un seul changement d'état à la fois)



Source: J. LECOQ - LPC [LEC]

2E7→2E8

2EF→2F0

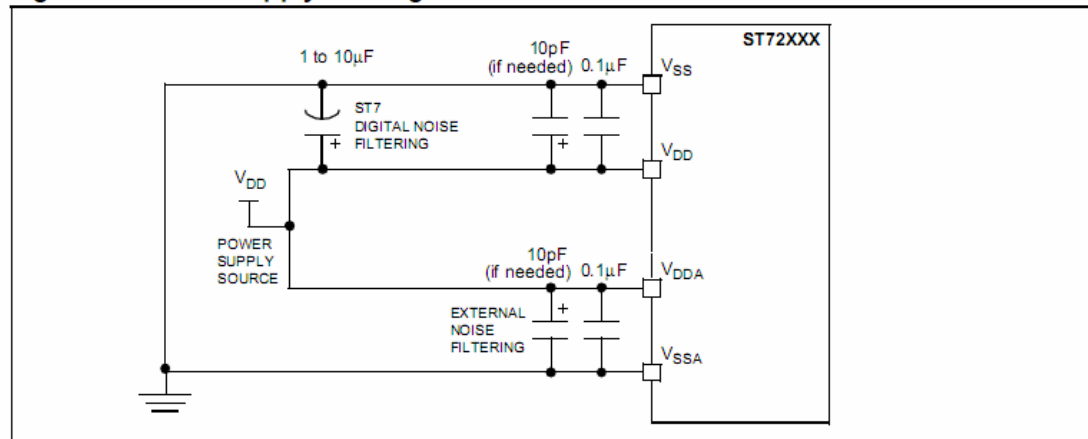
2F7→2F8



Filtrage/découplage des alimentations: rappels

- ❑ Exemple recommandations de ST Micro.

Figure 14. Power supply filtering



The capacitors allow the AC signals to pass through them. The small value capacitors filter high frequency noise and the high value capacitors filter low frequency noise. Ceramic capacitors are generally available in small values (1pf to 0.1 µf) and small voltages 16V to 50V. It is recommended to place the ceramic capacitors close to the main supply pins (V_{DD} & V_{SS} and analog supply pins (V_{DDA} & V_{SSA}). These filter the noise induced in the PCB tracks. Small capacitors can react fast to current surges and discharge quickly for fast current requirements. Tantalum capacitors can also be used along with ceramic capacitors.

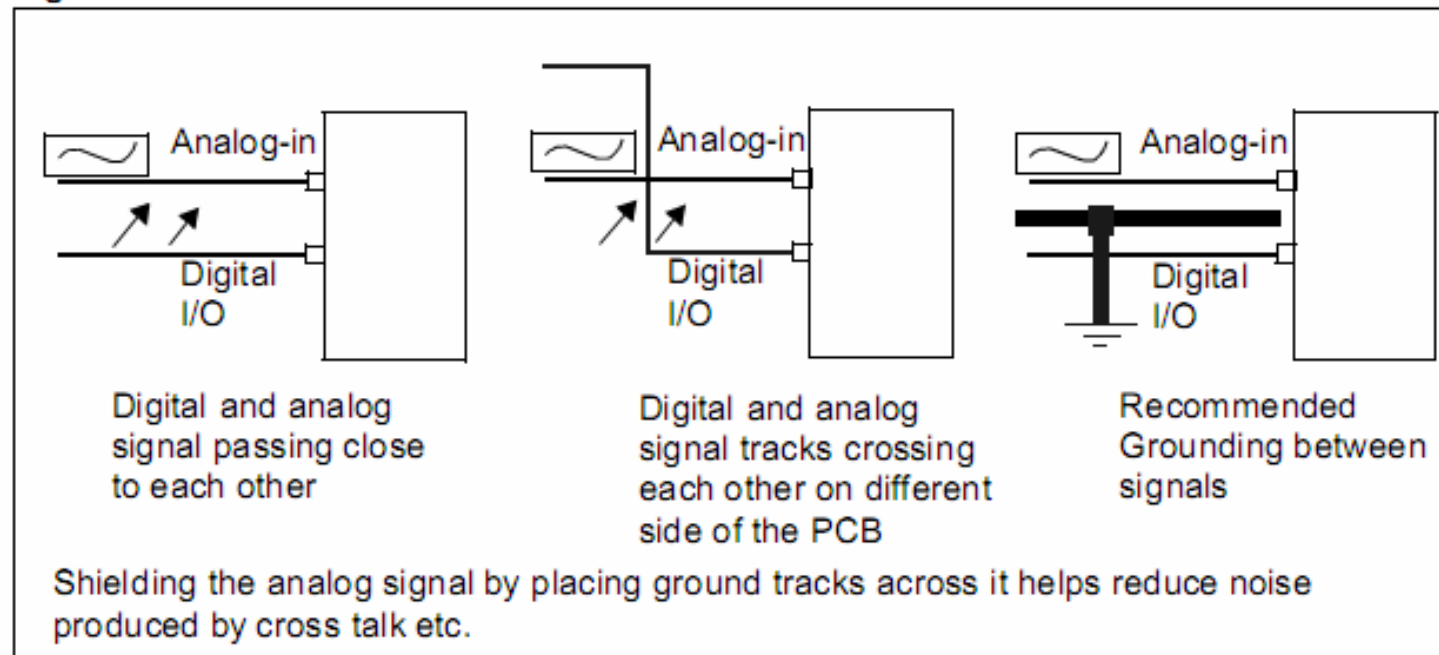
High value capacitors (10µf to 100µf) which are generally electrolytic, you can use them to filter low frequency noise. It is recommended to put them near the power source. You can also filter high frequency noise using a ferrite inductance in series with the power supply. Ferrites cause low DC loss (negligible) unless the current is high. This is because the series resistance of the wire is very low. But for high frequency, the impedance offered is high.



Rappel: séparation des signaux analogiques et numériques

Analogique et numérique: une cohabitation difficile

Figure 22. Cross-talk between I/Os



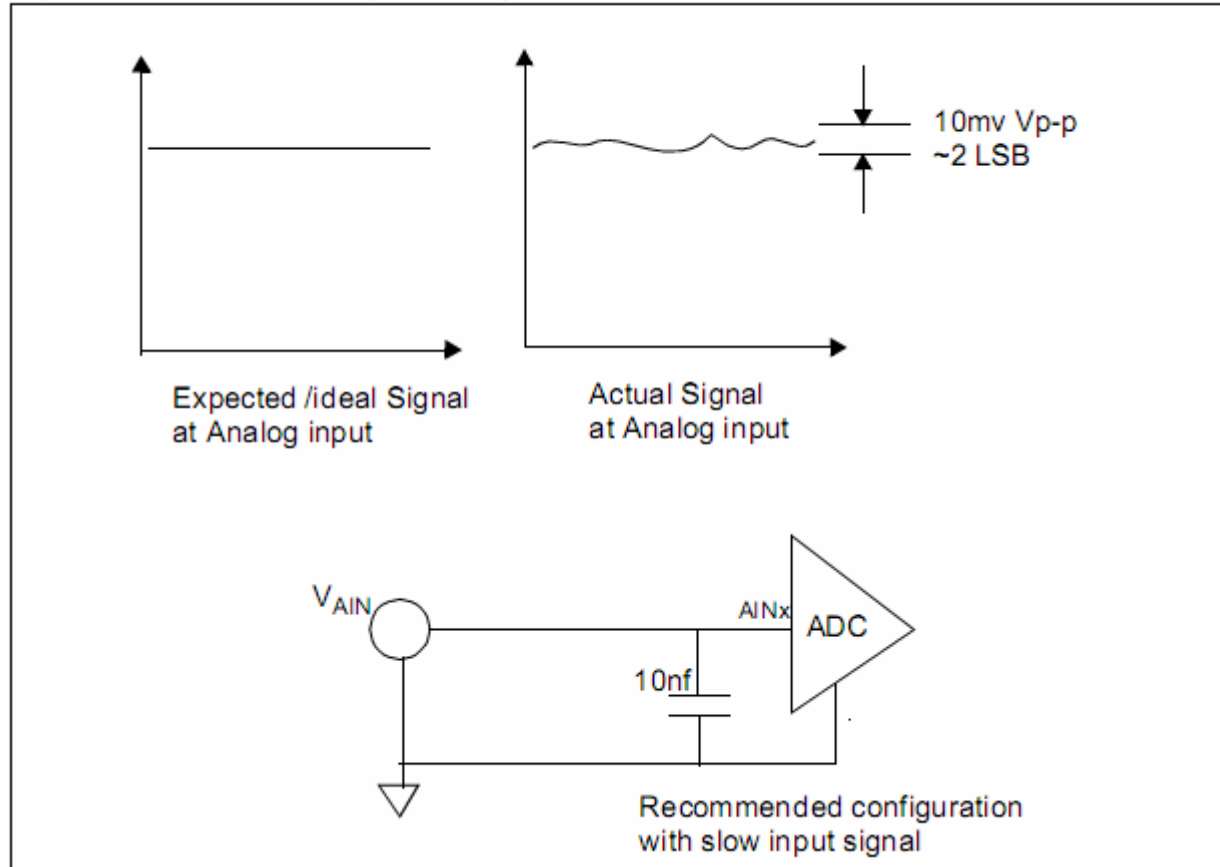
Source: App. note ST [AN1636]

47

Rappel: filtrage du signal à convertir

Limiter la bande de fréquence à celle utile

Figure 15. Noise in analog input signal





3. Utiliser un ADC:
⇒ l'impédance d'entrée

Temps de charge de la capa C_{ADC}

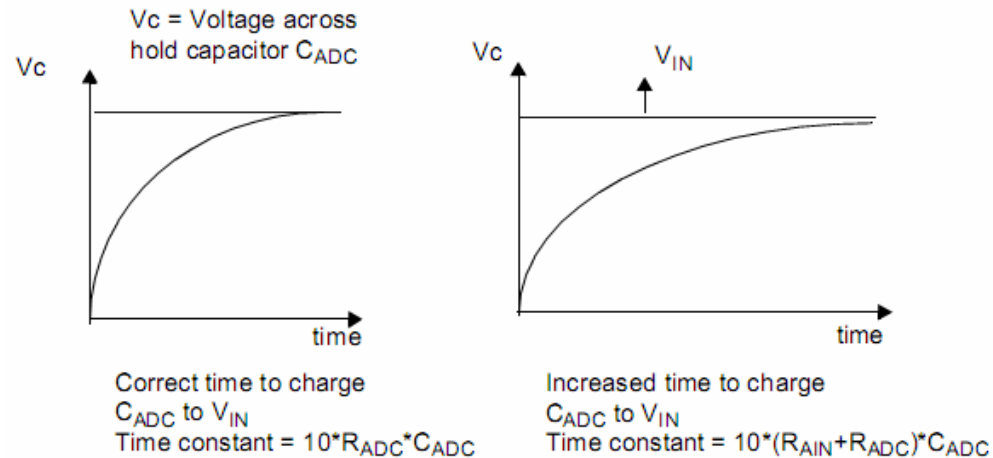
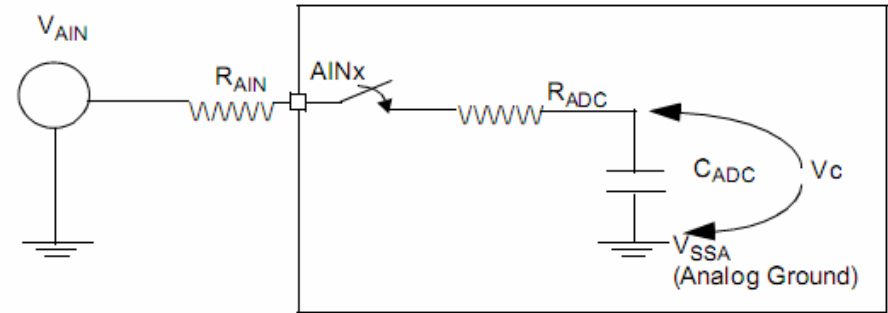
- L'impédance de sortie de la source se rajoute à l'impédance d'entrée de l'ADC:

$$\tau = (R_{ADC} + R_{AIN}) * C_{ADC}$$

- Grande R_{AIN} affecte THD

- Ex: AD7684 16 bits

- Précision 1 LSB/16 bits: 1/65536
→ précision atteinte à 11τ
- $R_{ADC} = 600 \Omega$, $C_{ADC} = 30 \text{ pF}$
- $11 \times \tau = 200 \text{ ns}$

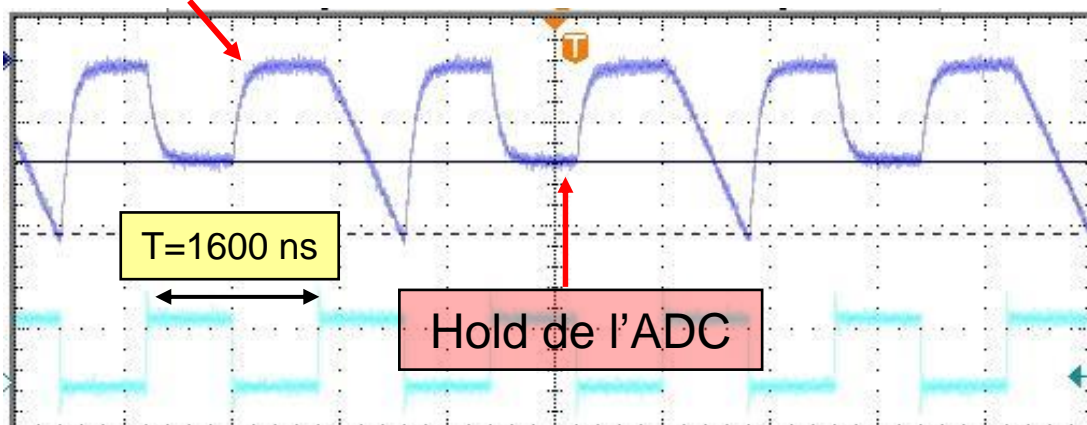


$AINx$ = analog input pin
 C_{ADC} = the hold capacitor of the ADC
 Refer to datasheet for values for R_{ADC} and C_{ADC}

Source: App. note ST [AN1636]

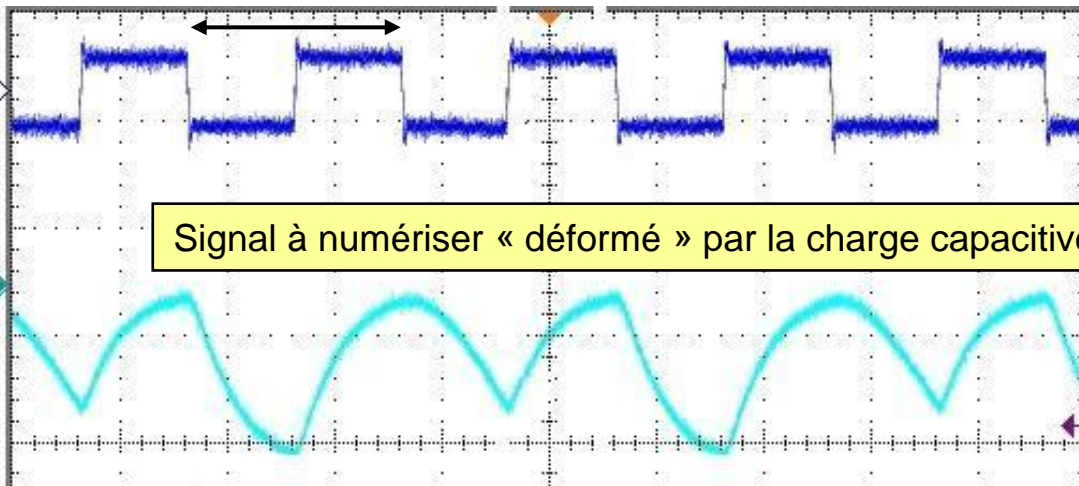
Exemple de driver mal adapté

Signal à numériser (sortie ASIC)



$T = 400 \text{ ns}$

Signal à numérisiser « déformé » par la charge capacitive



- Utilisation de l'ADC AD7684 pour numériser un signal délivré par un ASIC (mémoire analogique Made in LPC Clermont)
- Un driver interne à l'ASIC
- Pas de driver externe
- A la période nominale $T = 400 \text{ ns}$ le signal n'a pas le temps de s'établir

Source: F.Collange (LPC Clermont)



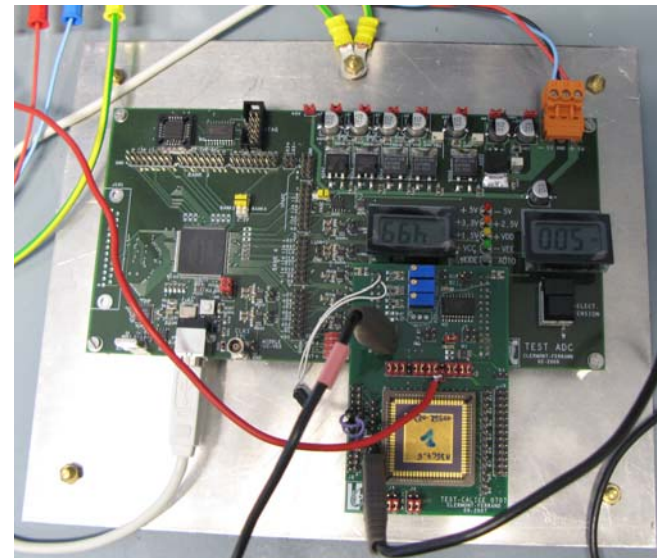
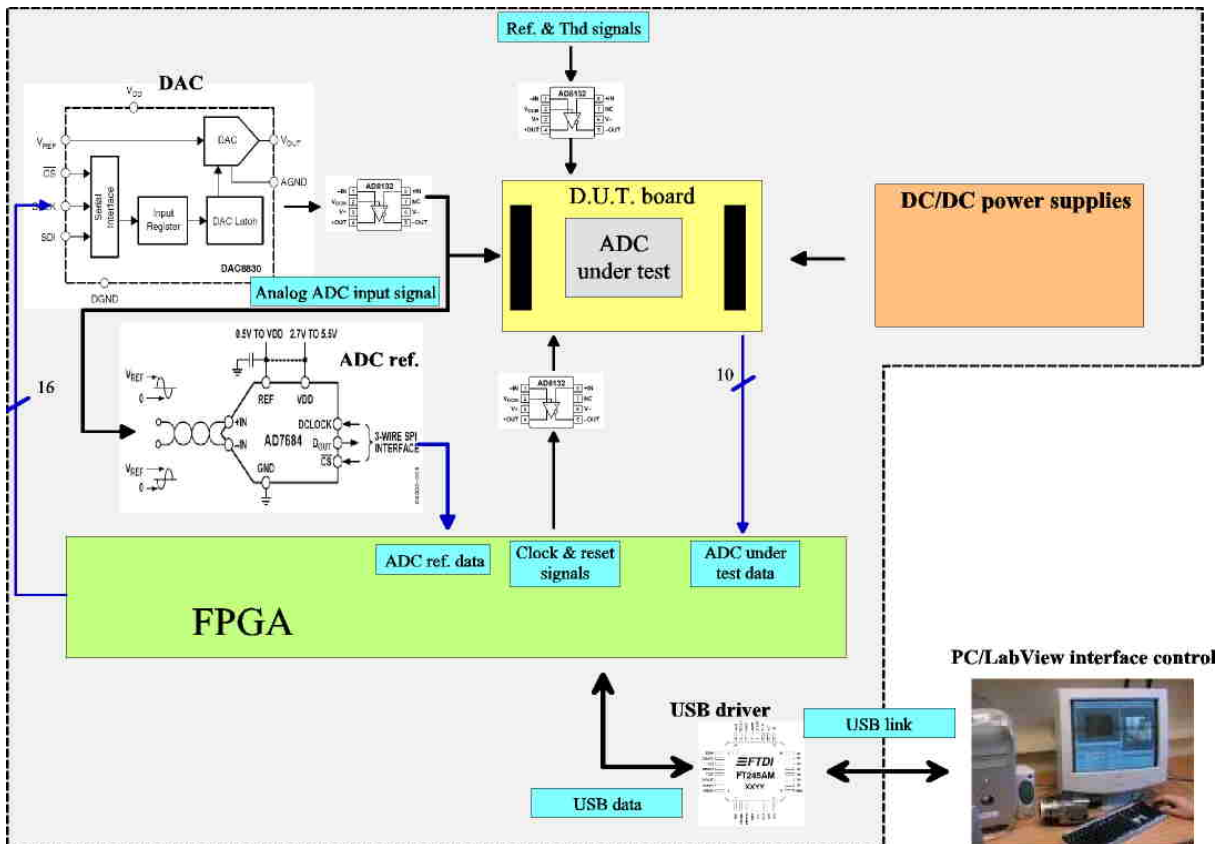


3. Utiliser un ADC:

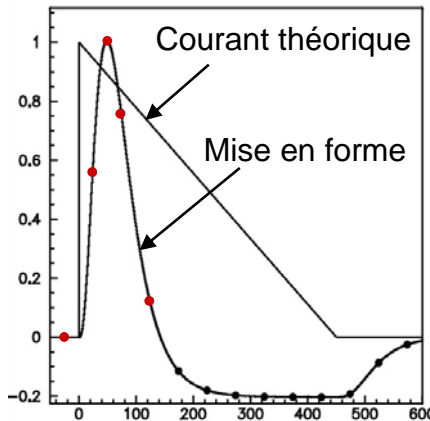
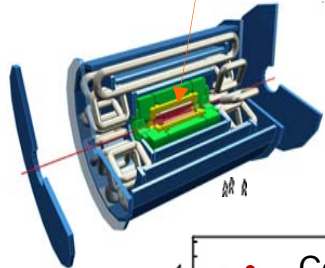
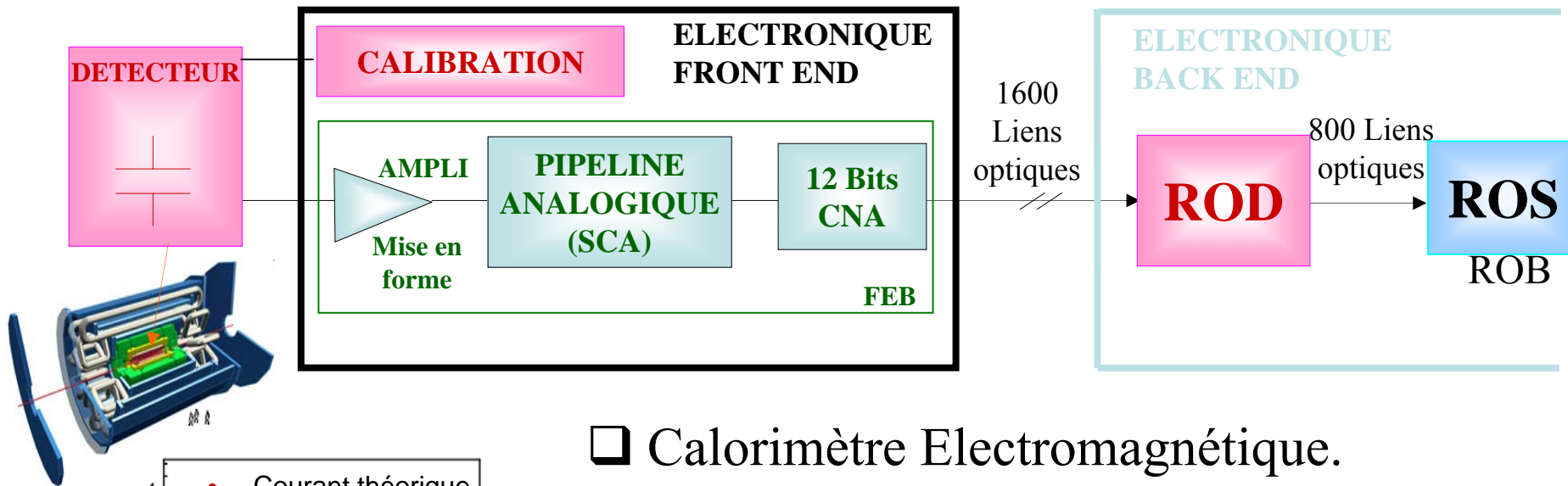
⇒ Exemples d'utilisation

Les bancs de test

- ❑ Exemple (@LPC Clermont): banc de test générique, piloter par PC/LabView via USB, avec:
 - ADC AD7684 différentiel, 16 bits, 100kS/s
 - DAC 16 bits + FPGA +USB driver
- ❑ Caractérisation d'ampli, comparateur, ADC, ...
 - linéarité, offsets, précision absolue (gain), sensibilité, ...



FEE du calorimètre électromagnétique d'Atlas



Calorimètre Electromagnétique.

- 200.000 Cellules
- 1600 Modules FEB
- 200 Modules ROD
- 120 Modules de Calibration

Source: G.Perrot - LAPP[PER]

54



FEE du calorimètre électromagnétique d'Atlas

□ Cartes Front-End du calorimètre à argon liquide d'Atlas (FEB)

- $\approx 200\ 000$ voies \rightarrow 128 voies par cartes
- dimensions: 400×500 mm² !!
- 1629 cartes produites
- Utilisation d'un ADC AD9042 par voie
- Mesures, sous irradiation, de la dérive de:
 - ✓ la consommation en courant
 - ✓ la précision
 - ✓ du temps de conversion
 - ✓ la référence de tension interne



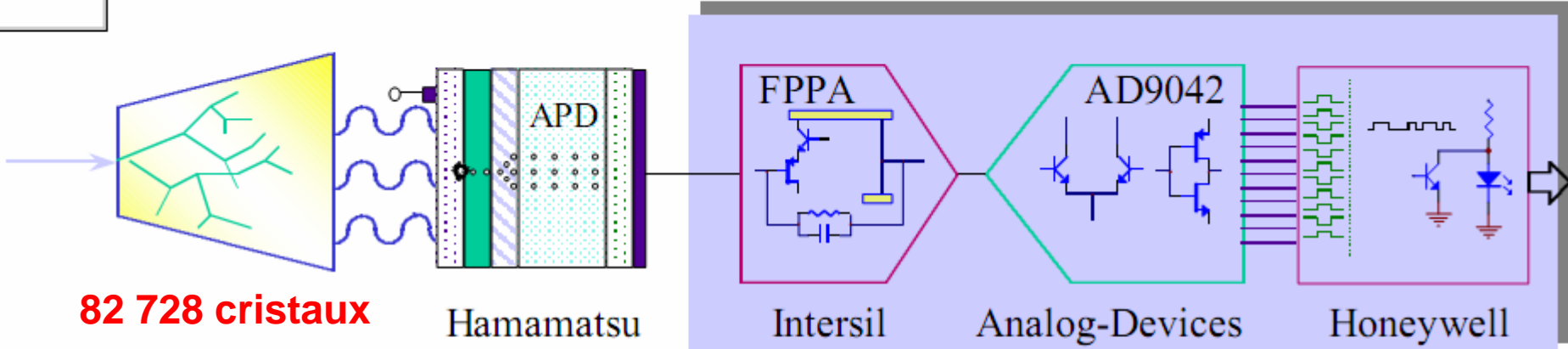
Carte FEB 128 voies

Source: T.Liu et al. [SMU]

FEE du calorimètre électromagnétique de CMS

CMS ELECTROMAGNETIC CALORIMETER

FRONT-END ELECTRONIC CHAIN



Full custom Ctrl Chip (not shown)	Type of IC	Full custom ASIC	Commercial ADC	Full custom ASIC
DMILL	Process	UHF1X	XFCB	CHFET

RAD HARD ELECTRONICS, Power dissipation: 1,2 W/channel

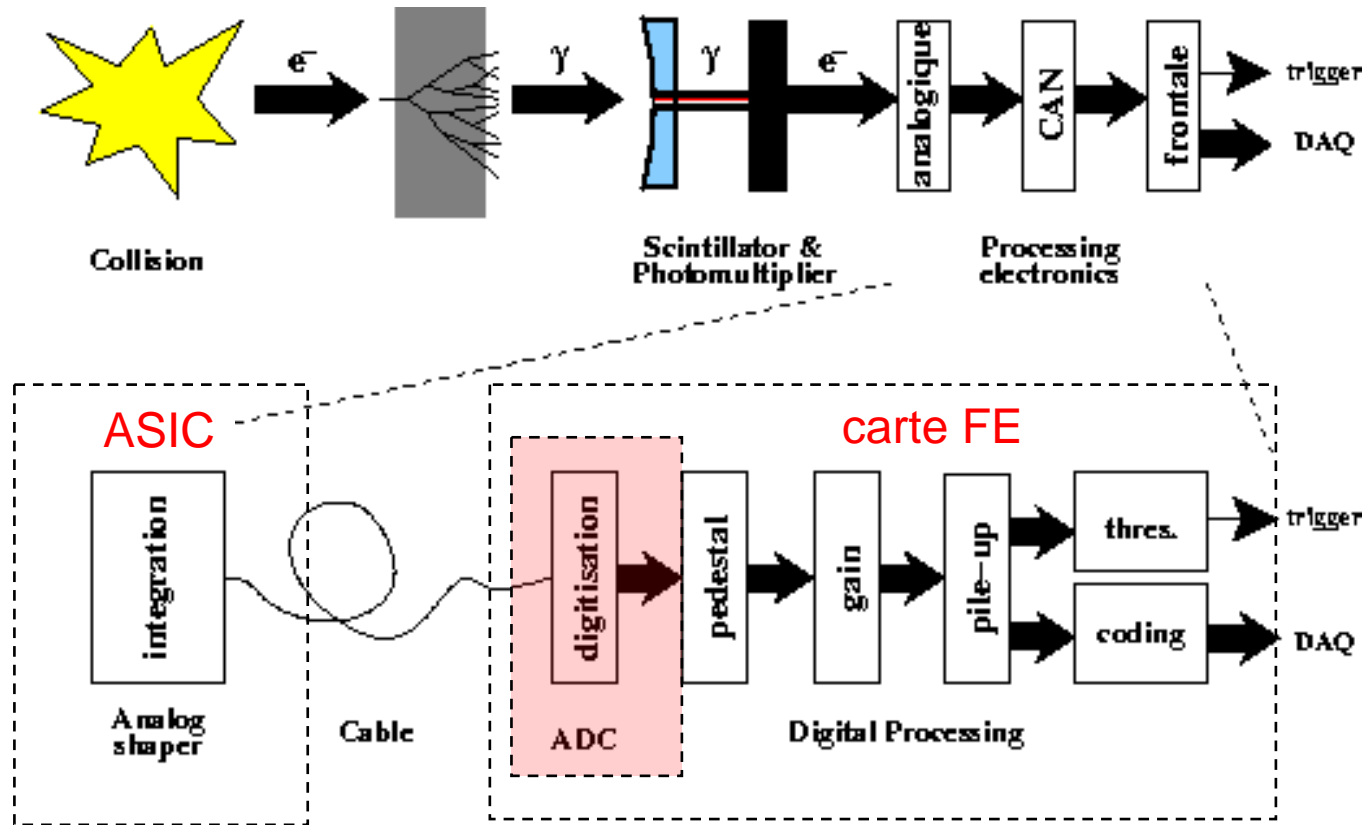
↙

10⁴ Gy = 1 Mrad

Source: P.Denes [CMS1] & P.Depasse [CMS2]



FEE du preshower de LHCb (LPC Clermont)



Source: R. CORNAT - LPC -
LECC Colmar - septembre 2002

FEE du preshower de LHCb (LPC Clermont)

ADC AD9203 (Analog Devices):

- Architecture: pipeline, différentiel
- Resolution: 10 bits sur 1V différentiel
- Sampling rate: 40 MS/s
- Consommation: 74mW/3V

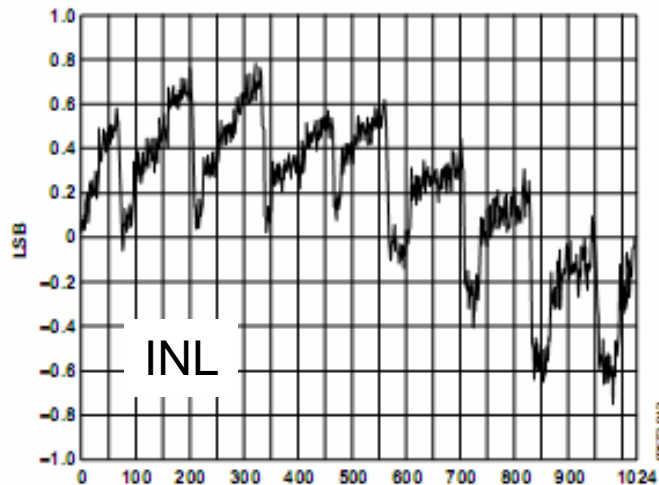
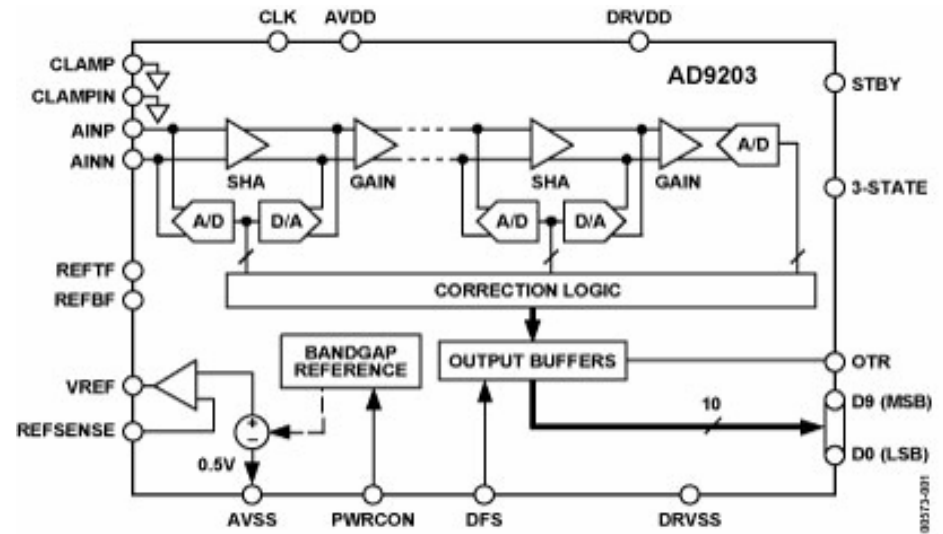


Figure 12. Typical INL Performance

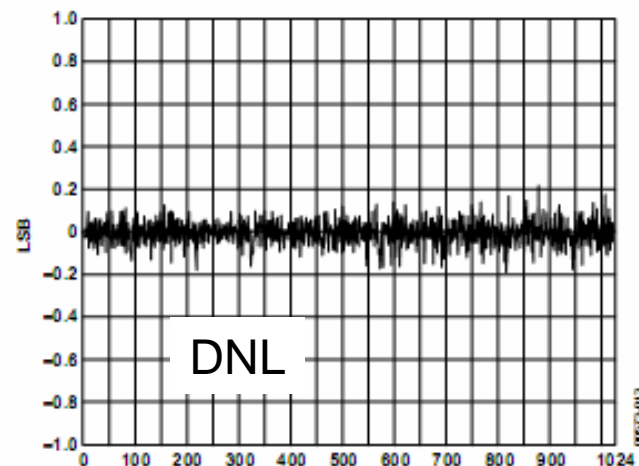
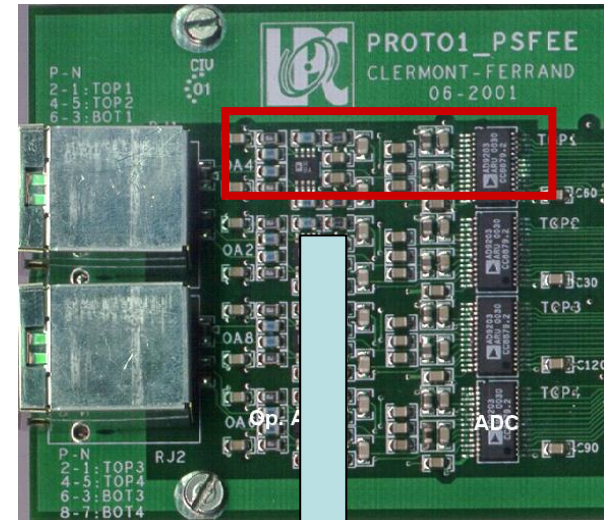
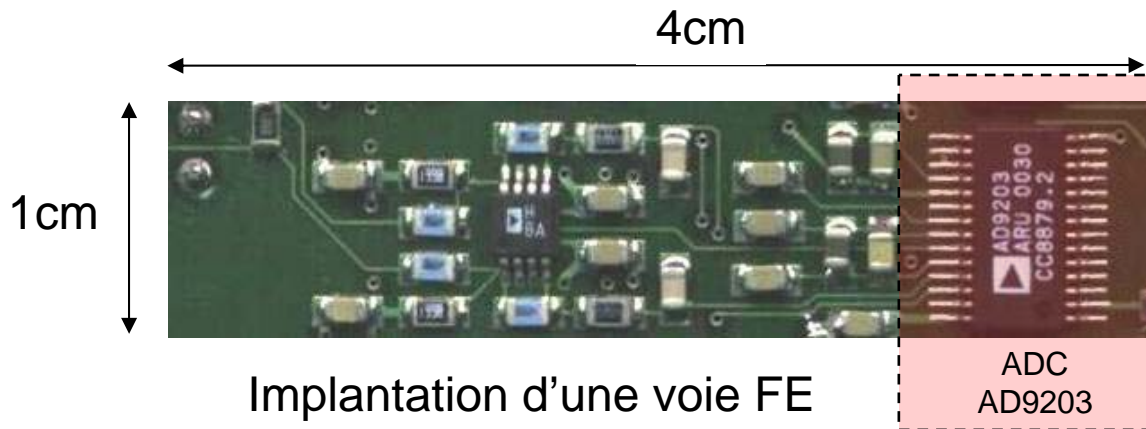


Figure 13. Typical DNL Performance

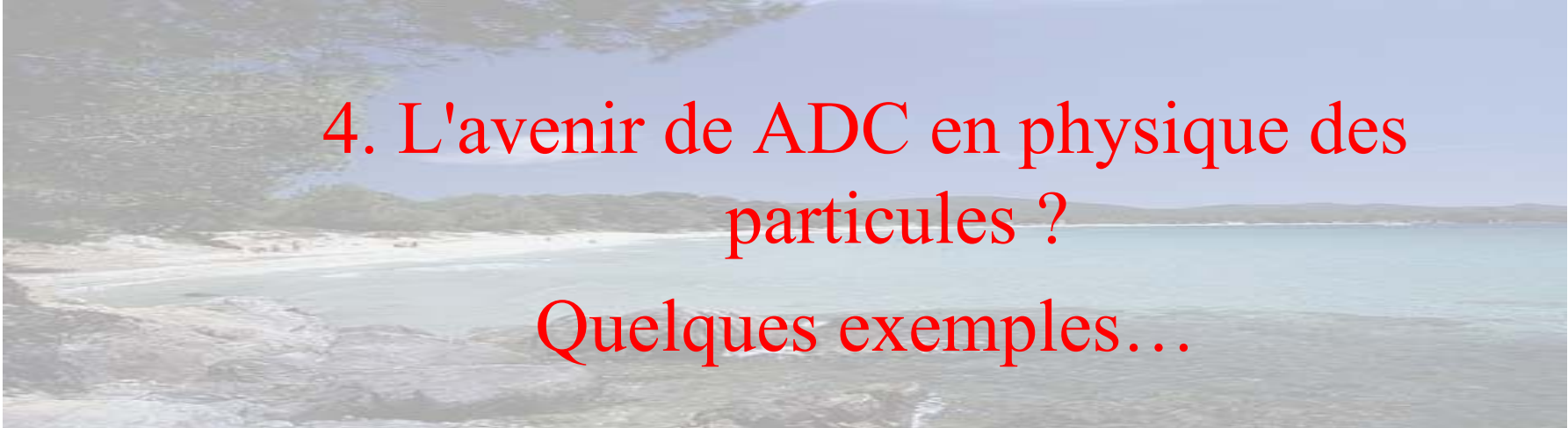
FEE du preshower de LHCb (LPC Clermont)

- ❑ 64 voies par carte format 9U
 - Surface max. d'une voie: 1 cm x 4 cm
- ❑ Bruit < 1 LSB (1mV) grâce:
 - Plan de masse
 - Signaux analogiques différentiels
 - Horloge différentielle LVDS
 - Routage précautionneux des pistes sensibles



Source: R. CORNAT - LPC -
LECC Colmar - septembre 2002





4. L'avenir de ADC en physique des
particules ?
Quelques exemples...

Super LHC (SLHC)

- ❑ Arrêt du LHC Juillet 2014
- ❑ Redémarrage du SLHC Janvier 2016
- ❑ Luminosité entre 9.10^{34} et 15.10^{34} selon les scénarios contre 1.10^{34} pour le LHC. L'énergie reste la même.
- ❑ Les Bunchs seraient respectivement de 50 ns ou 25 ns.
La version 12.5 ns est abandonnée.
- ❑ 400 evts/bunch (version 50 ns bunches) pour SLHC comparé à 19 pour LHC nominal.

Source: G. Perrot – LAPP [PER]

61



Upgrade du calo. electromag. d'Atlas pour SLHC

□ FEB (nouvelle version)

- Plus de pipeline analogique.
- Eventuellement pipeline numérique (solution de replis à la transmission totale des datas vers le ROD).
- ADC fonctionnant à la fréquence des BC (Commercial ? ou ?).
- **Multiplexage des ADC (4*16bits-40 MHz ou 8*16bits 20 Mhz) → 16 bits 160 MHz**
- Sérialisation et transmission optique vers ROD (3,2 Gbits/s)
- 32 ou 16 fibres optiques par FEB.
- Des tests sont en cours avec des HFBR-772 (12 fibres, 2,7 Gbits/s) et **un ADC du commerce (TI ADS 5272: 8 channels, 65 MSPS 12-bit ADC with multiplexed LVDS outputs) à Nevis (USA??).**

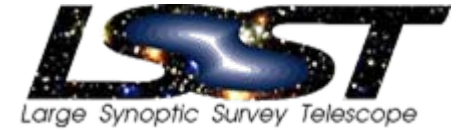
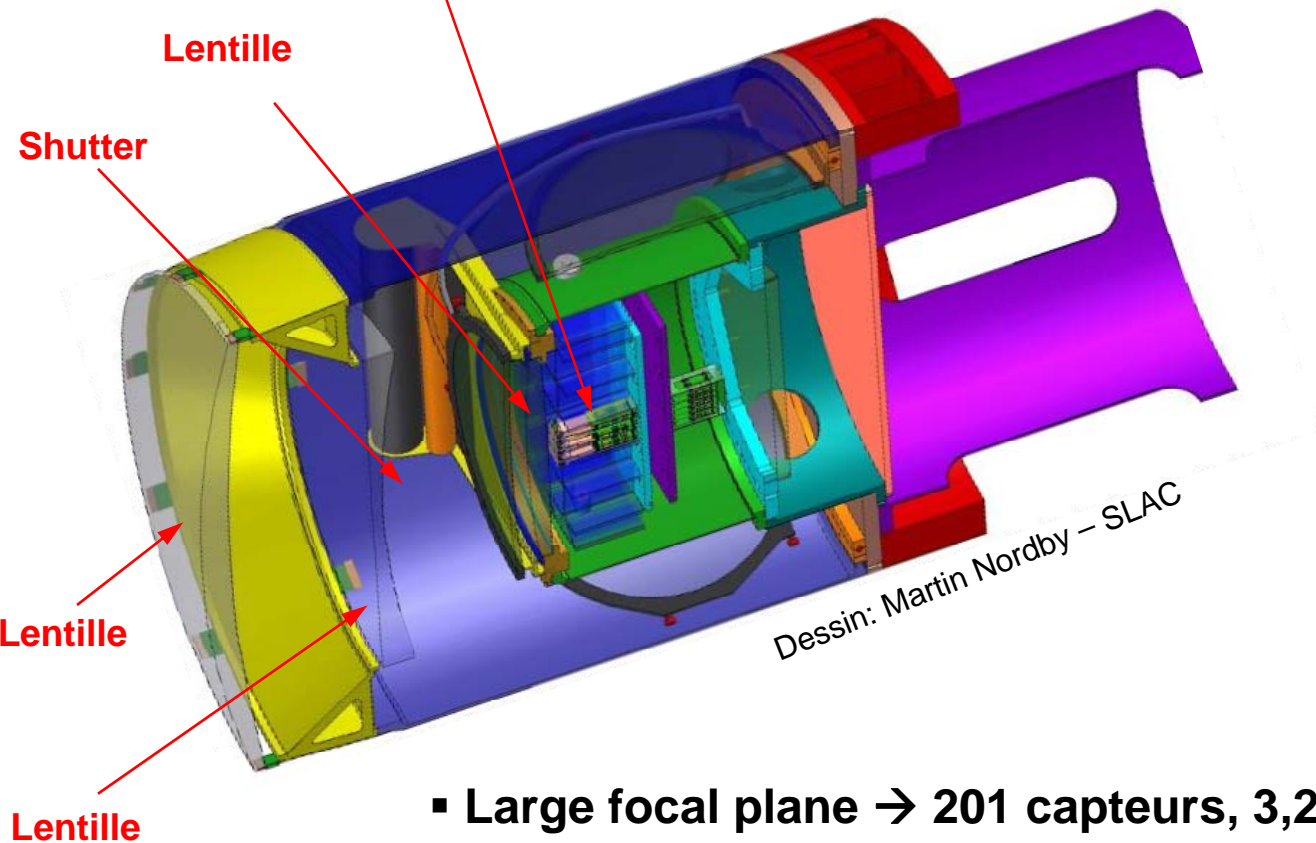
Source: G. Perrot – LAPP [PER]

62



Large Synoptic Survey Telescope (LSST)

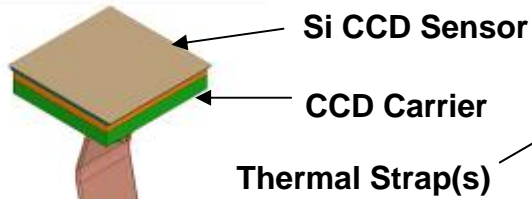
capteur + FEE → Raft tower
→ 21 au total



- Large focal plane → 201 capteurs, 3,2 Gpixels, 64 cm plan focal
- 10 μm pixels, 0.2 arc-sec/pixel
- Chaque image: équivalent 40 lunes pleines
- Une image complète du ciel en 3 nuits

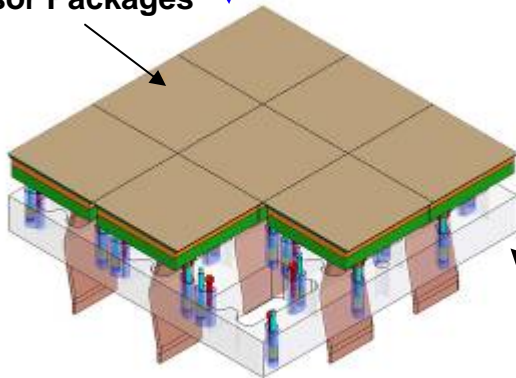
Source: K.Gilmore [LSST1] & J.Oliver [LSST2] 63

Large Synoptic Survey Telescope (LSST)

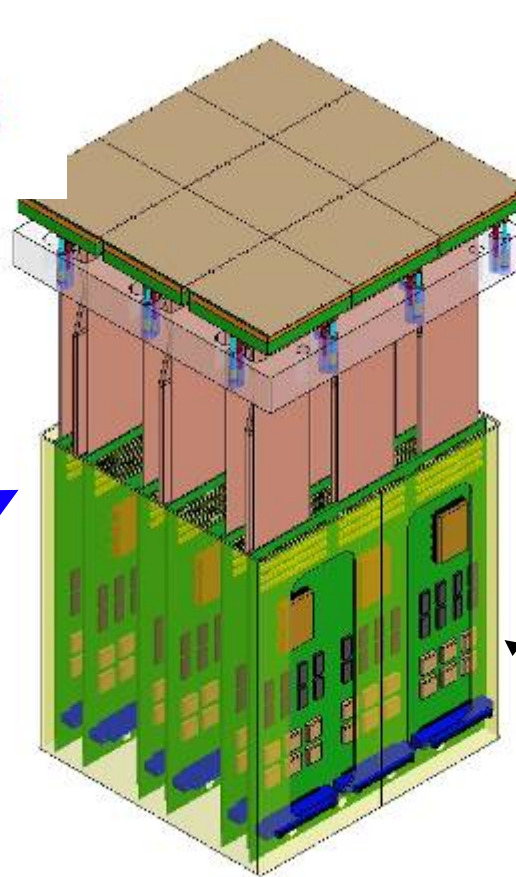


SENSOR

Sensor Packages



RAFT Structure



RAFT Assembly

Flex Cable &

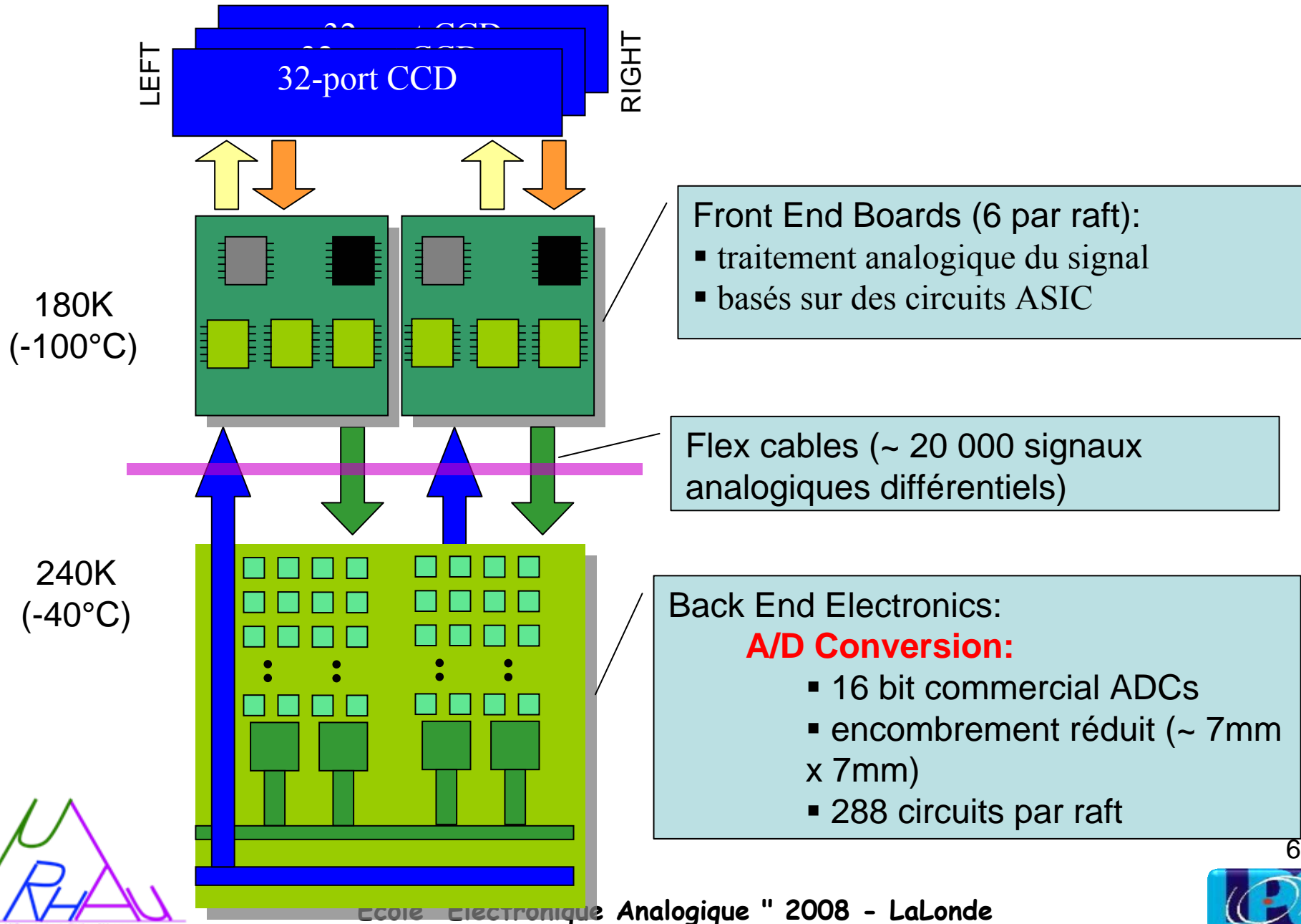
Thermal Straps

FEE Cage

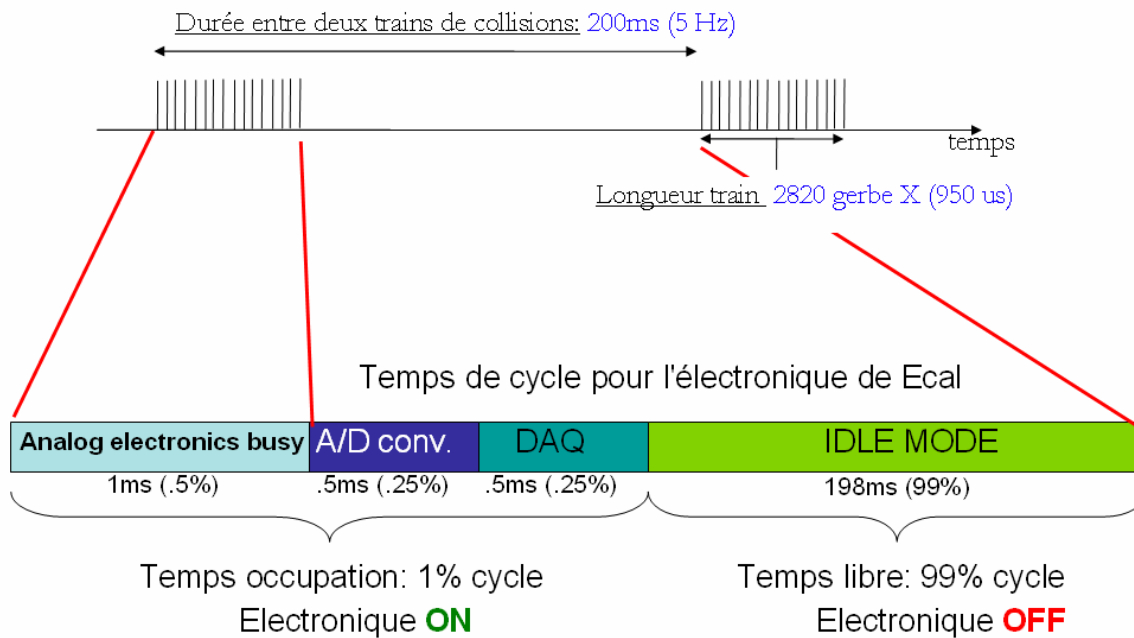
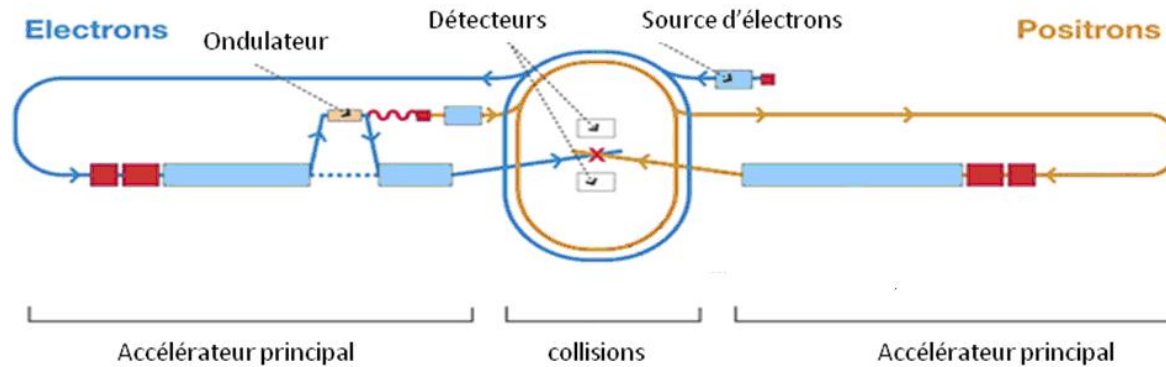
FEE

Source: K.Gilmore [LSST1] & J.Oliver [LSST2]

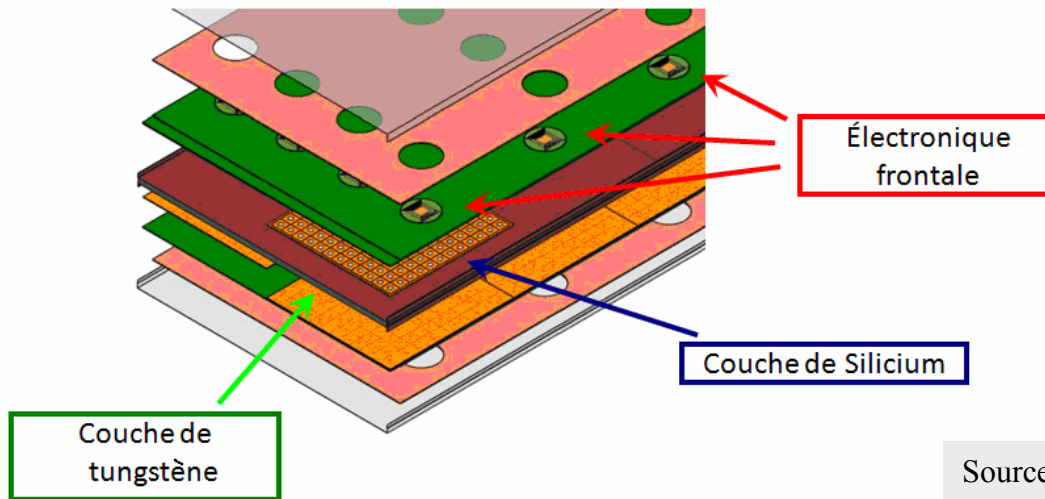
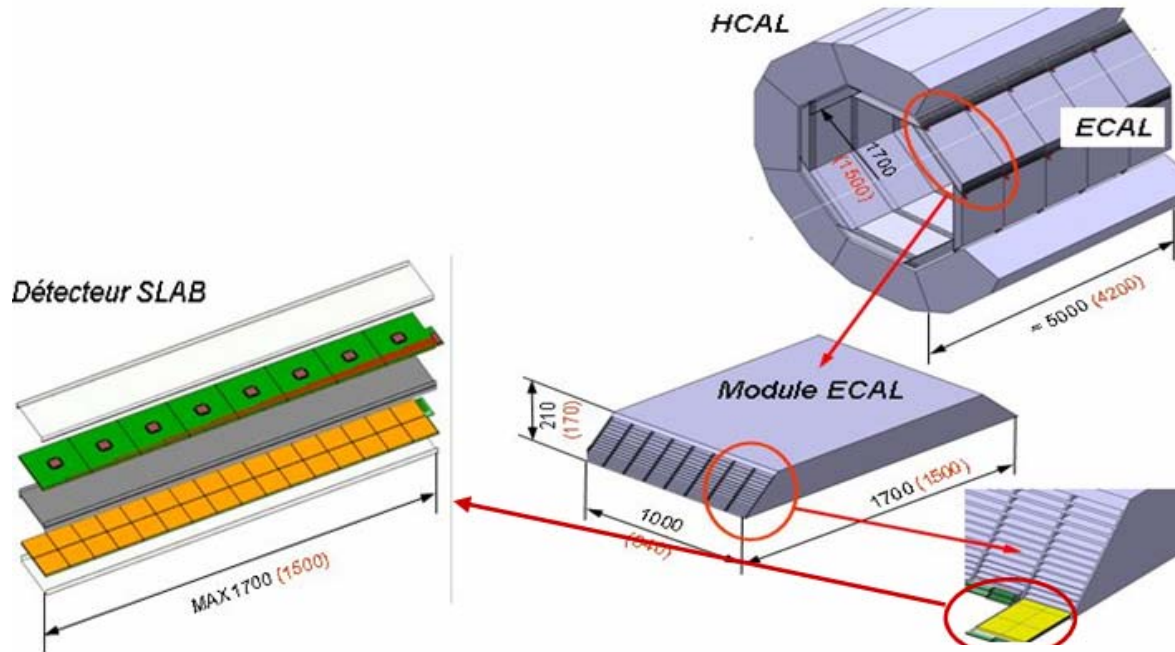
Large Synoptic Survey Telescope (LSST)



International Linear Collider (ILC)



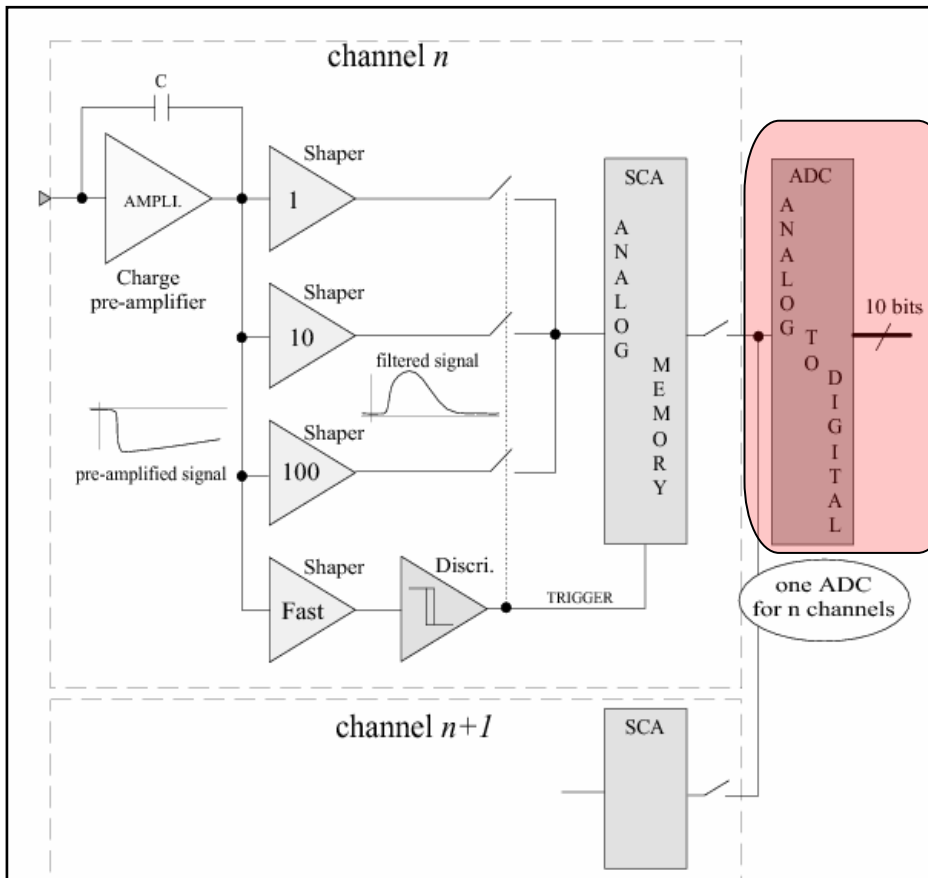
VFE electronics of Si-W Ecal



Source: M. Anduze – LRR



VFE electronics of Si-W Ecal



□ Requirements for ADC @ ILC

- **Ultra low power: $25\mu\text{W}/\text{ch}$ for the whole Very-Front-End electronics, including ADC**
- **Resolution of ADC:**
 - ✓ 10 bits if 3-gain shaping
 - ✓ 12 bits if 2-gain shaping
- **Compactness, electronics embedded in detector**

⇒ Intégration de l'ADC dans le VFE

Conclusion

Les ADC

- ❑ Composant incontournable de toute chaine de mesure: le signal est analogique mais les données exploitables doivent être numériques
- ❑ Grand choix sur le marché
 - architecture, performances, prix, fabricants, ...
- ❑ Circuit à la frontière de deux mondes: analogique – numérique
 - contraintes de mise en œuvre: CEM, alim, tenue radiation, ...
- ❑ Composant de plus en plus intégré dans l'ASIC very-front-end
 - ↗intégration, ↘SNR, ↗ vitesse, ↘ consommation, ↘ coût
 - ↗ délai développement

Références (1)

- [BRA] "Aperture Uncertainty and ADC System Performance", Brad Brannon et Allen Barlow, AN-501 Analog Devices 2006
- [DAN] L'actualité des Composants du CNES, n°26 – 2007, D.Danglan et F.Malou
- [AT84] Data sheet et Application Note AT84AS008 de e2v, <http://www.e2v.com>
- [CHAR99] Charoix, AEMC, Ecole d'électronique analogique de Cargèse 1999
- [CHAR05] Charoix, AEMC, Ecole de microélectronique de Porquerolles 2005
- [AN1636] AN1636: Understanding and minimising ADC conversion errors, ST-2003
- [LEC] Cours de J.Lecoq
- [CATT] "Clocking High-Speed A/D Converters", National Semiconductor, Application Note 1558, James Catt, January 2007
- [LAL] Rapport d'activités du LAL 2005-2007
(http://electronique.lal.in2p3.fr/rapports/Rapport_2007/Rapport_2007.html)
- [PER] G.Perrot, Electronique ATLAS LArg pour le SLHC, 13/03/2007
(http://lappagenda.in2p3.fr/cdsagenda/askArchive.php?base=agenda&categ=a0728&id=a0728s9/moreinfo/Elec_Upgrade_SLHC_13mar07.ppt)
- [SMU] The AD9042 Evaluation System, SMU-HEP-04-04, Tiankuan Liu, Benjamin Wakeland, Xiao Wu and Jingbo Ye, Physics Department, Southern Methodist University, Dallas, USA

Références (2)

- [LSST1] SLAC Program Review, Kirk Gilmore, Stanford/SLAC/KIPAC, June 7, 2006
- [LSST2] LSST Camera Electronics, John Oliver, 21 août 2006
- [CMS1] Pierre Depasse (IPN Lyon) IXth International Conference on Calorimetry In Particle Physics Calor 2000, Annecy, October 9-14
(www.lapp.in2p3.fr/Calor2000/Contributions/Electronics/pierre_depasse.PDF)
- [CMS2] "Radiation hardness evaluation of the AnalogDevices AD9042 ADC for use in the CMS electromagnetic calorimeter", P. Denes*, B. Lev, R. Wixted, Nuclear Instruments and Methods in Physics Research A 417 (1998) 371—376
- [BER] "Convertisseurs Analogique/Numérique & Convertisseurs Numérique/Analogique", Serge BERNARD, Laboratoire d'Informatique de Robotique et de Microélectronique de Montpellier (LIRMM)
- [IEEE] "IEEE Standard for Terminology and Test Methods for Analog-to-Digital Converters", IEEE Std 1241-2000