

Retour d'expérience d'un système
embarqué :

**Architecture d'acquisition
modulaire basée sur le SoC Zynq
de Xilinx**

Ecole d'électronique numérique de l'IN2P3

Juin 2016

Nicolas Chevillon, Christian Fuchs, Jacky Sahr,
Rachid Sefri, Xiaochao Fang, Bernard Humbert

Equipe Imagerie Moléculaire
Département DRHIM

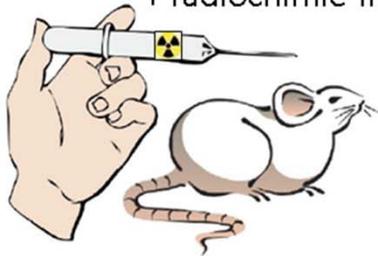


Imagerie fonctionnelle pré-clinique

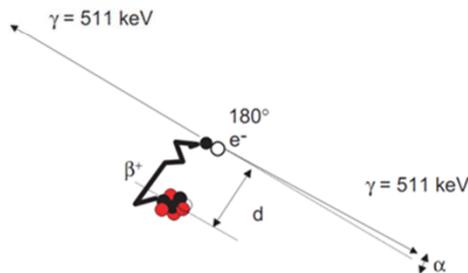
Acquisition de données
d'un tomographe à émission de positon (TEP)



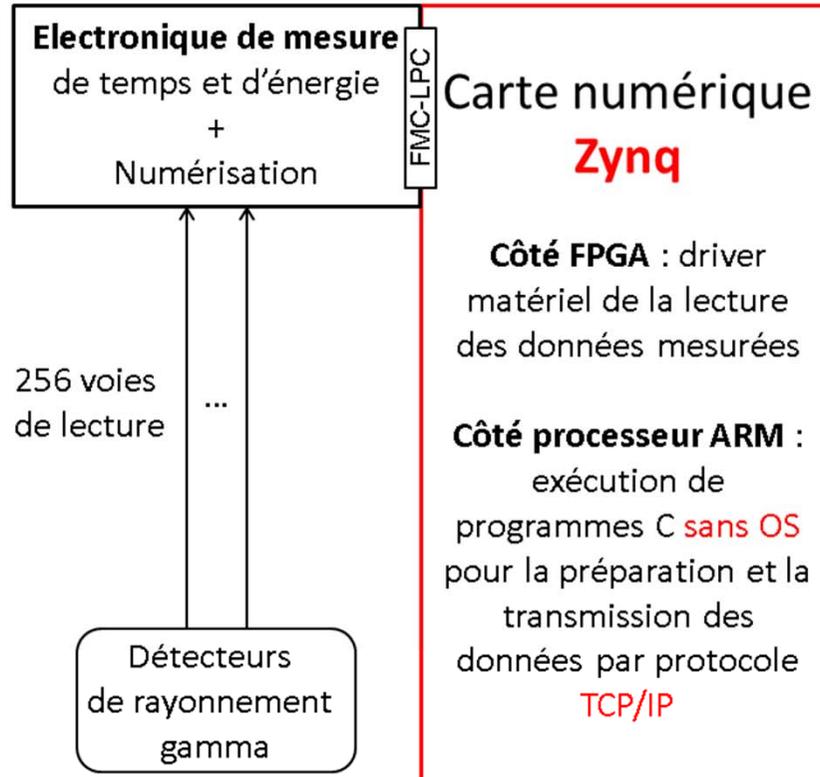
Injection de molécules radio-marquées (Cyclotron Cyncé + radiochimie ImaBio)



Radio-émission bêta+



Module de détection des rayonnements gamma



1 TEP → N modules de détection



Bio-distribution de molécules radio-marquées (FDG)

Contact : nicolas.chevillon@iphc.cnrs.fr

Imagerie pré-clinique



AMISSA: A Multimodality Imaging System for Small Animal

μ TDM-X



Imagerie anatomique

Acquisition/reconstruction 20s→6 min
Résolution spatiale : 150→50 μ m

μ TEMP



Imagerie Fonctionnelle

Résolution spatiale : 800 μ m
Efficacité de détection : 0.014%

μ TEP

Imagerie fonctionnelle

En cours de développement
Résolution spatiale : 1uL
Efficacité de détection : >15%



PhotonImager, Biospace



IRIS, Inviscan, (avril 2014)

Imagerie pré-clinique

Etude des facteurs influençant les performances
pour une nouvelle génération d'imageurs

Tomographie à Emission de Positons (TEP)

- Géométrie radiale vs axiale
- Matrice segmentée vs bloc monolithique
- Modèle à imager (souris, rat, primate)

Tomographie à Emission Mono-Photonique (TEMP)

- Collimateur sténopé vs lames parallèles
- Matrice segmentée vs bloc monolithique
- Champ de vue

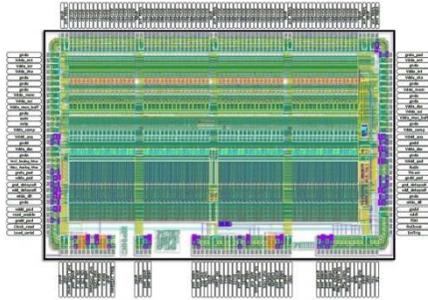
Modules de détection
de rayonnement gamma

- Mesure d'énergie
- Mesure de temps

**Besoin d'une nouvelle électronique d'acquisition qui doit être
fortement modulaire
pour être adaptable à tous nos projets**

Une acquisition modulaire

ASIC **IMOTEP** conçu
par l'équipe Imagerie Moléculaire



System-on-Chip (**SoC**) de Xilinx



Transmission TCP/IP
sur un lien Gigabit Ethernet



+ Expertise de l'équipe sur :

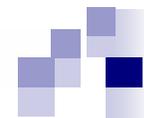
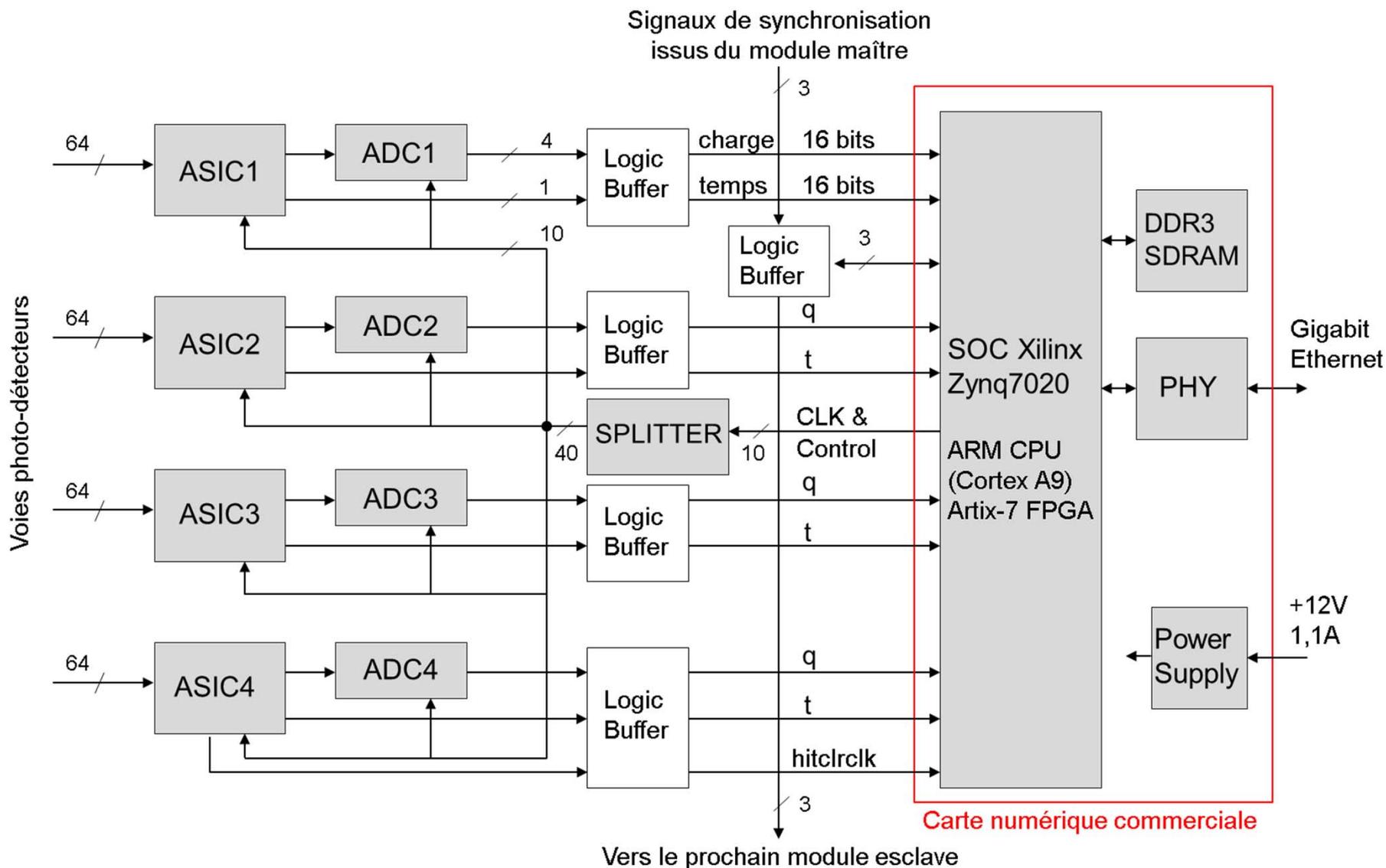
- Conception de carte électronique (schéma, simulation)
- Conception de PCB complexes (multi-couches, micro-vias)
 - Empreinte d'ASIC à bonder
 - Connectique des photo-détecteurs (ex. 1024 anodes sur 5x5 cm)
- Sous-traitance électronique
 - Approvisionnement de composants : RS, Farnell, Digikey
 - PCB : Techci (Grenoble), CSI Sud-Ouest (Toulouse)
 - Montage des composants : service Micro-technique IPHC
- Banc de test fonctionnel et photo-détecteurs

+ un besoin de modularité

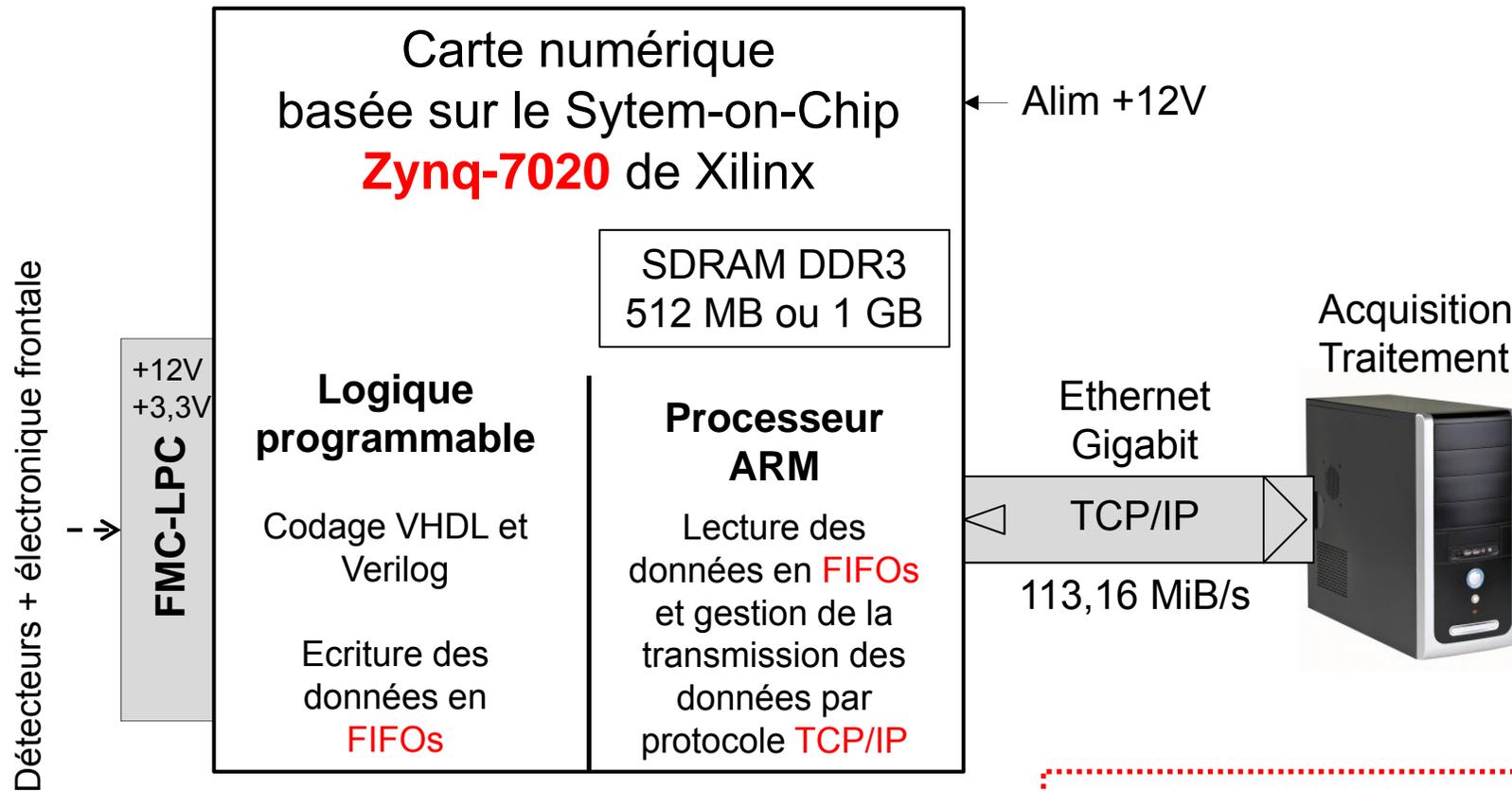
=

Nos réalisations et développement en cours

Diagramme d'un module de la DAQ



Structure de l'interface numérique de lecture



- Lecture périodique
- Protocole TCP/IP standard + ARP, ICMP et DHCP

Come and Kiss
Commercial Element and
Keep It Small and Simple

Cartes numériques commerciales

SOC Zynq-7020 + 512MB-1GB DDR3 + 128-512 Mb QSPi Flash + Gigabit Ethernet

Cartes autonomes



ZC702
Xilinx (USA)
183 x 170 mm
720 €



Zedboard
Avnet (USA)
156 x 132 mm
320 € (512 MB DDR3)



TB-7Z-020-EMC
Inrevium (JPN)
130 x 69 mm
750 €

System on Module : SOM (nécessite l'emploi d'une carte «Support»)



MicroZed
Avnet (USA)
102 x 57 mm
Connectique I/O: 2 x FCI
265 € (402 € avec carte «Support»)



ZX3
Enclustra (CH)
68 x 30 mm
Connectique I/O: SODIMM200
257 € (507 € avec carte «Support»)

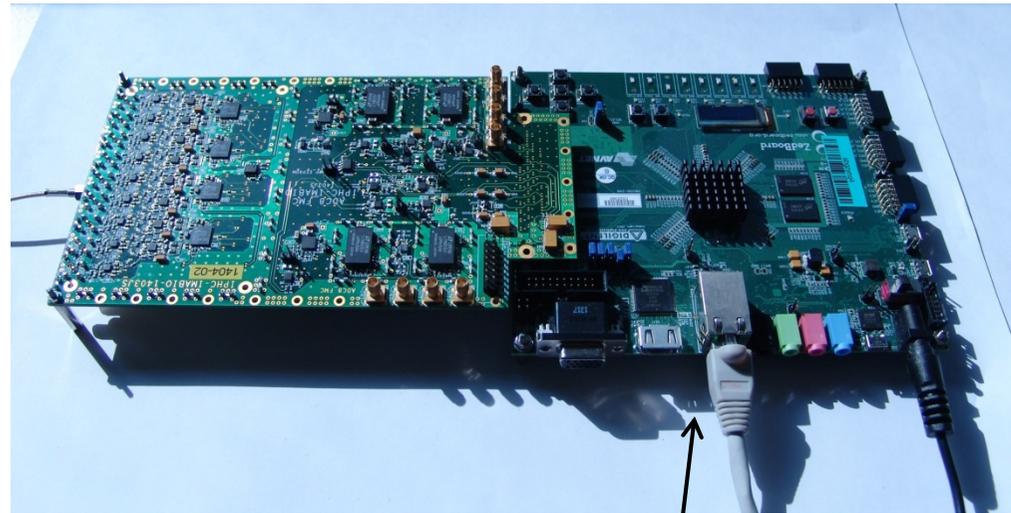


TE0720
Trenz (D)
50 x 40 mm
Connectique I/O: 3 x Samtec LSHM
289 € (589 € avec carte «Support»)

Cartes « front-end » de l'interface numérique

Carte de test ADC
ADC8_FMC

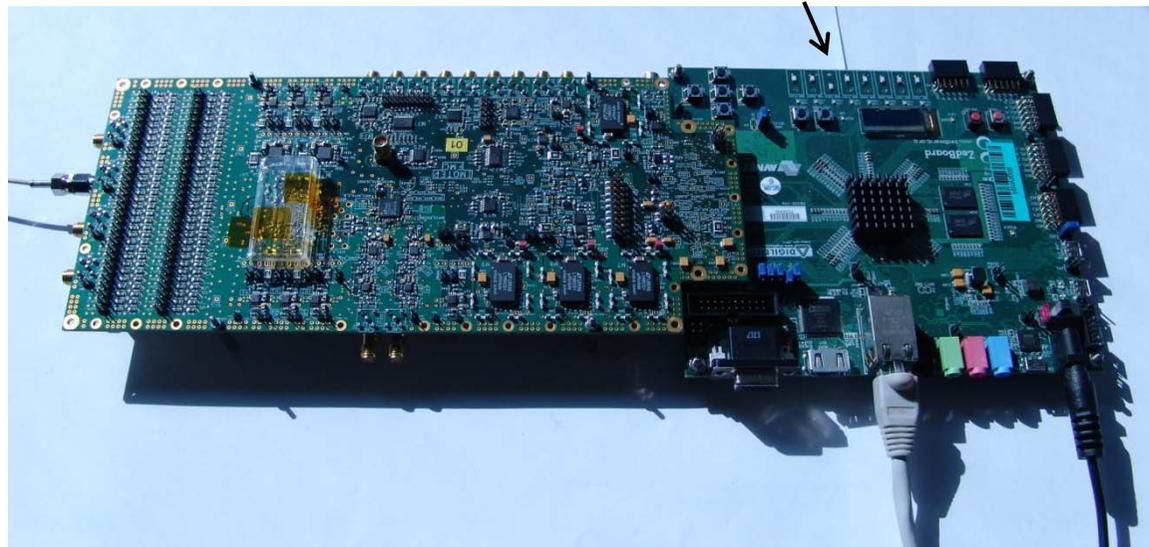
8 voies ADC - 125 MHz
(LTC2195, Linear Technology)



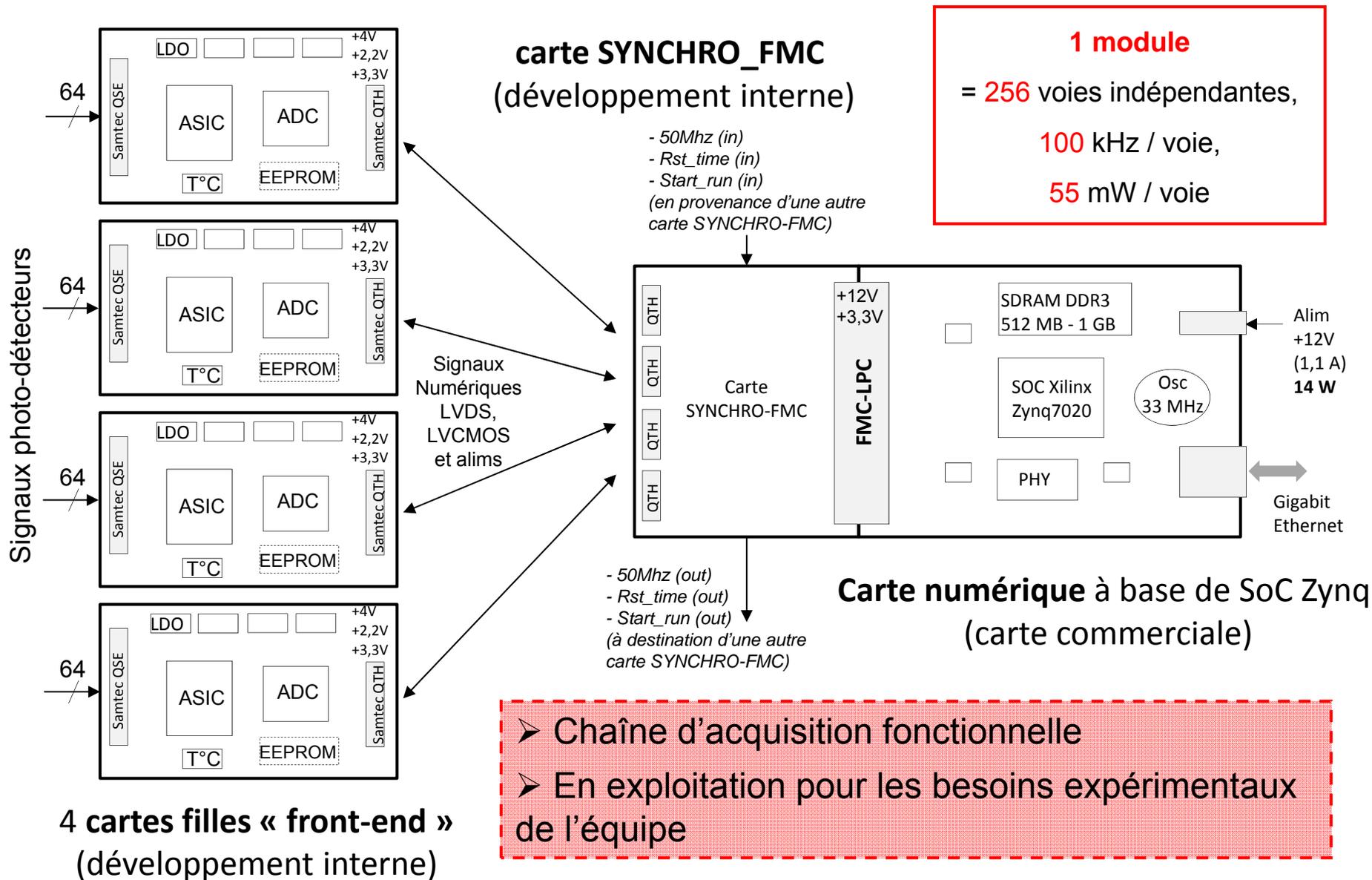
ZedBoard

Carte de test ASIC
IMOTEP_FMC

1 ASIC IMOTEP

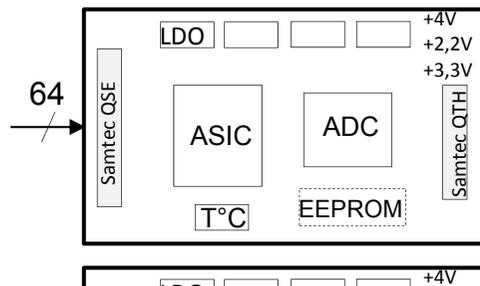


Architecture d'un module de la DAQ



- Chaîne d'acquisition fonctionnelle
- En exploitation pour les besoins expérimentaux de l'équipe

Architecture d'un module de la DAQ



carte SYNCHRO_FMC
(développement interne)

- 50Mhz (in)
- Rst_time (in)
- Start_run (in)
(en provenance d'une autre
carte SYNCHRO-FMC)

1 module
= **256** voies indépendantes,
100 kHz / voie,
55 mW / voie

Signaux photo-détecteurs

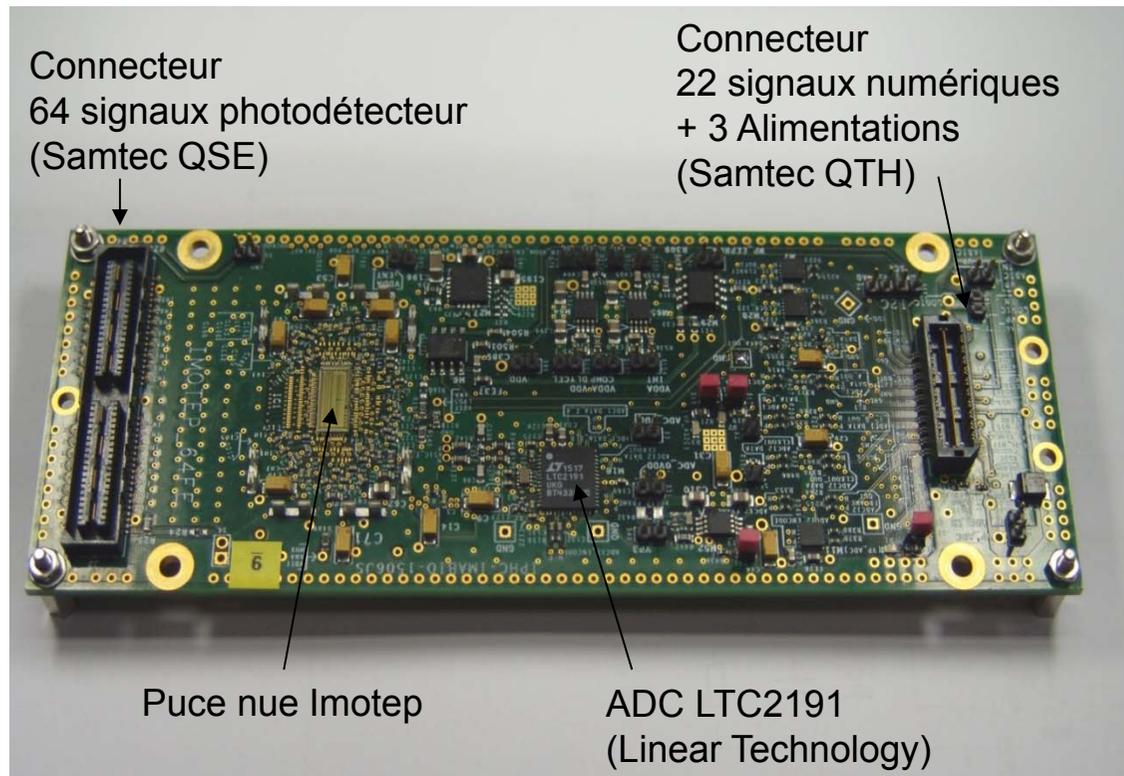


Nappes Twinax 100 Ω
(Samtec HQDP)

4 cartes filles « front-end »
(développement interne)

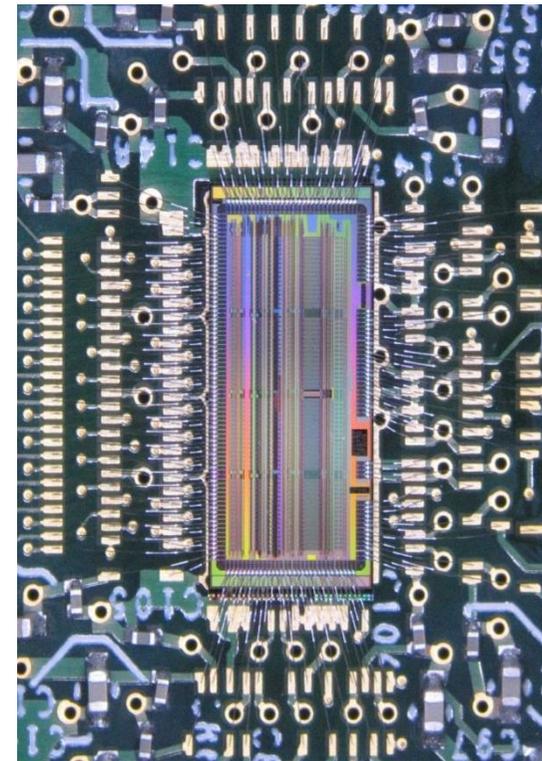
➤ En exploitation pour les besoins expérimentaux
de l'équipe

Carte « front-end »



Montage de la puce IMOTEP :

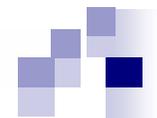
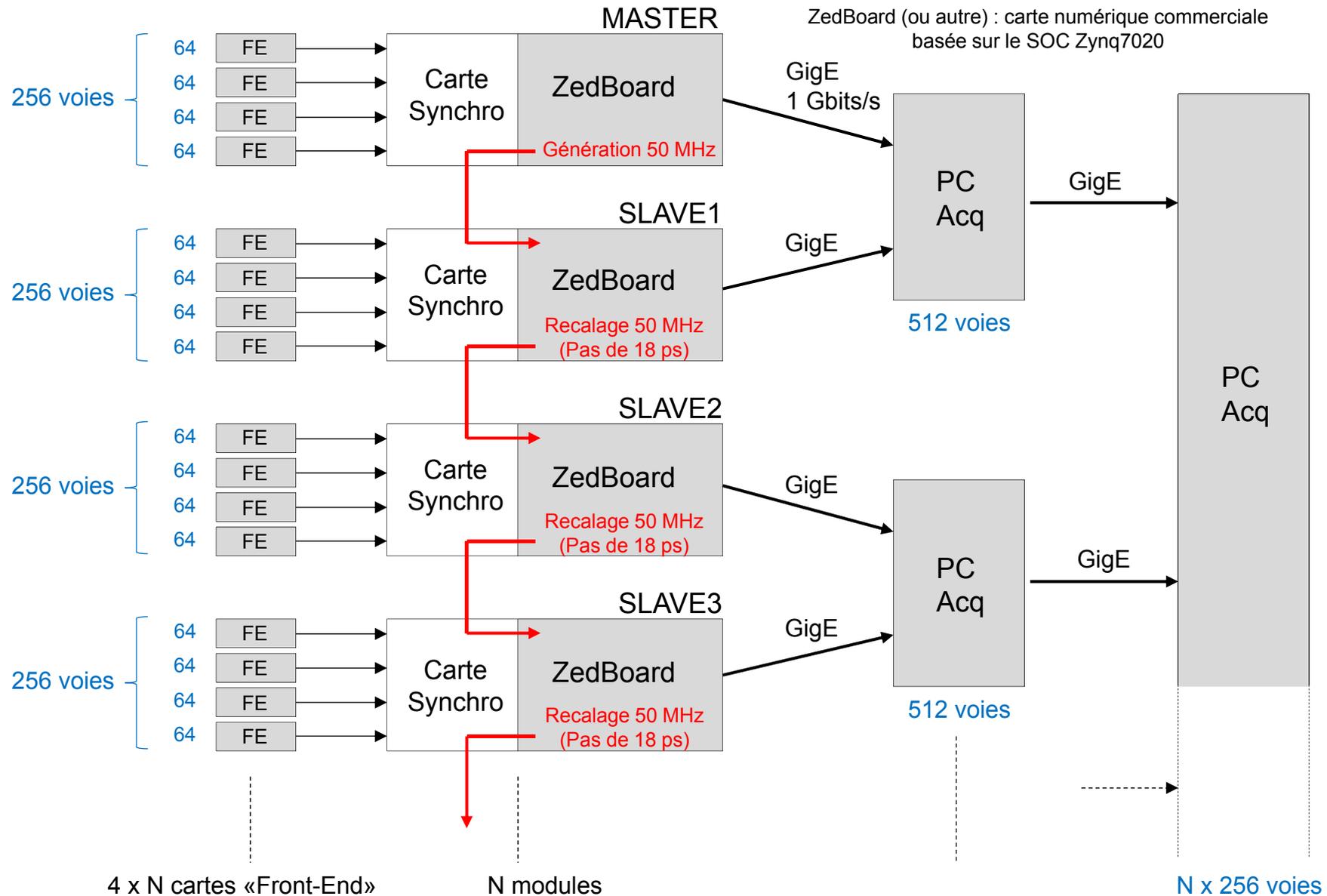
- Fabrication de la puce:
AMS CMOS 0.35 μm
- Technique de montage:
« Chip On Board » (COB)
- Bonding: service
MicroTechnique (IPHC)
- Fils de bonding: aluminium



Carte « Front-End » 64 voies:

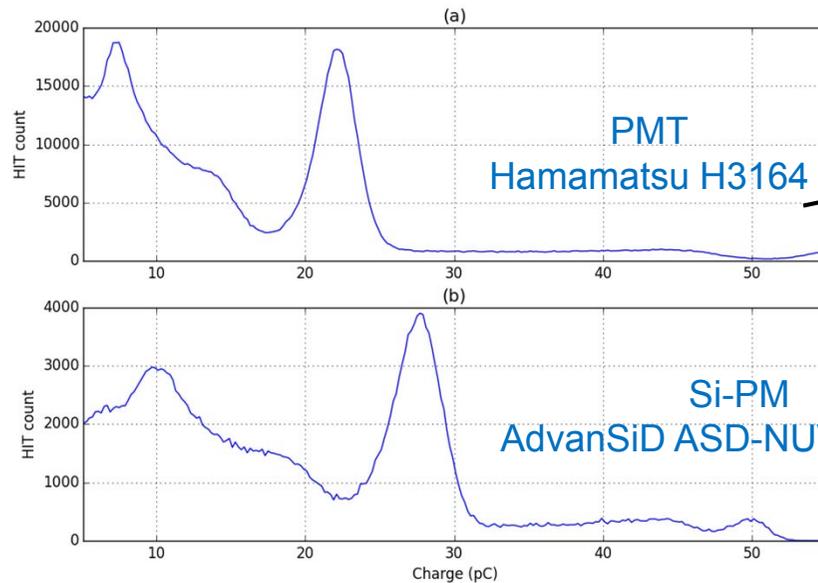
- Dimension: 135 x 50 mm
- PCB: 12 couches / Classe 7 (isolement mini 100 μm) / Microvias 150 μm
- Fabricant PCB: CSI Sud-Ouest (Toulouse)
- 400 composants Top et Bottom
- Taille mini de boîtier CMS: 0402
- Câblage des prototypes: service de MicroTechnique de l'IPHC

Association de modules



Résultats de mesures de photo-détecteurs

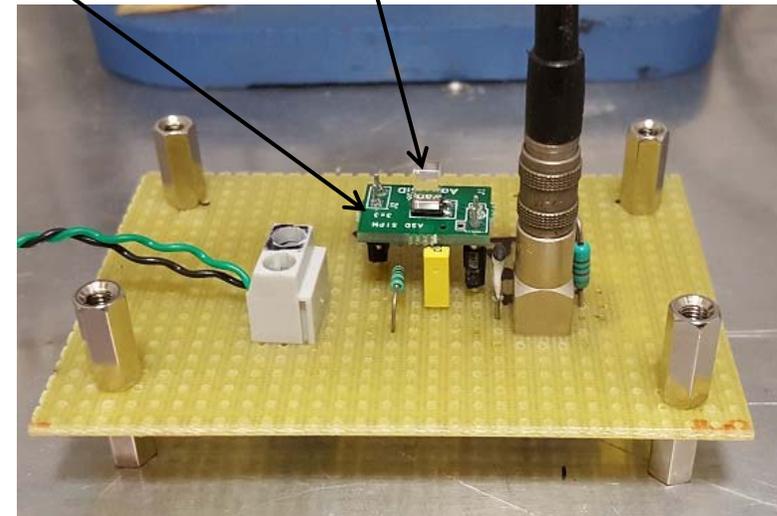
Spectres en charge



Source ^{22}Na



Cristal LYSO

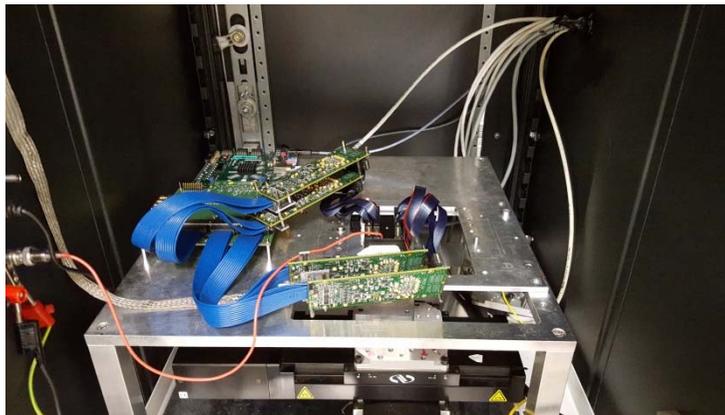
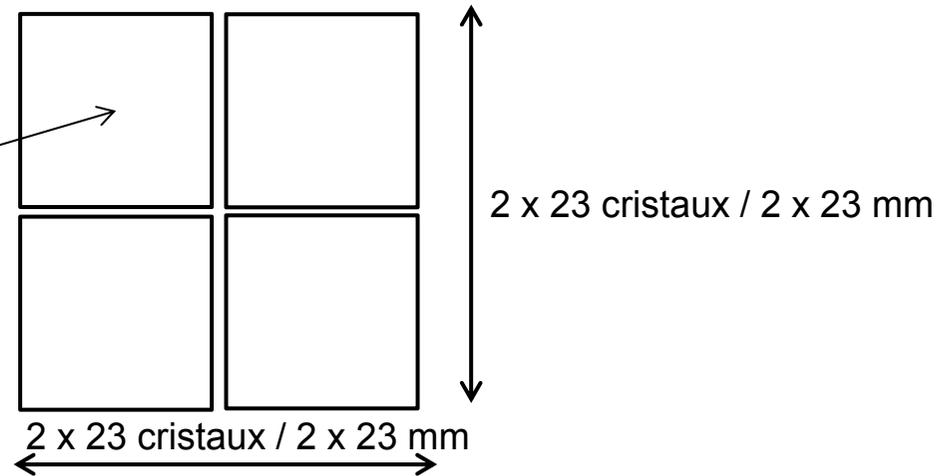


- Source ^{22}Na
 - Cristal LYSO $3 \times 3 \times 5 \text{ mm}^3$
 - Résolution en énergie du PMT : 14,5 %
 - Résolution en énergie du Si-PM : 11,2 %
- En accord avec l'état de l'art...*

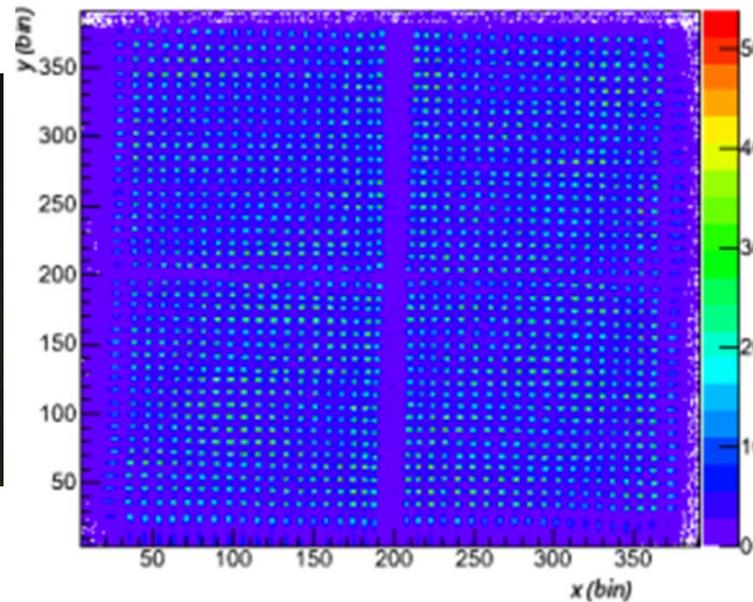
Résultats de mesures de photo-détecteurs



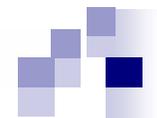
Matrice de 23 x 23 cristaux de LYSO de $0,98 \times 0,98 \times 6 \text{ mm}^3$ (pitch = 1 mm)

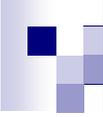


Projection 2D



Mesure sur les **256** voies d'un MA-PMT Hamamatsu H9500



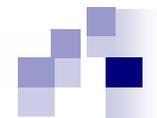
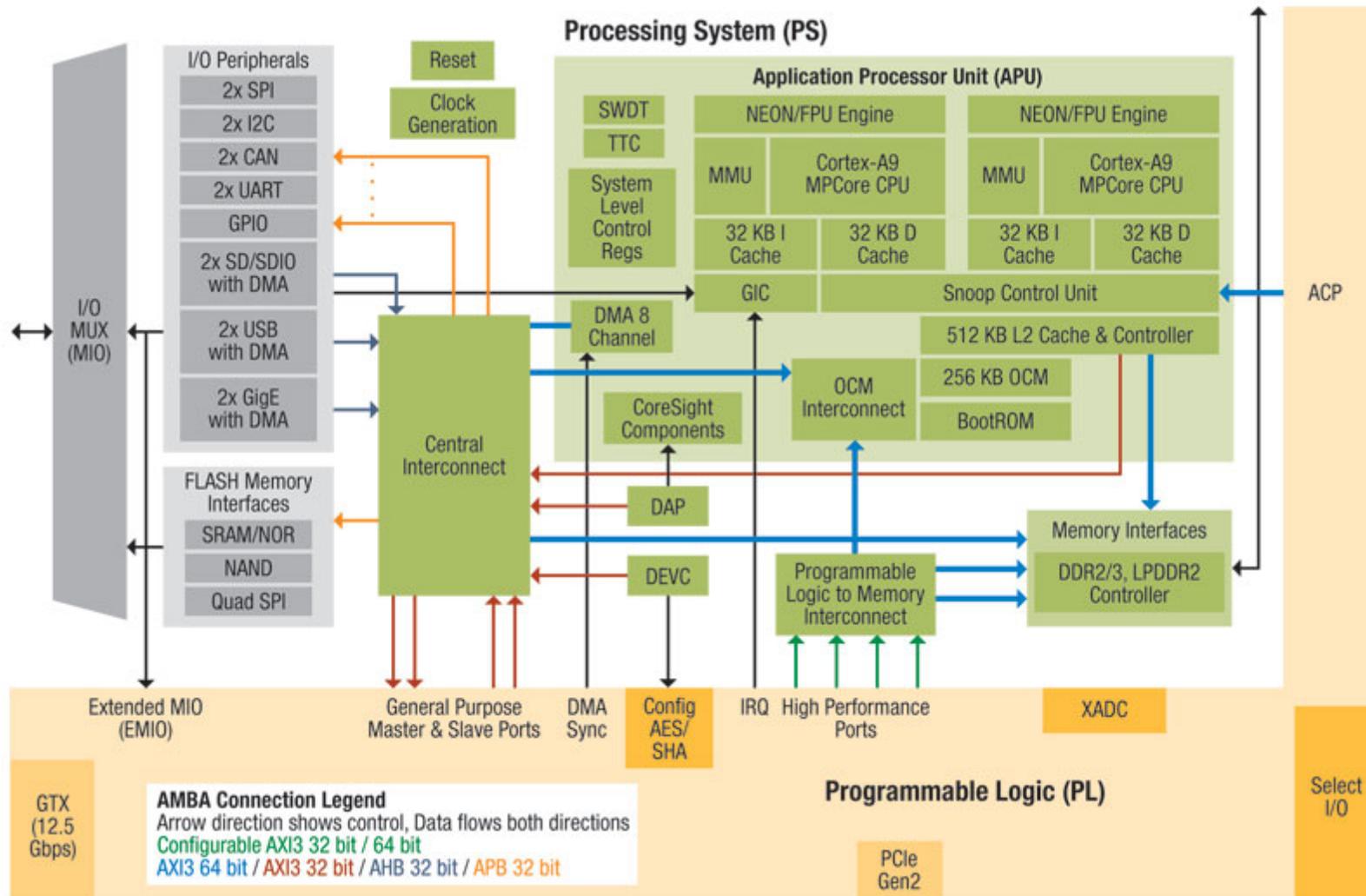


Conclusions du module d'acquisition

- Carte numérique d'interface de lecture performante et économique
- Transfert technologique de la carte numérique à la société Inviscan
- Exploitation à venir de 30 modules dans le projet « DigiPET » porté par la société Inviscan en collaboration avec l'équipe Imagerie Moléculaire et la société Streb&Weil, et financé par la région, la BPI et l'eurométropole



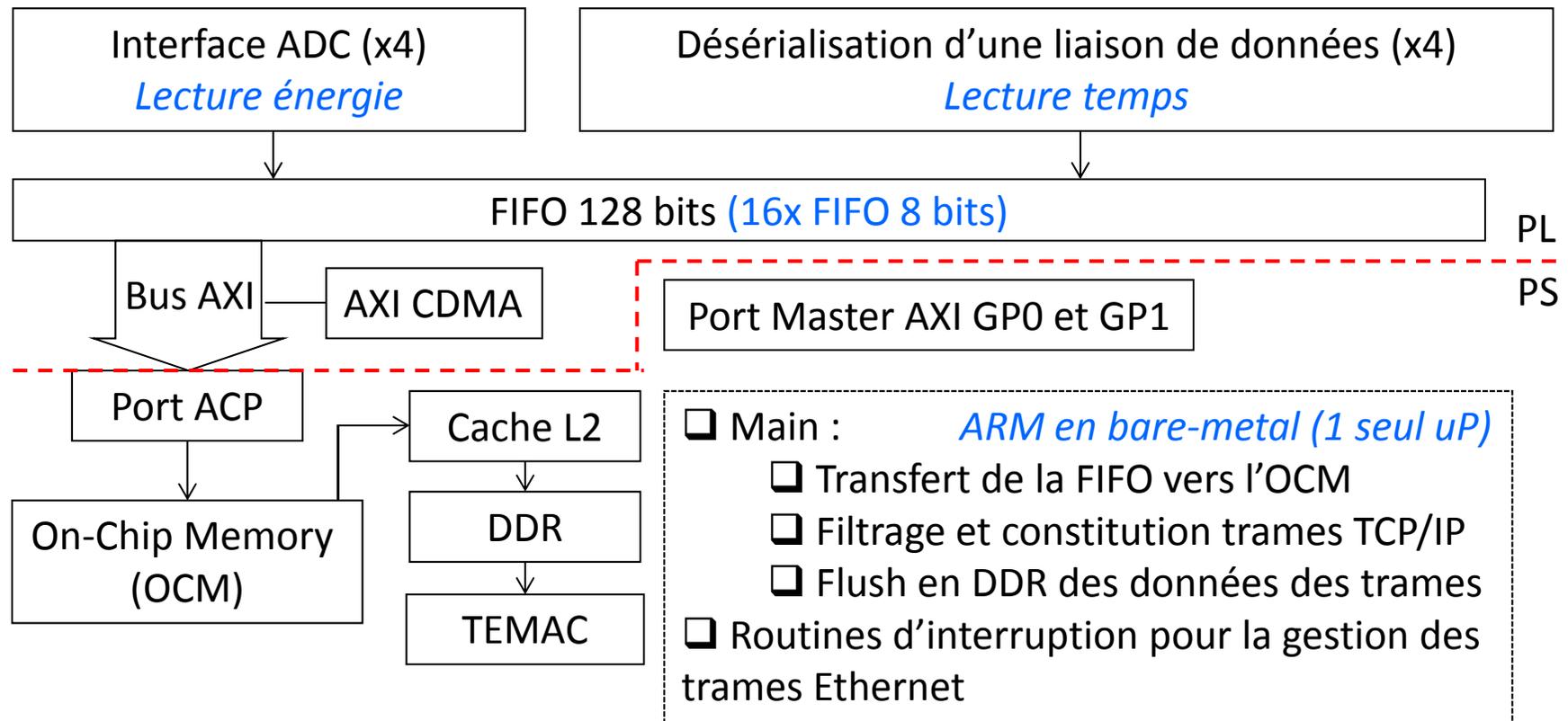
Retour d'expérience du développement Zynq



Fonctionnalités de la programmation Zynq

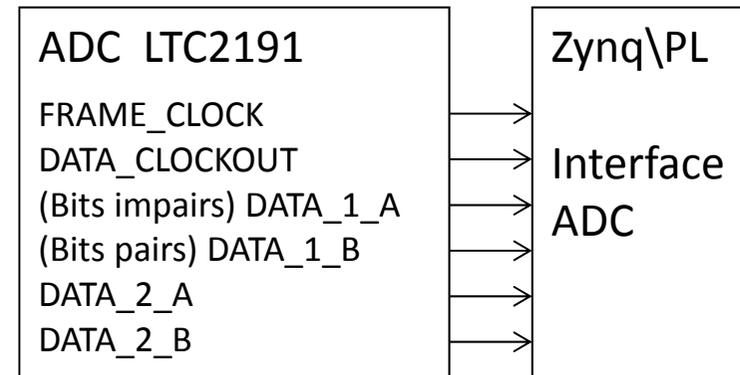
Besoin de la partie numérique du système d'acquisition :

- Lecture de données numériques par des liaisons séries LVDS en flux continu
- Filtrage des données non-pertinentes
- Retransmission des données sur une liaison Ethernet Gigabit par protocole TCP/IP



Interface ADC en VHDL pour liaisons séries LVDS

Fonction : dé-sérialiser les données issues d'un ADC en conversion continue.



Utilisation du code source proposé par Marc Defossez :

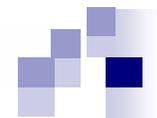
[xapp524](#) Serial LVDS ADC interface

Configuration :

- mot 16 bits
- 2 liaisons de données (1 pour bits pairs, 1 pour bits impairs)
- MSB first

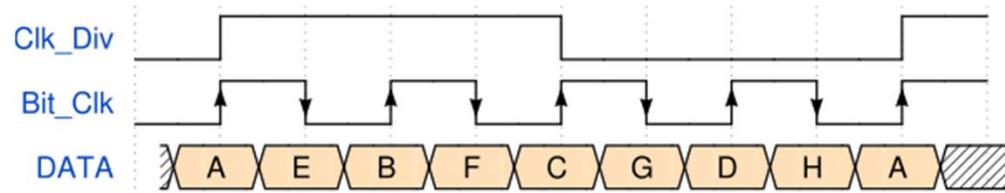
Modifications apportées :

- « recâblage » des primitives ISERDESE2
- recodage de la machine d'état BitClock

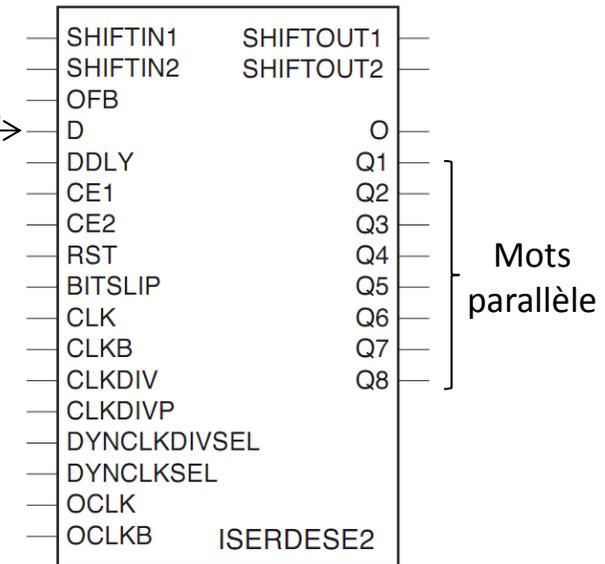


Retour d'expérience de la primitive ISERDESE2

ISERDES : Input SERIALizer/DESerializer

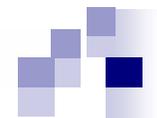
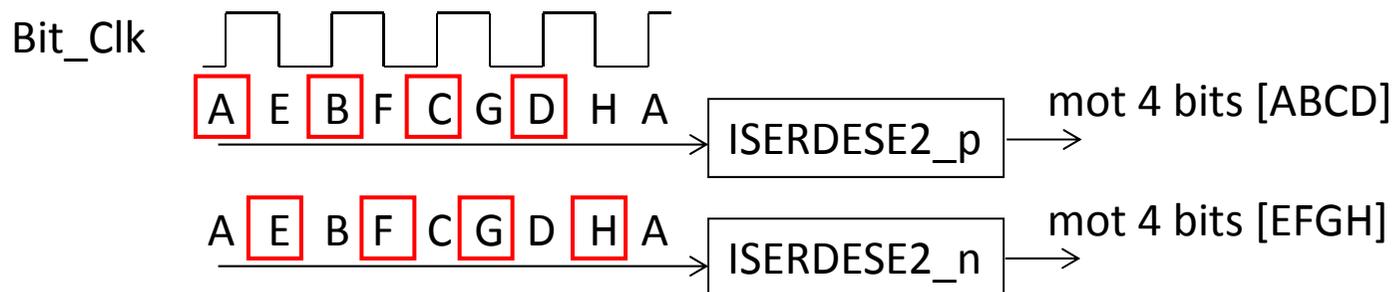


Mots
série



Conditions d'utilisation telles que dans la note d'application xapp524 :

- MODE = "MASTER"
- INTERFACE_TYPE = "NETWORKING"
- IOBDelay = "NONE"
- DATA_RATE = "SDR"
- DATA_WIDTH = 4



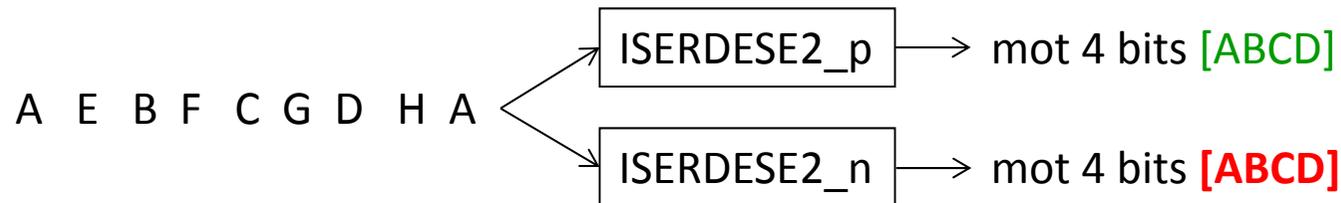
Retour d'expérience de la primitive ISERDESE2

Comportement de l'ISERDESE2 fonction du branchement des entrées **CLK** et **CLKB** :

D'après la documentation :

Si ISERDESE2_p/**CLK** = BitClk, ISERDESE2_p/**CLKB** = /BitClk

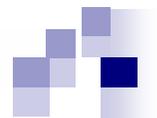
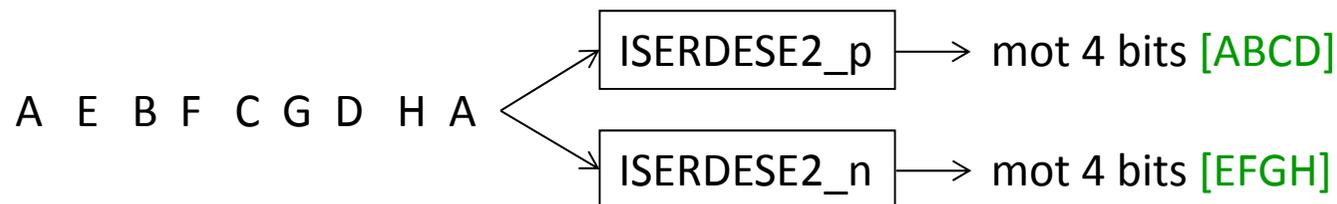
Et ISERDESE2_n/**CLK** = /BitClk, ISERDESE2_n/**CLKB** = BitClk



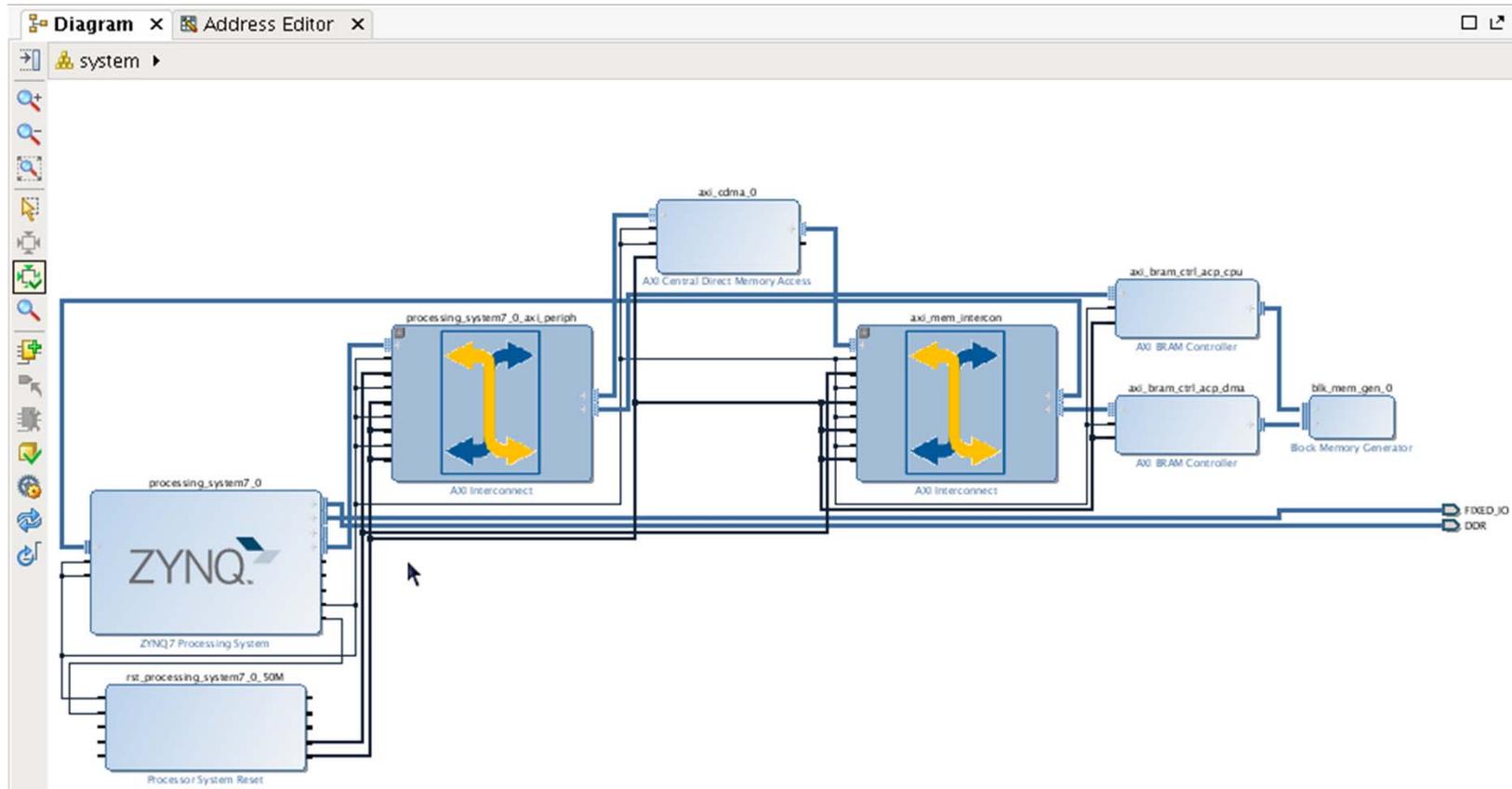
Par expérience :

Si ISERDESE2_p/**CLK** = BitClk, ISERDESE2_p/**CLKB** = Low

Et ISERDESE2_n/**CLK** = /BitClk, ISERDESE2_n/**CLKB** = Low



« Block design » du projet Vivado



File -> Export -> Export Block Design : export en fichier texte du « block design » en équivalent script Tcl (ex. [block_design.tcl](#)).

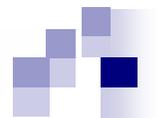
(le script pourra être exécuté pour re-crée le « block design » en mode graphique)



Gestion de project avec Vivado par scripts Tcl

Méthode de création des sources du design du PL :

- Création et constitution du design en mode projet sous Vivado
- Création du script Tcl permettant de recréer le projet Vivado graphique tel qu'il est:
File -> WriteProjectTcl : création du fichier `script_create_Vivado_project.tcl`
 - L'exécution de ce script aboutit à la création du fichier projet .xpr
 - Le script contient toutes les propriétés du projet :
 - Le nom du FPGA cible, le langage préférentiel (ex. VHDL), ...
 - La configuration des étapes de synthèse et d'implantation
 - Le script appelle le script du « block design » `block_design.tcl`
- Gestion du multi-plateforme : **un seul et même code source** définit pour plusieurs cartes de développement Zynq (ex. *zc702* et *Zedboard*) : après l'appel au script du « block design », il faut gérer la spécificité de chaque carte en ré-exécutant conditionnellement des commandes Tcl de création du design (ex. la ré-exécution de la configuration du PS). La condition peut être la valeur d'un argument passé à l'appel du script `script_create_Vivado_project.tcl`.



Bootloader

Rendre le Zynq autonome en chargeant un ensemble **bitstream** + **binaire de l'application soft** dans une mémoire flash externe (ex. mémoire QSPI)

Mode d'emploi dans SDK :

- créer une bootimage avec la commande **Xilinx Tools -> Create Zynq Boot Image** : l'importation des fichiers nécessaires doit se faire dans un ordre précis : le binaire du FSBL (First Stage BootLoader), puis le bitstream et enfin le binaire de son application. Pour une mise en flash QSPI, exporter la bootimage en **.mcs**.
- programmer la flash avec la commande **Xilinx Tools -> Program flash**

Bootimage du projet PET

- Mise en flash d'un programme de boot à travers l'Ethernet
- chargement par le PC d'acquisition sur le Zynq du programme d'acquisition à exécuter (chaque programme d'acquisition contient une commande pour revenir au programme du bootloader) (ex. un programme par filtrage de données à réaliser)

