



Porquerolles école d'électronique

20-25 mai 2007

D'Inglin G Chaumontet

PLAN

-EXPERIENCE

-Projets Industriels

Petit volume

Chauvin Arnoux

MGPI

IRIS

Grand volume

LVDA

-ACTIVITE TEST

-BESOINS INDUSTRIELS ACTUELS

-Le passage au numérique et liaison RF

-Prototypage rapide

-ORIENTATION

-Projets collaboratifs

-CAMEL

-CAPTAUCOM

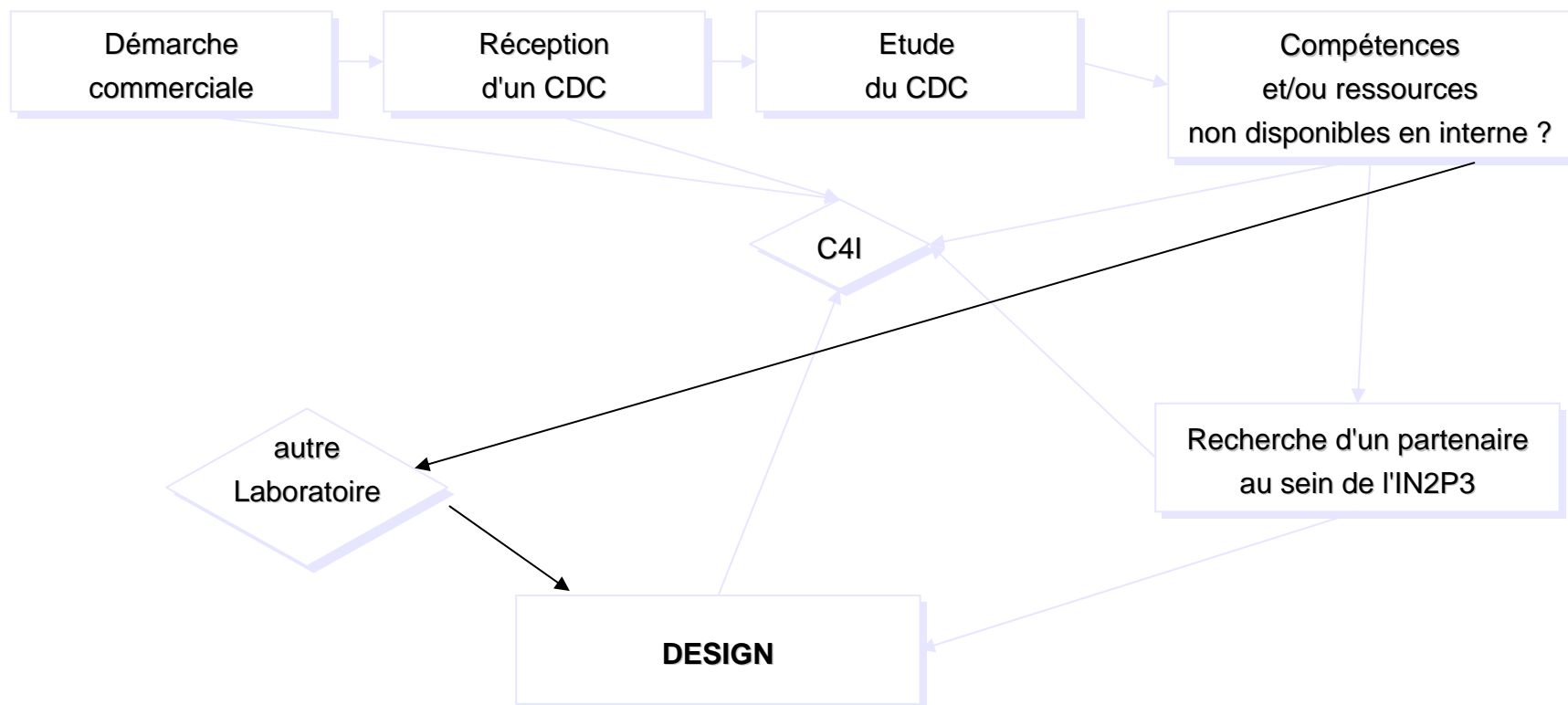
-Les apports respectifs : C4I -> laboratoires et laboratoires -> C4I

-De C4I à MIND

-La norme ISO



Trame simplifiée



EXPERIENCE



Porquerolles école d'électronique

20-25 mai 2007

Dinglin G Chaumontet

PROJET MGP Instruments

-Circuit intégré spécifique de détection et de mesure de rayonnements ionisants multivoies autonome

Environnement : Electronique sous radiation faible

Le client

-MGP Instruments spécialisé dans la mesure de radioactivité et d'analyse de composants physico-chimique situé à Lamanon

Le contrat

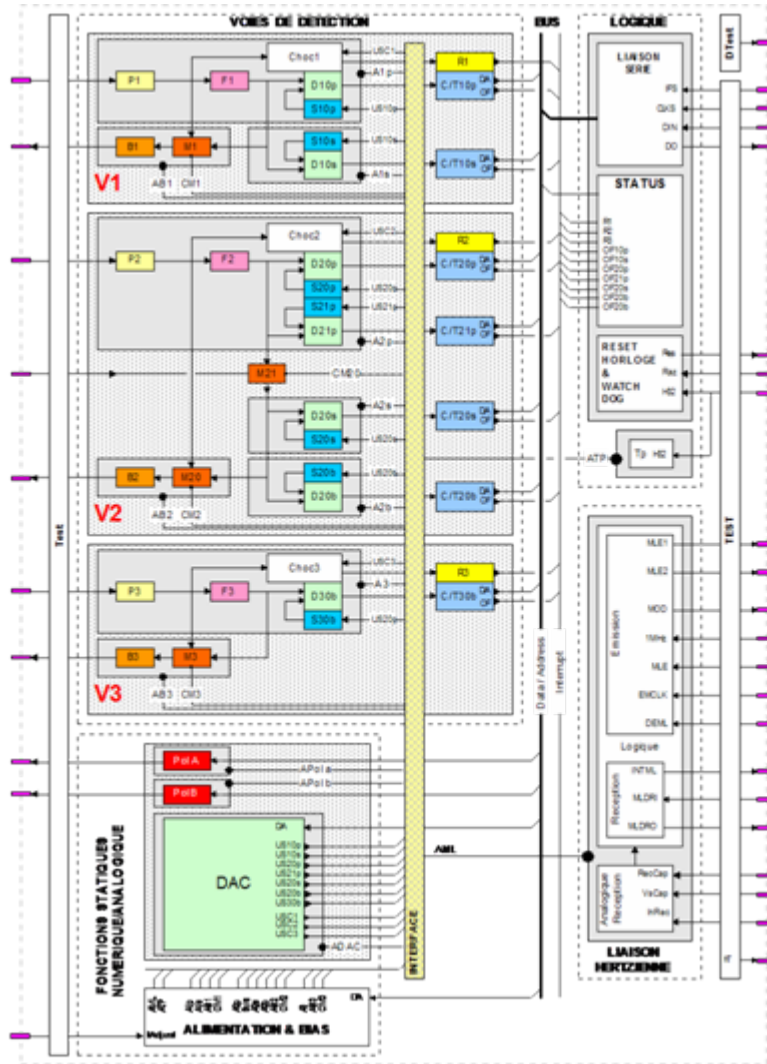
- C4I – CPPM (sous traitant de C4I) et qui a déjà réalisé un ASIC pour MGP Instruments
- Le CPPM est en charge de l'interface d'entrée(préampli de charge back end & front end)
- Points hebdomadaires + déplacements mensuels et revues
- Etude de faisabilité terminée → conception en cours
- Engagement :
 - Respect des spécifications clients
 - Respect du délais et du nombre de run de mise au point,
 - Respect du prix puce négocié avec le client
- Production et test de petite série
- Durée du projet 1 an démarrage de l'étude février 2007
- Coût conception 135K€coût puce testée 0.16€/mm² pour 100000 puces et 75% rendement
- Contact **H Mugnier**



PROJETS INDUSTRIELS

IN2P3

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE
ET DE PHYSIQUE DES PARTICULES



Technologie 0.35um XFAB

Estimation de taille 12mm²

50 Pads

Stand by < 1uA

Reception main libre < 3uA

Charge détectée 4000 à 300000e-

Bruit RMS 700e-

Détecteur 10pF et 10nA

Discriminateur dynamique 7680e-

Résolution 120e-

Consommation/voie 12uA



Porquerolles école d'électronique

20-25 mai 2007

D linglin G Chaumontet

PROJET IRIS version 1 et 2

Concevoir une puce destinée à des applications médicales de type radiographie et fluoroscopie pour être hybridée avec le détecteur.

IRIS1 pixel et matrice de 32x32 IRIS 2 matrice de 200x200

Dans le cadre de ce projet :

-C4I est le contractant.

-CPPM est le laboratoire de l'IN2P3 possédant les compétences nécessaires à la détection de particules. Il est sous traitant de C4I.

IRIS 2 durée 6mois 50K€

Contact **F Petitjean**

➤ Découpage des tâches :

- Pixel (back-end to front-end) : CPPM
- Périphérie / layout global / gestion du run : C4I

➤ Méthode de travail :

- Point hebdomadaire (+ en fonction des besoins)
- Revues
- Travail sur site pour la mise en commun des cellules



Le projet IRIS2 : Quelques données

Technologie ST BICMOS6G 0.35 μ m

Taille du circuit : 20mm*20mm

Taille du pixel : 75 μ m*75 μ m

Principe à double pesée

Possibilité "d'abouter" 4 matrices

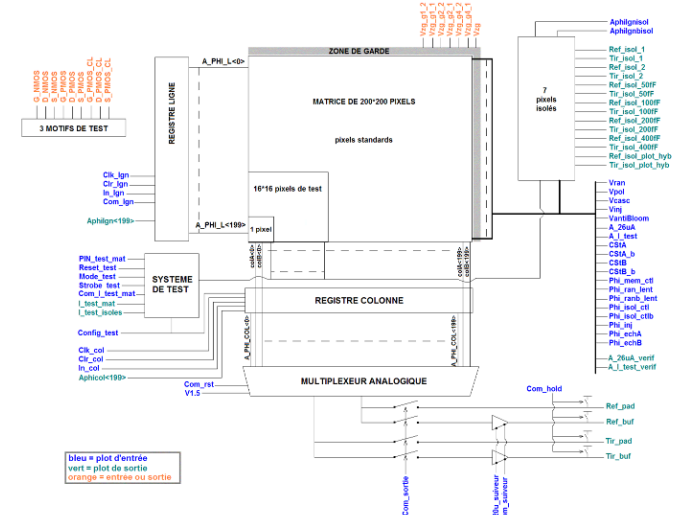
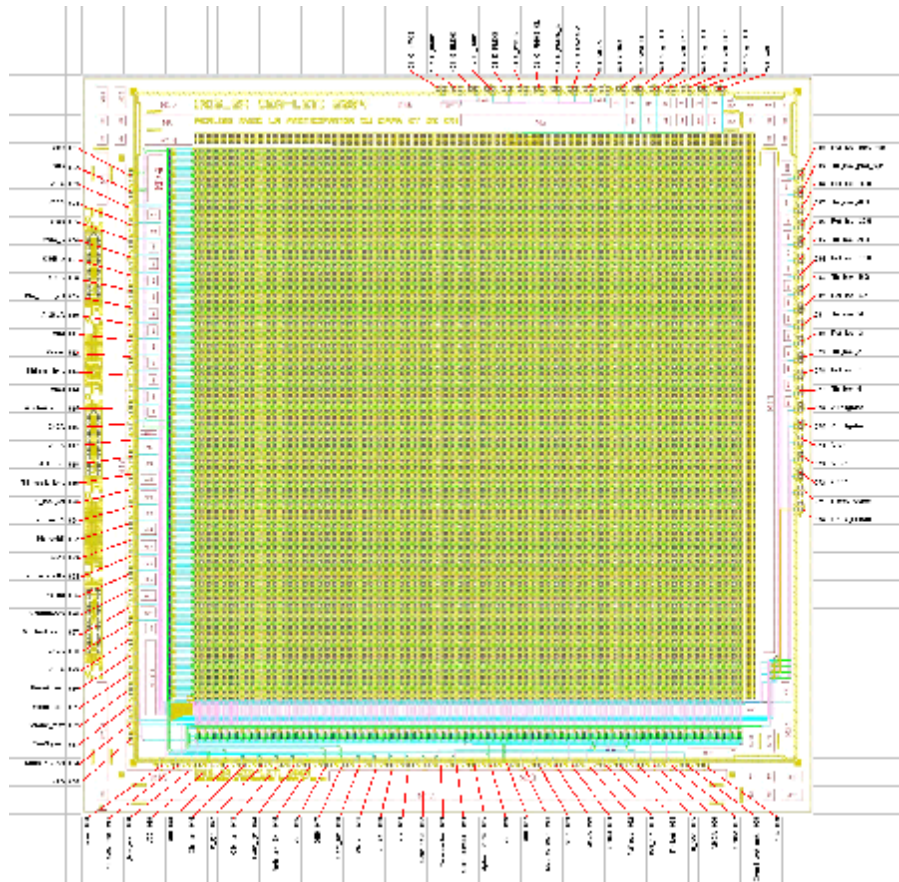
Caractéristiques :

Défaut de linéarité < 1%

Consommation statique par pixel < 1 μ A

Scopie : Bruit_{ASIC+photoconducteur} < 1500 électrons rms (pour 1pA de courant d'obscurité)

Graphie : Bruit_{ASIC+photoconducteur} < 15000 électrons rms (avec Cstockage max et pour 10pA de courant d'obscurité)



PROJET PIPELINE

Concevoir une mémoire analogique pour l'oscilloscope de la société Chauvin Arnoux compatible avec le circuit Scaling développé au C4I

Dans le cadre de ce projet :

C4I est le contractant.

LAL est le laboratoire de l'IN2P3 possédant les compétences nécessaires et qui dispose d'une cellule mémoire adaptable aux spécifications du client. Il est sous traitant de C4I.

Coût conception 231K€12% C4I- (56+8%) LAL

> Découpage des tâches :

- > Matrice (back-end to front-end) : LAL
- > Périphérie / layout global / gestion du run : C4I
- > Test réalisé au C4I
- > Debogage LAL CA et C4I

> Méthode de travail :

- > Point régulier (+ en fonction des besoins)
- > Revues
- > Travail sur site pour la mise en commun des cellules



Le projet PIPELINE : Quelques données

MEMOIRE ANALOGIQUE

2000 Points à 2Gech/s

CARACTERISTIQUES TECHNOLOGIQUES

Technologie : Silicium - 0,8 μ m CMOS

5x7.5 mm ~ 55 mm²

Encapsulation : plastique 128 broches - réf : EDQUAD-LQFP 14x14x1.4

Pourcentage Analogique/Numérique :

60 % Analogique

40 % Numérique (40.000 portes)

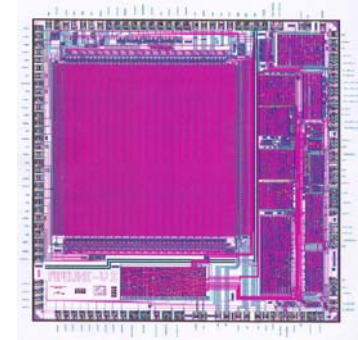
CARACTERISTIQUES ELECTRIQUES

✓ 1 GEch/s en utilisation - possibilité jusqu'à 2,25 GEch/s

✓ Bande passante : 325 MHz

✓ Tension d'alimentation : 5 Volts

✓ Consommation : 500 mW



PROJET LVDA

Type : Automobile , grand volume (>2M/an en moyenne) , faible coût (< 2 euros/puces)

Fonction : Asic programmable de conditionnement de capteurs de position de type LVDT

Environnement : Boite de vitesse

Le client

Client industriel : **ELECTRICFIL**, équipementier automobile, Lyon

Besoin : Achat de puces répondant leur besoin en termes de fonctionnalité et coût

Le contrat

Le contractant : Société AMIS, fondeur, Belgique

Engagement : Respect des spécifications clients , Respect du prix puce négocié avec le client relatif à un engagement client annuel de production sur plusieurs années.

La position du C4I

Client : AMIS Type de contrat : sous-traitance

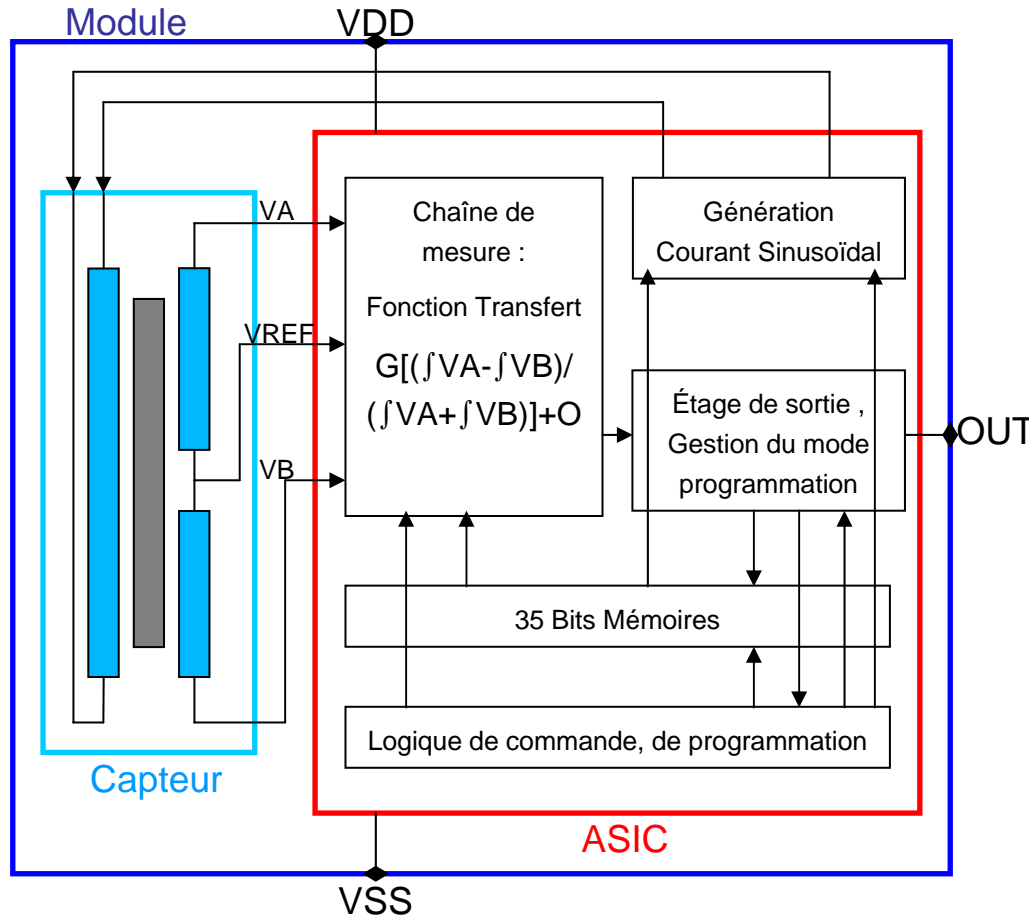
Engagement : Participation à l'élaboration des spécifications ,Participation à la réalisation du design, Participation aux tests de« débuggage », Participation à l'élaboration des tests de production ...

Conception 164K€

Contact **G Bouffard**



Le projet LVDA : Quelques données



➤ MODULE :

- 3 Pins : VDD, VSS, OUT
- Sortie analogique linéaire (pull up, pull down) ou PWM (500Hz ou 1KHz)
- Programmable (suivant le capteur utilisé et l'application)

➤ CAPTEUR :

- Type : LVDT
- Caractéristiques : plusieurs familles à gérer

➤ ASiC :

- Technologie : CMOS 0.7µm / 30V
- Surface : environ 14 mm²
- Pads : 20
- Operating range : 4.5V à 5.5V (protection contre -14V / 24V)
- Température range : -40°C à 160°C
- Résolution de sortie : 10bits
- Drift de sortie en température : +/- 1%
- Jitter de sortie : +/- 1LSB ou +/- 0.1%
- Non linéarité : +/- 1%
- Gain programmable : 1 à 3.4 sur 8 bits
- Offset programmable : +/- 40% sur 8 bits
- Programmation sur une pin (OUT)

PROJET LVDA

Historique / Calendrier du projet :

Janvier 2004 à Septembre 2004 : (C4I)

Evaluation des solutions techniques et commerciales possibles relatives aux besoins d'Electricfil.

Technique : validation du concept, estimation de surface.

Commerciale : Recherche de partenaires (Fondeur), leurs engagements, la position de C4I.

Septembre 2004 à Mai 2005 : (AMIS+C4I)

Ecriture des spécifications et développement du premier prototype.

Juin 2005 : Premier prototype fondu

Juin 2005 à Avril 2006 : (AMIS+C4I)

Analyse et traitement des bugs du premier prototype.

Re design et ajout de nouvelles fonctionnalités.

Juin 2006 : Deuxième prototype fondu

Juin 2006 à Novembre 2006 (AMIS+C4I)

Validation du bench de production et test de pré-qualification

Ajustement des derniers paramètres en vue du run de production.

Décembre 2006 : Troisième prototype fondu

Février 2007 : Validation finale de l'asic et démarrage de la production.



PROJET LVDA

Principales méthodes de travail :

Client industriel :

Suivre leur système qualité relatif au produit au cours du développement : élaboration et analyse des défauts potentiels de l'asic seul et de l'asic dans son environnement, document AMDEC / DFMEA à fournir.

Évaluation de la responsabilité de l'asic de la part du contractant lors d'un défaut de fonctionnement dans son environnement final (produit fini ou prototype).

Réunion hebdomadaire d'avancement

Fondeur :

Prototype : pas de nouveau prototype fondu si chaque bug répertorié sur la précédente version n'est pas corrigé : Preuve à fournir (Moyen : Simulation, tests, modification FIB, Run métal ...)

Test production : pas de test de la fonction globale de l'asic. La testabilité est réalisée par sous-ensemble de fonction. Les spécifications globales sont répertoriées sur chaque sous ensembles à tester. L'asic est considéré comme correct si chaque sous-ensemble répond à leurs spécifications propres. La fonctionnalité globale est validée lors des tests de qualification avant la production.



SYNTHESE

La répartition du travail a été la suivante

Laboratoires : cellules critiques à forte compétence ajoutée

C4I Circuit global , cellules standard et
gestion du projet

Projet grand volume: Le fondeur est associé techniquement et
commercialement au projet



ACTIVITE TEST



Testeur Mixte SPEA 340MX

48 voies numériques 10MHz (128 max)

•32 voies analogiques (128 max)

•1 alimentation 100V

•2 alimentations +/-10V 16bits

•Alimentation par pin P4MU

•Générateur arbitraire 20MHz

•Fréquencemètre et horloge 50MHz

•Pilotage

•Karl SUSS PA200 (Test Wafer)

•Robot ADEPT (Test circuit packagé)

•Pilotage instrument plus rapide externe

•Exemple Circuit MGPA (IPN)

•Pilotage Générateur pulse rapide

•Pilotage LECROY 500MHz



•Contact S Vitry



Test WAFER

Instrument : KARL SUSS PA200

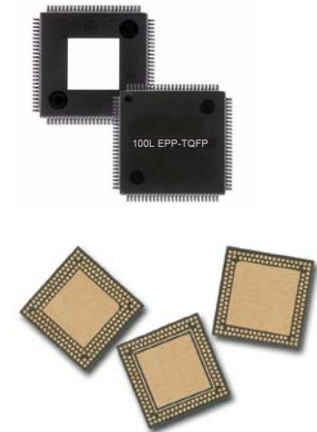
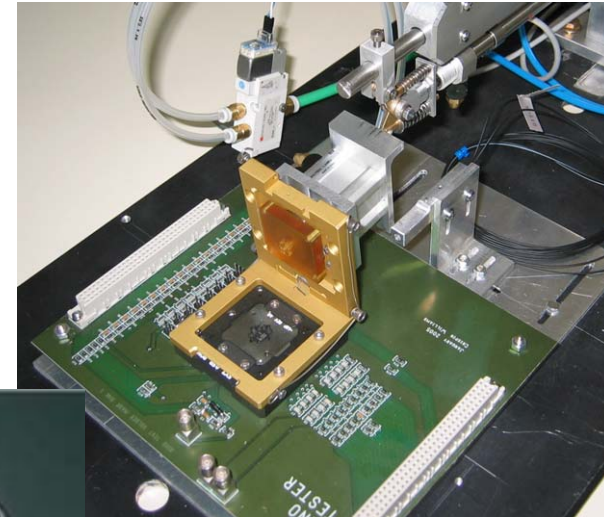
- Prober Semi-Automatique
- Taille Wafer max 8''
- Pilotage par GPIB
- Possibilité de coupe laser de piste asic
- **Placement manuel des wafers**
- **Volume de test**
 - Wafer SCALING (METRIX)
 - Taille 6'' (1250 asics/wafers)
 - Temps : 30s
 - 1 wafers/jours
 - Wafer IRIS (CEA-LETI)
 - Taille 8'' (58 unités/wafers)
 - Temps : 4 minutes
 - 3 wafers/jours



Test CIRCUIIT PACKAGE

Instrument : ROBOT ADEPT

- Circuit livré en plateau
- Communication par RS232
- Placement manuel des plateaux
- Possibilité d'encrer les circuits
- Volume de test
 - 2000-4000 pièces/jour
- Exemple de circuits testés
 - IPN Lyon MGPA
 - TQFP 100
 - 2000/jours
 - NINO Cern
 - TAPP 76
 - 4300/jours



BESOINS INDUSTRIELS



Porquerolles école d'électronique

20-25 mai 2007

Dinglin G Chaumontet

Le passage au numérique

Demande d'une plus grande flexibilité pour reconfigurer un circuit

EEPROM

Intégration de FPGA ou de microprocesseurs
(type 8051)

Usage de convertisseurs Analogique/numérique 12,14 ou 16 bits

Forte demande de liaison RF



Le prototypage rapide

Obtenir un ASIC faible coût comme démonstrateur pour déclencher un budget

Comment?

Disposer d'une bibliothèque importante de cellules analogiques pour fondre une version non optimisée

Achat d'IP

Utiliser un circuit analogique programmable



ORIENTATION



Porquerolles école d'électronique

20-25 mai 2007

Dinglin G Chaumontet

PROJETS COLLABORATIFS

Associer plusieurs partenaires (industriels et laboratoires) pour fédérer techniquement et financièrement les efforts de recherche et développement



PROJET CAMEL (CApteur Magnetique à Effet tuneL)

Le role de C4I

-Circuit intégré spécifique de traitement du signal issu de TMR pour la mesure de position pour remplacer les sondes à effet Hall.

Environnement : Electronique automobile

Le client

-SNR Fabricant de roulements à billes instrumentés, Annecy

Le contrat

-SNR SENSITEC LPM Nancy-C4I

-Retenu par l'ANR durée 3 ans

-Mise au point capteur septembre 2006 durée 1.5 an

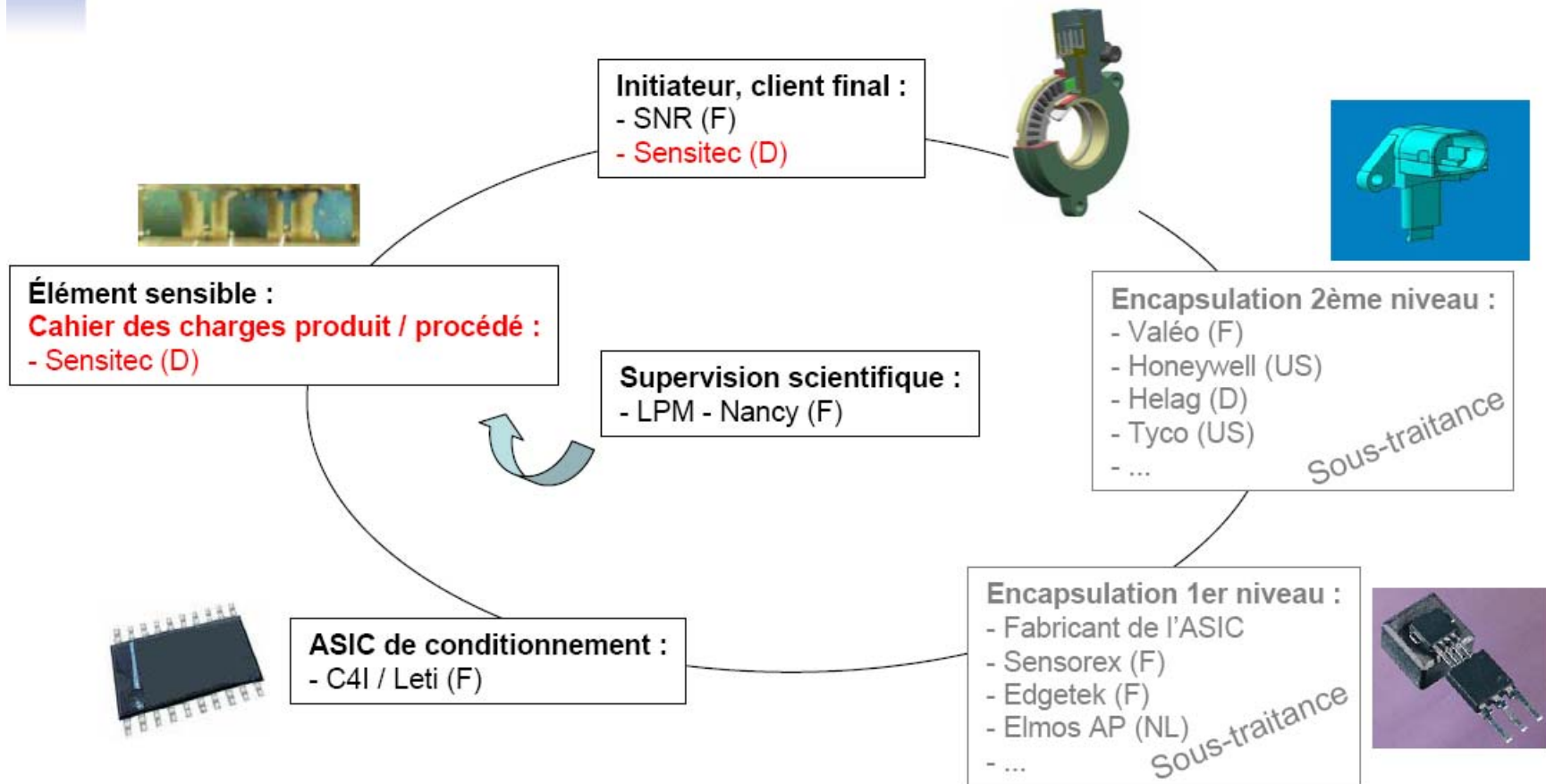
-Début de la conception septembre 2007 durée 1 an

-Pré-Industrialisation

-Projet 1.765M€ dont 372K€pour l'électronique (conception, carte, run)



PROJET CAMEL



Rappel

En « tout ou rien »

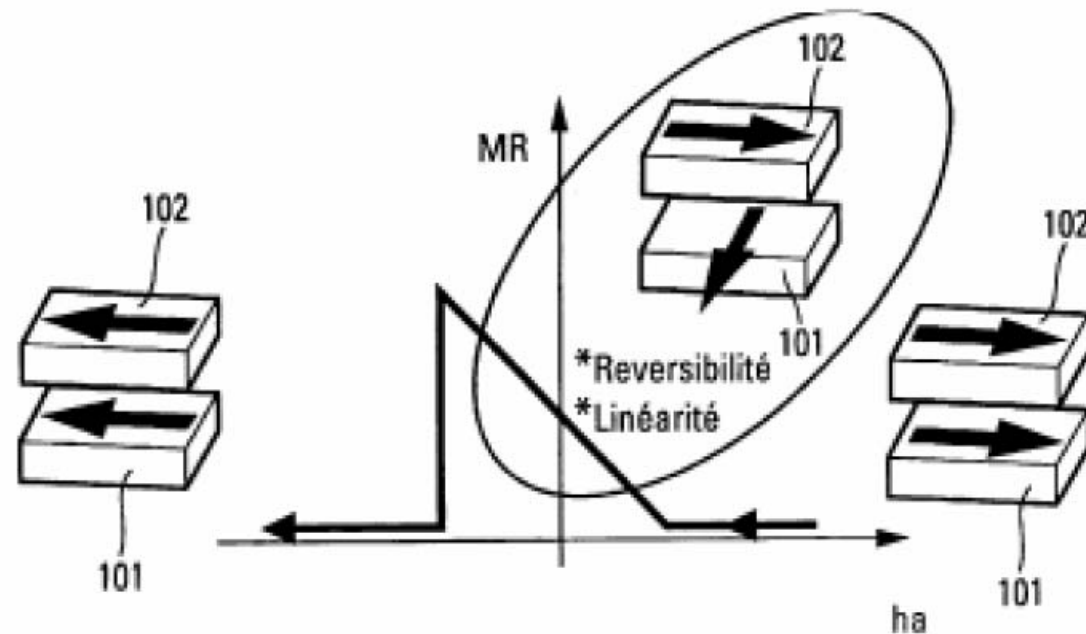


Mémoire magnétique (MRAM)
Tête de lecture magnétique

En capteur linéaire



Capteur d'angle
Capteur de champ magnétique



Géométrie perpendiculaire



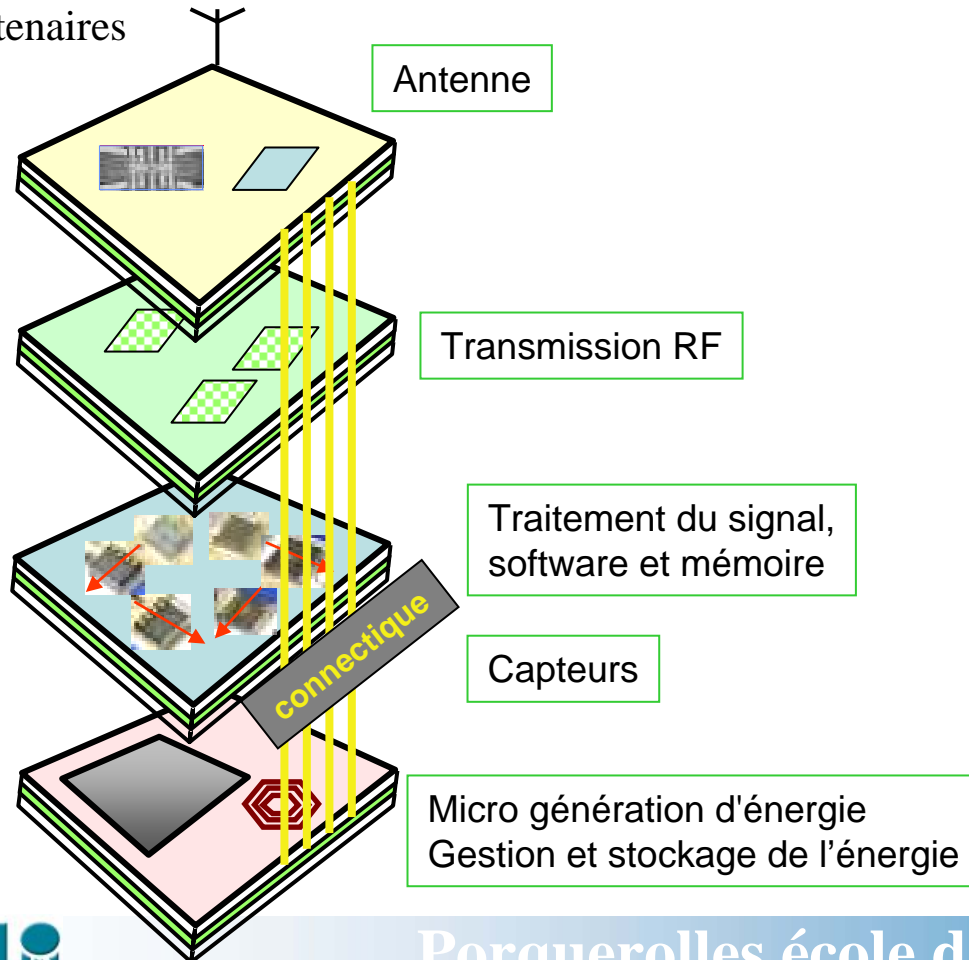
Porquerolles école d'électronique

20-25 mai 2007

D Inglin G Chaumontet

PROJET CAPTAUCOM (capteur autonome communicant)

Réalisation de brique commune pour assurer la conception du capteur autonome communicant de chacun des partenaires



PROJET CAPTAUCOM (capteur autonome communicant)

Les participants

Industriels : TEFAL, SNR, SOMFY, CETIM
Laboratoires: C4I, CSEM, LETI, LITEN

Les produits

Soin de la personne: Pése-personne
Domotique : Confort et sécurité autour d'un volet roulant
Automobile : Diagnostic préventif des défaillances d'un roulement à billes

Le déroulement

- Etude de faisabilité avril 2006 mai 2007
- Développement 3ans

Le budget

faisabilité : 382K€ dont 200K€ de soutien public
Développement 4.835M€ dont 2.4M€ de soutien public



LES APPORTS RESPECTIFS

C4I

Des licences industrielles Cadence Mentor

Des locaux

Des outils de test

La gestion des projets (client, fondeurs)

La conception back end

Les laboratoires de l'IN2P3

Des cellules à forte compétences ajoutées

Des concepteurs

Des consultants

