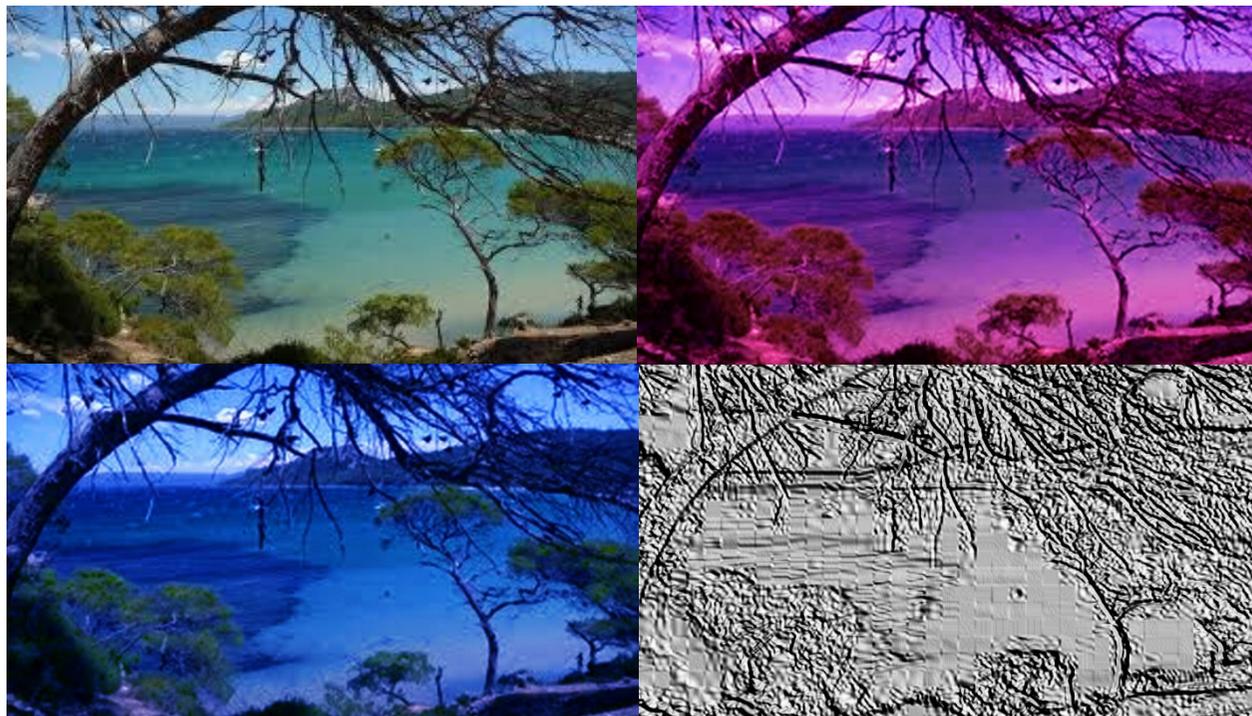


ASICs pour la Spectro-Imagerie: de l'X mou au gamma mou.



Définition et cadre

« *Un Spectro-Imageur est un système capable de générer des images résolues spectralement* ».

ou

« *Un spectro-Imageur est un système capable de faire de la spectrométrie sur un champ non limité à un seul point source* ».

Bornes: Spectro-Imagerie « hyperspectrale » de photons.

⇒ On veut localiser l'origine de chaque photon et mesurer son énergie dans une certaine gamme d'énergie « continue ».

- Résolution spatiale (en μm): plus petite différence mesurable de position dans le détecteur. Généralement la taille du pixel ou le pitch inter-strip (sauf méthodes dédiées, partage de charge... mais non traitées dans cette présentation)
- Résolution en énergie: $\Delta E/E$ (en %) ou ΔE FWHM (en eV)



Warburton W.K., Approach to sub-pixel spatial resolution in room temperature x-ray detector arrays with good energy resolution, Proceedings of the 1998 MRS Fall Symposium (Boston), vol. 487, p. 531–535.

« Amélioration de la résolution spatiale de détecteurs à semi-conducteur, pour l'imagerie gamma et X, par l'exploitation de signaux transitoires » Thèse de doctorat, Sylvère Lux, Nano électronique et nano technologies 2012

Plan



- Pourquoi des spectro-imageurs ?
- Gamme d'énergie et détecteurs associés
- Architectures
- Géométries et exemples
- Conclusion



Pourquoi des spectro-imageurs?

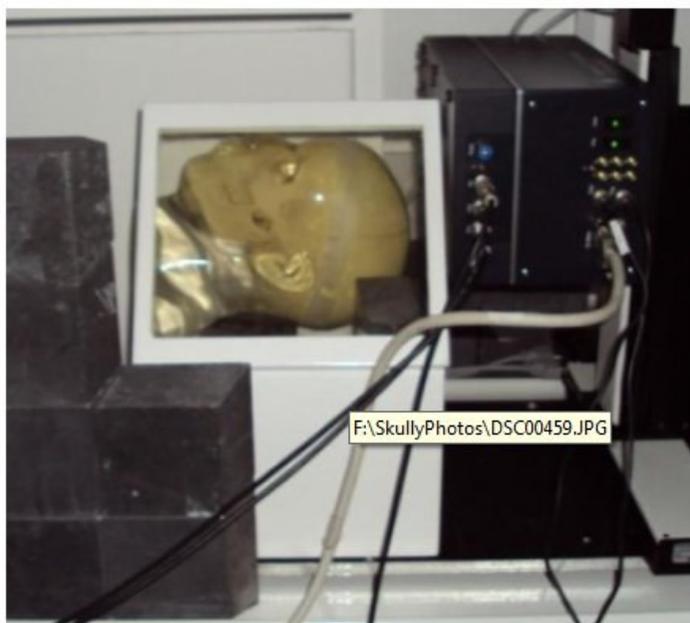


Pourquoi des spectro-imageurs?



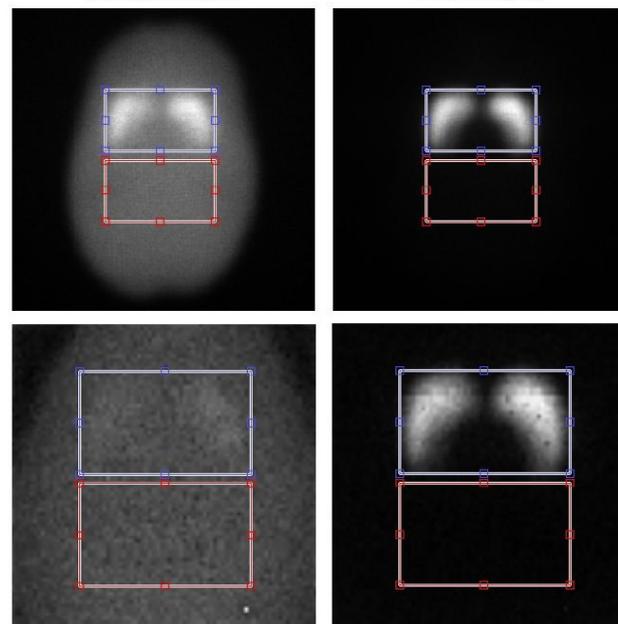
Pourquoi des spectro-imageurs?

DE LA RECHERCHE À L'INDUSTRIE
cea



Tc-99m window

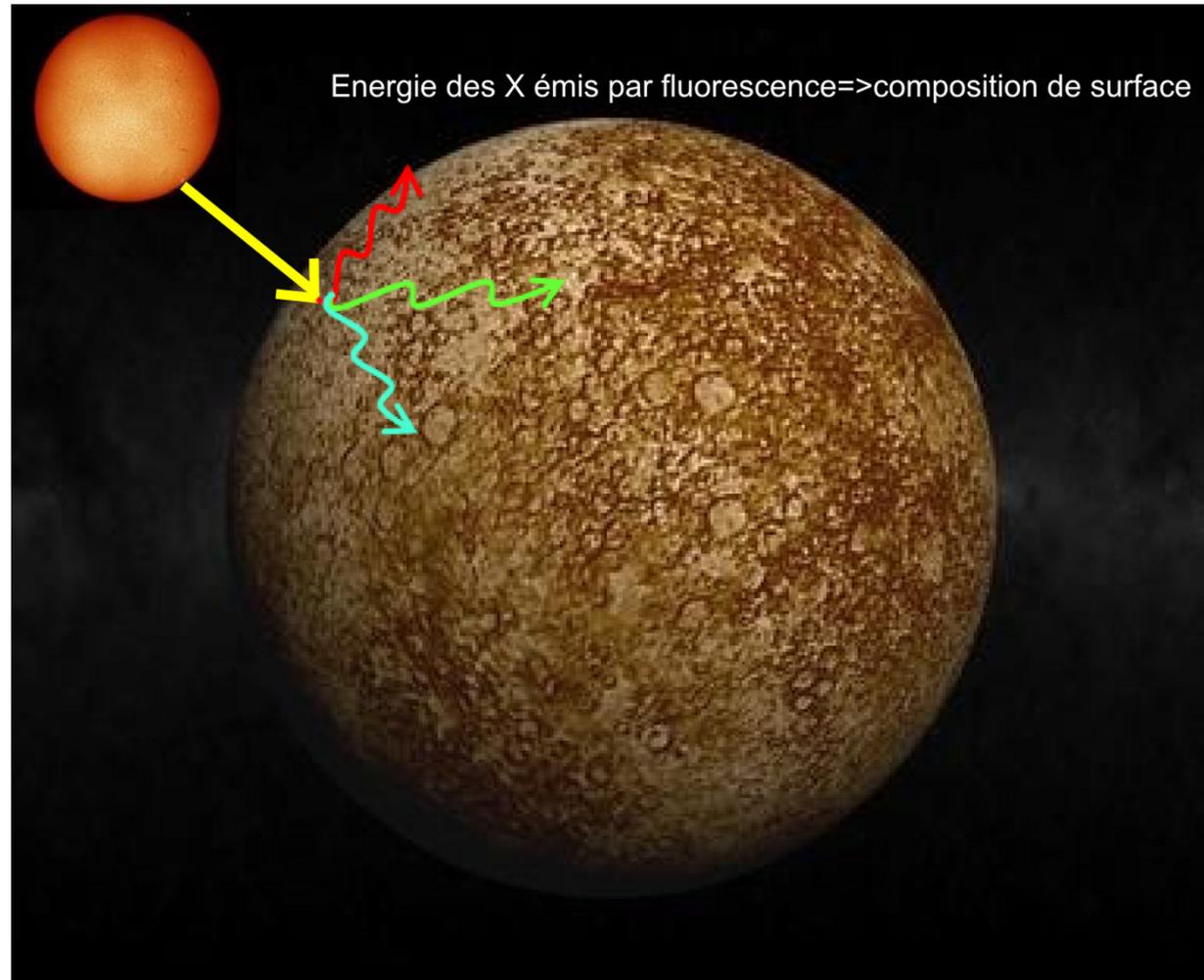
I-123 window



Amélioration de l'imagerie
par la spectroscopie:
images SPECT

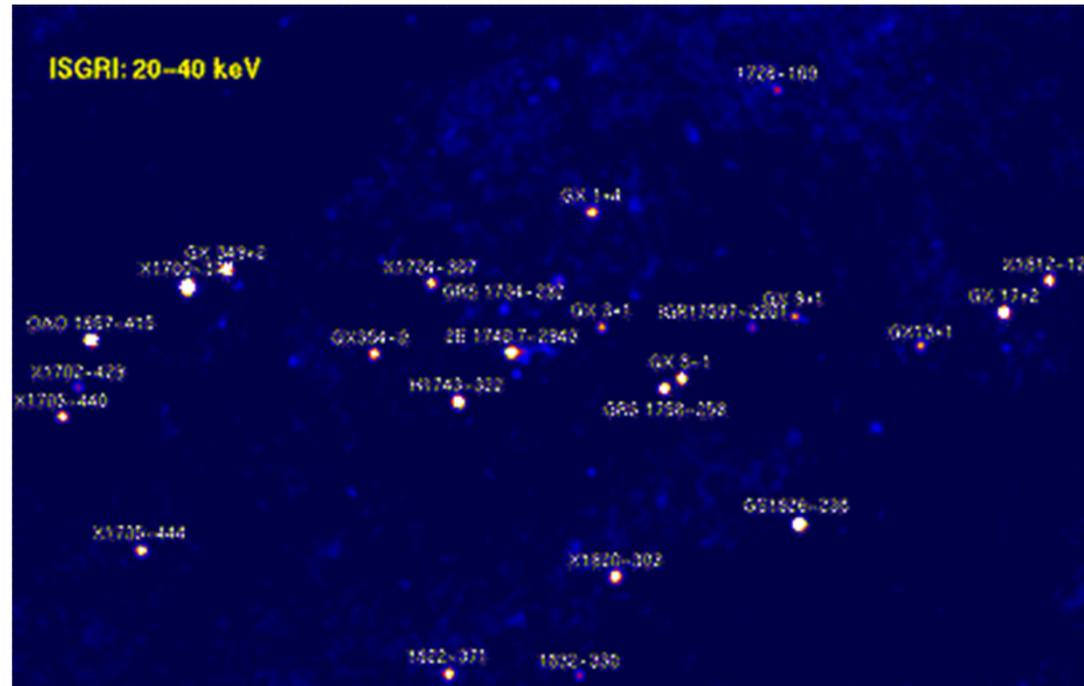

CEA - Saclay

Pourquoi des spectro-imageurs?



Fluorescence X à la surface de Mercure: Beppi Colombo 2015

Pourquoi des spectro-imageurs?



Centre galactique, observation pendant 5.7Ms
(66 jours)

Pourquoi des spectro-imageurs ?

Pour l'Imagerie médicale

La spectroscopie sert à améliorer l'imagerie fonctionnelle.

Single Photon Emission Computed Tomography (SPECT) multi traceurs [1]

Imagerie de fluorescence

Pour la « Sécurité de la nation » et les application civiles.

Diffraction X en dispersion énergétique pour la surveillance de bagages (drogues et/ou explosifs) [2]

Détection de matières radioactives sur site (Applications Post Fukushima)

Pour comprendre l'Univers!

-Astrophysique: physique des éruption solaire(X durs), production d'éléments lourds dans les restes de supernovae (raies de titane autour de 70keV), lois de la relativité dans les trous noirs (raies du fer 6keV) ...

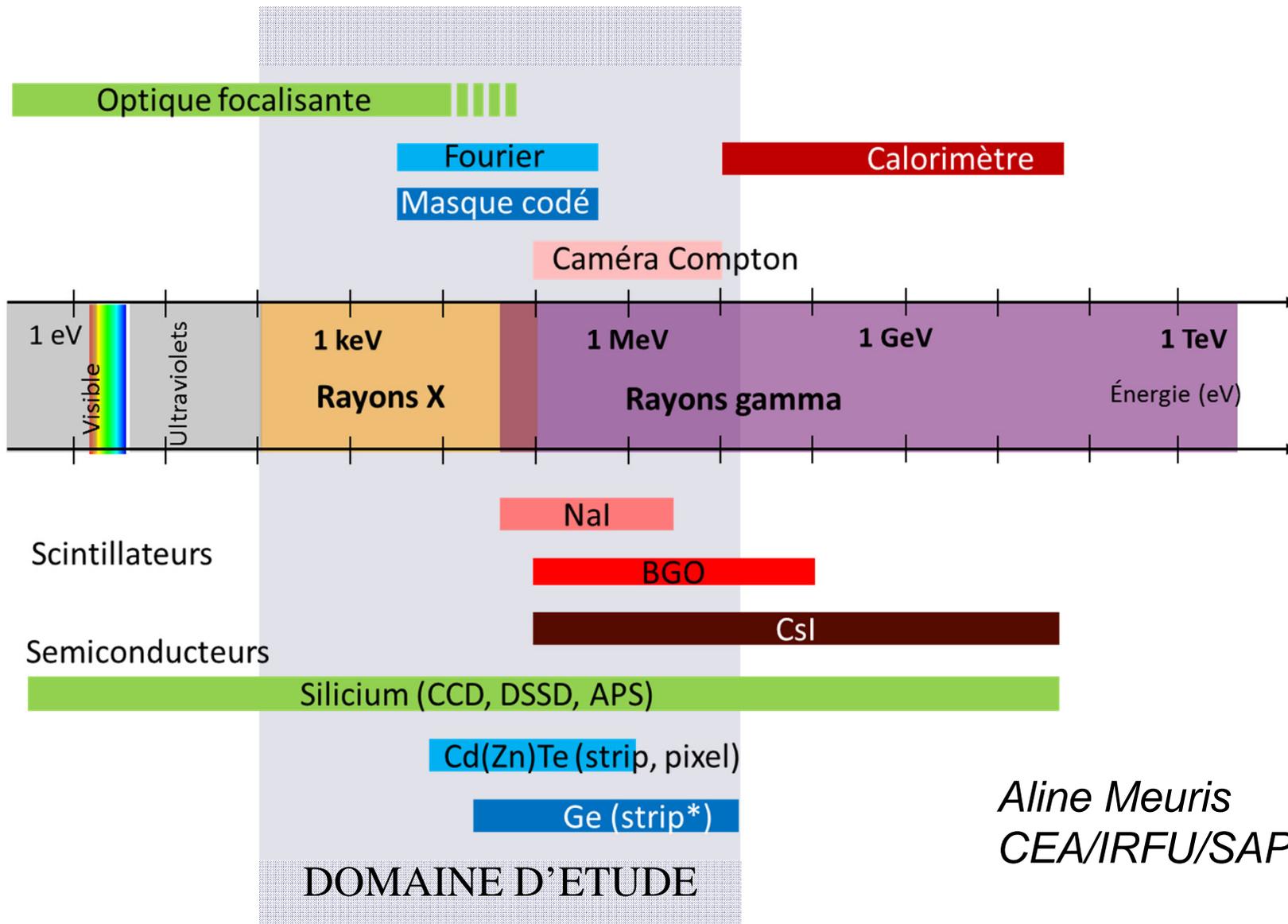
-Planétologie: analyse des éléments à la surface des planètes.

Applications militaires « ? »

[1] Pettersen et al, « A readout ASIC for SPECT » Nuclear Science Symposium Conference Record, 2004 IEEE, Volume 4 Page(s): 2204 – 2210.

[2] D O'Flynn et al « Explosive detection using pixellated X-ray diffraction (PixD) », 2013 JINST 8 P03007.

Gamme d'énergie et détecteurs associés



Aline Meuris
CEA/IRFU/SAP

Architecture générale du canal de spectro-imagerie

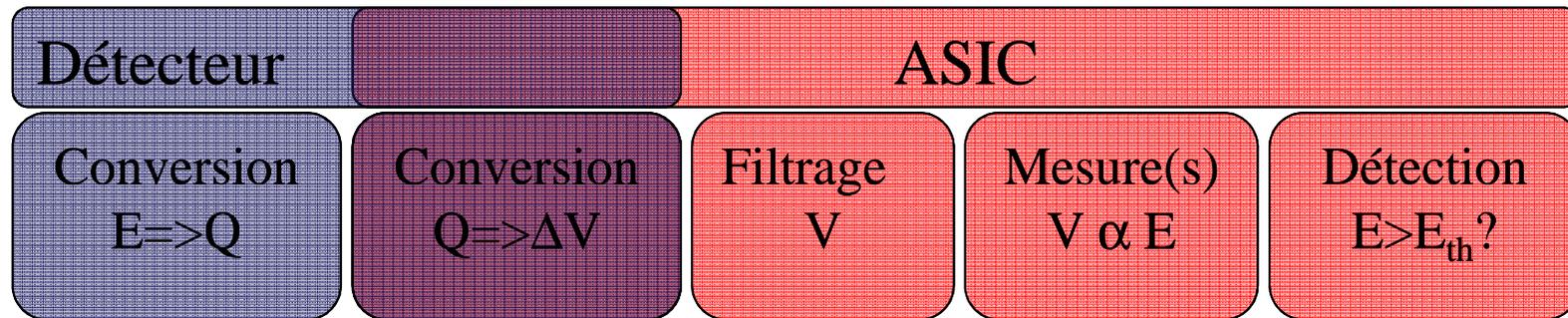


Schéma bloc simplifié d'un canal :

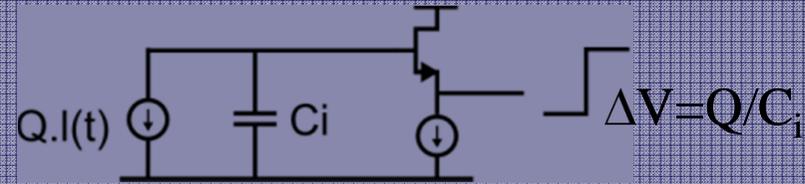
- Convertir le signal détecteur
- Filtrer le bruit
- Mesurer pour connaître l'énergie du photon
- Eventuellement détecter (trigger)

Architecture: Conversion charge/tension dans le détecteur

Détecteur

Conversion
 $E \Rightarrow Q$

Conversion
 $Q \Rightarrow \Delta V$



La charge est intégrée sur une capacité C_i interne au détecteur et transmise par un étage type suiveur.

Signal d'entrée pour l'ASIC: $\Delta V = Q/C_i$

C_i potentiellement très faible:

=> Facteur de conversion charge/tension élevé

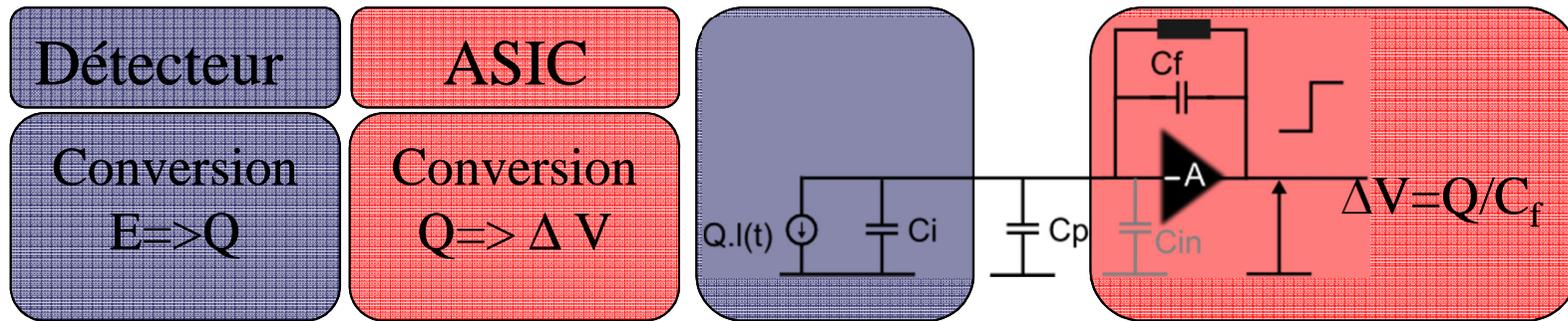
=> Bruit très faible (C_i faible et $C_{\text{parasite}} \cong 0$)

Ce sont les meilleurs spectro-imageurs en terme de résolution spatiale et en énergie. ENC=quelques el rms

Dynamique en énergie < 20keV (silicium) en conversion directe (sans scintillateur)

Exemples: CCD, pnCCD, DEPFET, SDD (pas toujours), ...

Architecture: Conversion charge/tension dans l'ASIC



La charge est intégrée sur la capacité C_f d'un préamplificateur de charge: $\Delta V = Q/C_f$
(Gatti, 1956)

C'est l'ASIC qui fait le gain de conversion

=>Versatilité (multi gain, multi détecteur) et dynamique

Capacités parasites + Capacité d'entrée de l'ASIC (PAD et MOS)

=>Bruit moins bon. Dépend fortement de la connexion Détecteur/ASIC (10 électrons pour les meilleurs)

Tous les spectro-imageurs dont le détecteur ne fait pas la conversion charge/tension: DSSD, SiDiodes, Cd(Zn)Te, SDD (pas toujours)...

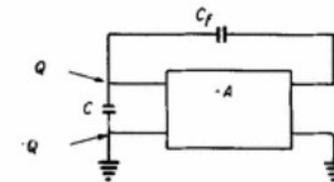
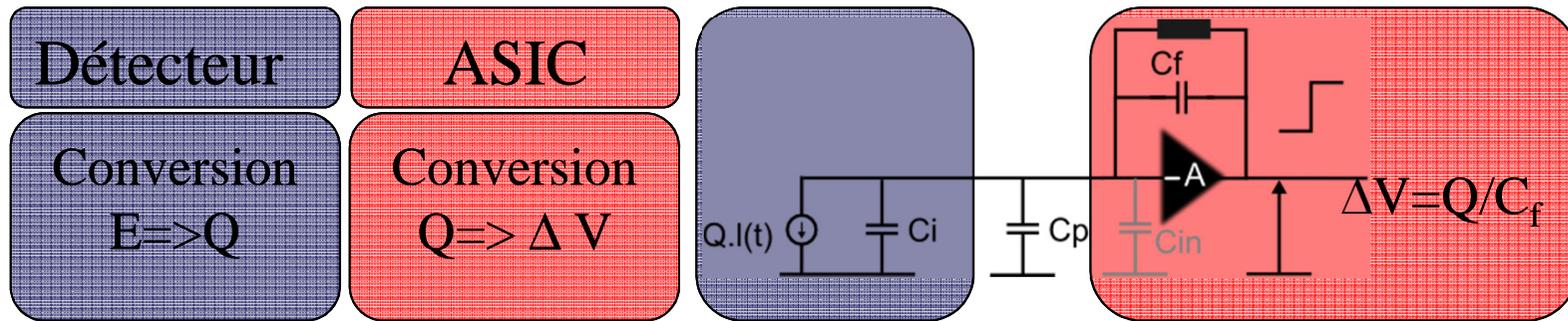


Fig. 7. - Proposed feedback for stabilizing input current - output voltage transfer function.

Architecture: Conversion charge/tension dans l'ASIC



Choix de C_f

Compromis dynamique & C_{det} / Bruit

=> $C_f = 10-200 \text{ fF}$. Gain de conversion typique: $0.5-10 \mu\text{V}/e^-$

Type de reset continu ou pulsé?

Pulsé meilleur pour le bruit parallèle mais bruit de reset.
Généralement continu, Bruit de reset non stationnaire !

Couplage au détecteur: AC ou DC?

DC: l'ASIC doit fournir son courant de fuite au détecteur !

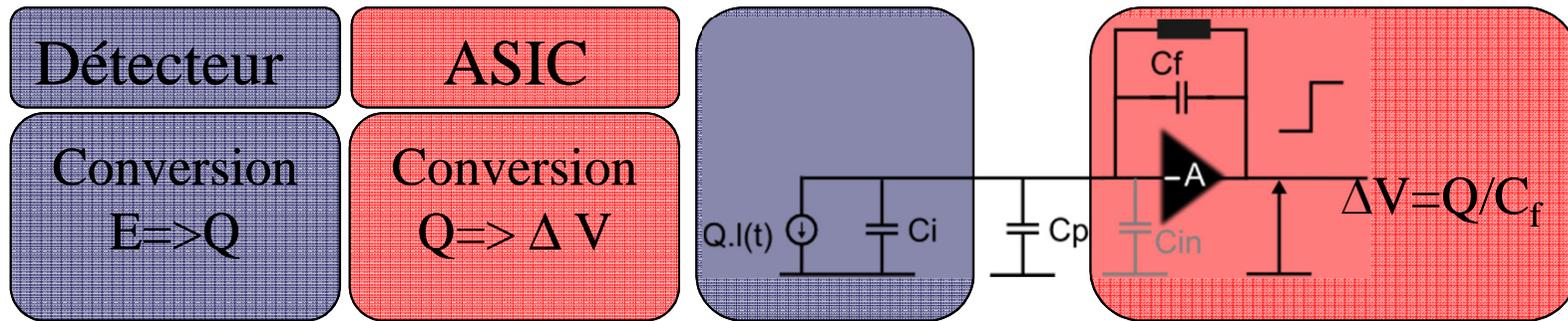
AC: Grosse capacité ($\gg C_i$) de liaison

Polarité du signal ?

Idéalement prévoir les deux (versatilité, STRIPs)

=> contraintes en dynamique et sur le reset en DC

Architecture: Conversion charge/tension dans l'ASIC



Architecture de l'Ampli

Le plus souvent single-ended (bruit) cascode replié. Mais plein d'autres.

Type de transistor d'entrée PMOS ou NMOS?

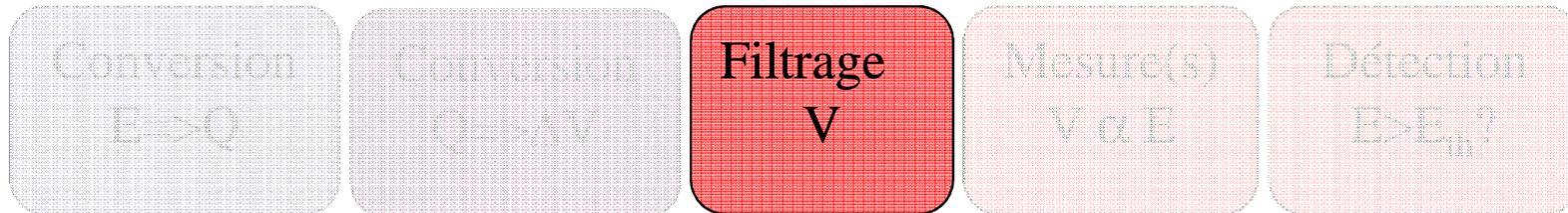
Suivant technologie : compromis temps mort/bruit. Le plus souvent PMOS en spectro-imagerie (faibles taux de comptage $\Rightarrow t_{\text{peak}}$ élevés possibles \Rightarrow PMOS meilleurs)

Dimensions du transistor d'entrée?

« A chaque capacité d'entrée son transistor optimisé » Mais Basse puissance \Rightarrow Transistors weak inversion \Rightarrow règles 1,1/3 souvent dépassée .

(Cours de Richard et de Christophe mardi matin)

Architecture: Filtrage



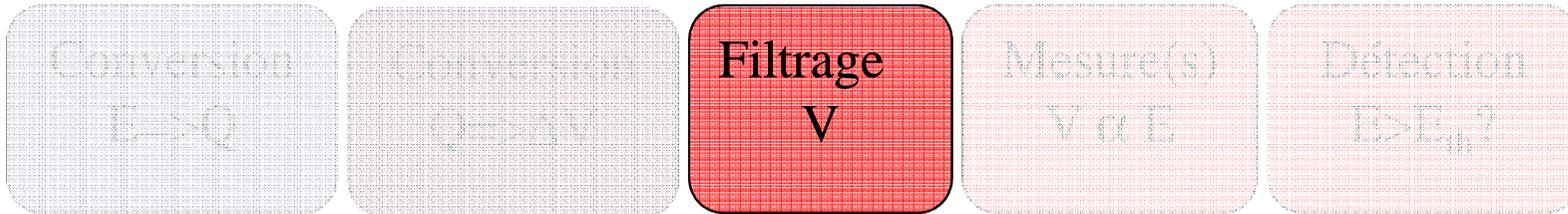
Objectif du filtrage: Augmenter le rapport signal à bruit et/ou raccourcir la durée du signal converti.

Sources de bruit ?

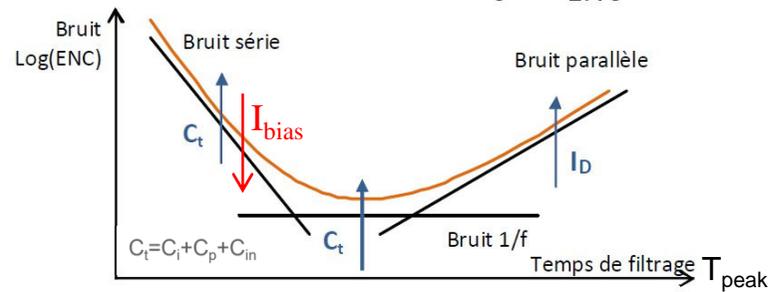
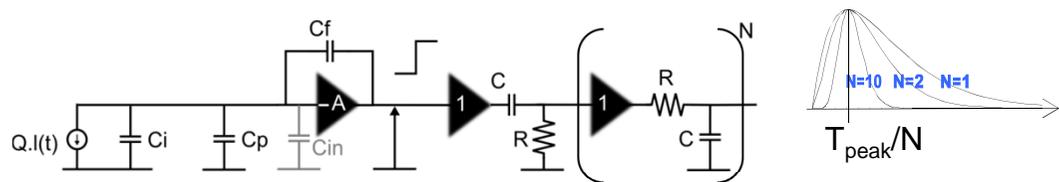
- Statistique de création de charge d'un photon $\sigma^2 = \frac{FE}{\omega}$ ($F_{Si}=0.115$, $\omega_{Si}=3.6$): « Fano limited » à 0.5 keV=>ENC<4 el rms: **OK** (pas le choix!)
- Courant de fuite (CCD à -100°C=>qques el/pixel/heure): **OK si refroidi.**
- Bruit de transfert (CCD): **OK**
- Bruit du suiveur ou du Préamplificateur de charge (thermique et 1/f)
- Bruit de reset (CCD, APS): $\sigma^2 = \frac{kT}{C_i}$ ($C_i=100$ fF, -100°C=>100 électrons)
(**pas OK!**)

Tous les autres qu'on n'a pas toujours prévu (ou que j'ai oublié): pick-up noise, pertes diélectriques (faux 1/f en sortie de shaper)...

Architecture: Filtrage



Filtrage à temps continu: CR-RC^N

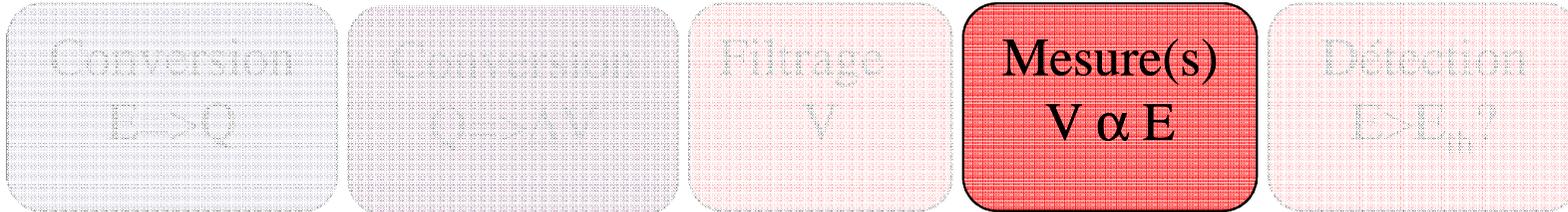


N généralement < 4

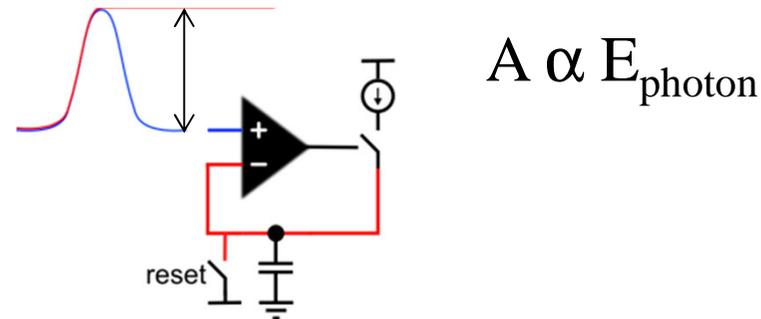
T_{peak} programmable (1-10μs) (optimisation du bruit)

≅ 100% des ASIC de spectro-imagerie à préamplificateur de charge.

Architecture: Mesure de l'énergie



Peak Detect and hold (Peak Stretcher)

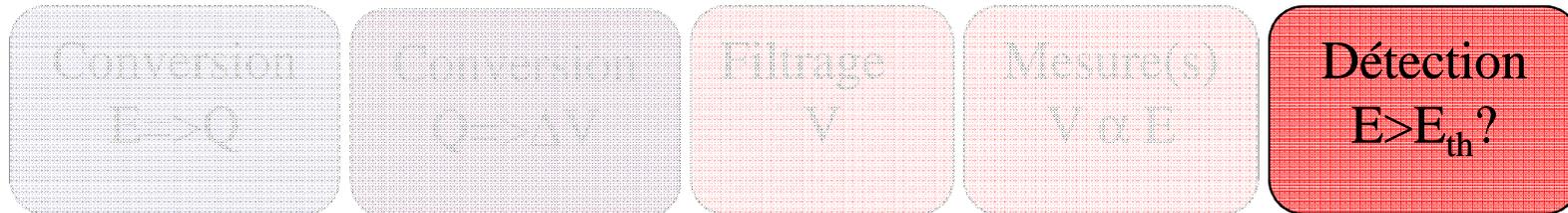


- Mono polarité.
=>En utiliser 2 ou prévoir un inverseur dans le canal.
- Mémorise le plus haut pic de bruit depuis le dernier reset.
=>Résolution à basse énergie fonction du taux de comptage!
- Attention à la fuite de la source de courant « coupée »!

“*Analog CMOS peak detect and hold circuits*”. Part 1&2. De Geronimo et al, NIMA 2001-2002 (étude théorique + technique de suppression d’offset: utilisation du même amplificateur en suiveur pour lire la capa de mémorisation.

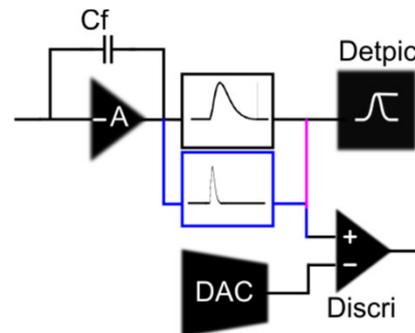
“*Noise distribution of a peak track and hold circuit*”, Seller et al, Nuclear Instruments and Methods in Physics Research A, 2012, Volume 696, p. 129-135.

Architecture: Détection



ASIC auto déclenché: c'est l'ASIC qui indique au séquenceur extérieur qu'au moins un de ses canaux a parlé ($E > E_{th}$)

Deux cas:

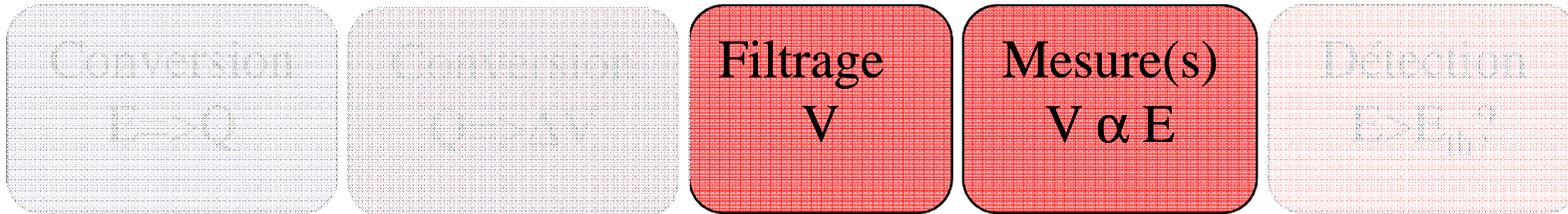


Détection à basse énergie: Même shaper que la voie énergie ($E_{th} = 6\sigma_E$) => Correction time walk a posteriori

Timing, anticipation: Shaper rapide (mais plus bruyant).

DAC de seuil par pixel (sinon c'est le pire pixel qui gagne) + Coupure numérique (pixels morts)

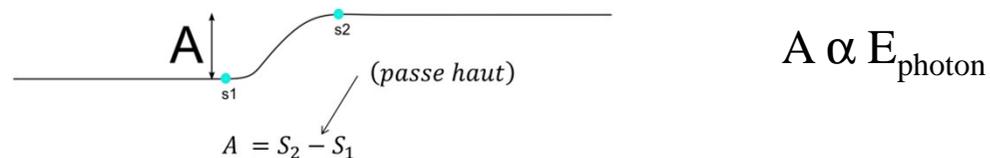
Architecture: Filtrage et mesure d'énergie



Filtrage à temps discret

1-Multi-échantillonnage: Prendre plusieurs échantillons et faire des opérations simples (+/-) pour filtrer le bruit dans l'ASIC.

-Correlated Double Sampling (CDS): le plus simple et rapide

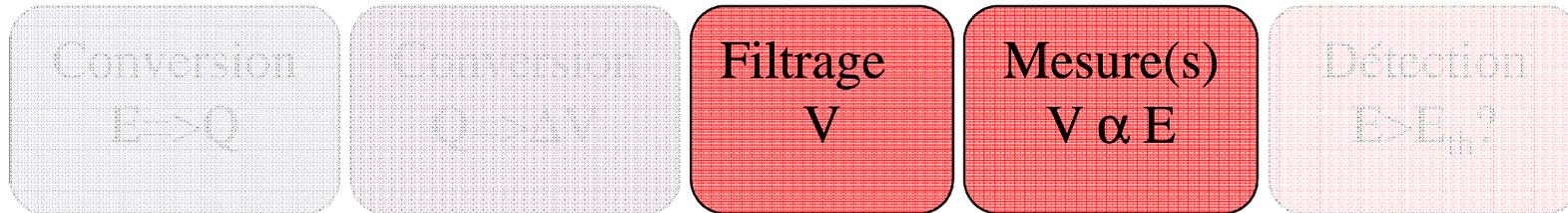


Filtrage du continu: bruit kT/C de reset (CCD, CMOS...)

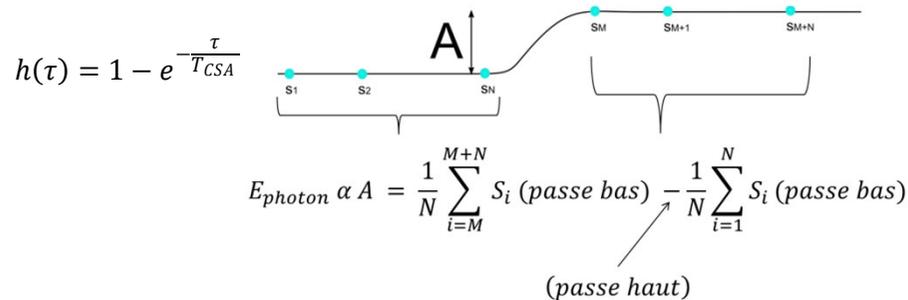
Filtrage du bruit $1/f$ suivant l'écart temporel entre les échantillons.

Calcul du Bruit dans le domaine temporel: "*Processing the signals from solid-state detectors in elementary-particle physics*," E. Gatti and P. F. Manfredi, *Rivista del Nuovo Cimento*, vol. 9, no. 1, 1985.

Architecture: Filtrage et mesure d'énergie



-Multi-Correlated Double Sampling (MCDS): utilisé dans les DEPFET



Si $T_s/T_{CSA} > 2$ ou 3

$$ENC_{sh}^2 = qI_{leak} T_s \left(\frac{2N^2 + 1}{3N} \right)$$

$$ENC_{th}^2 = 0.5(C_p + C_{in} + C_i + C_f)^2 v_{nth}^2 \frac{1}{NT_{CSA}}$$

Filtrage du continu: bruit kT/C de reset

Filtrage du bruit $1/f$ suivant l'écart temporel entre les échantillons.

Filtrage du bruit haute fréquence (moyennage) \sqrt{N}

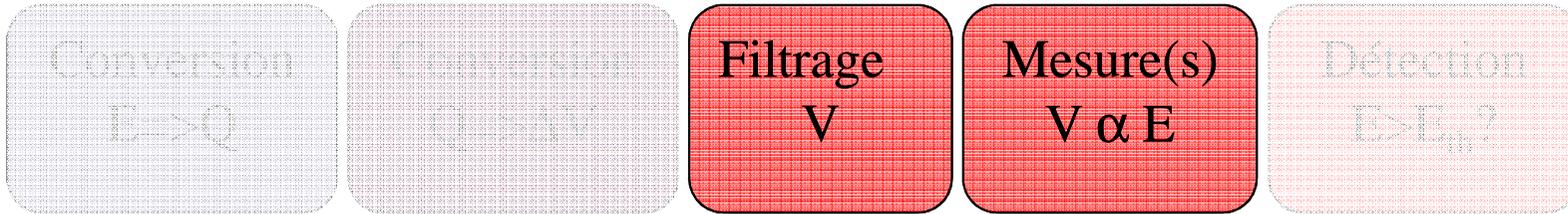
DEPFET et pnCCD: ASICs du MPI et Polytechnico de Milano:

« VERITAS: A 128-Channel ASIC for the Readout of pnCCDs and DEPFET Arrays for X-Ray Imaging, Spectroscopy and XFEL Applications », Porro et al, TNS 2013.

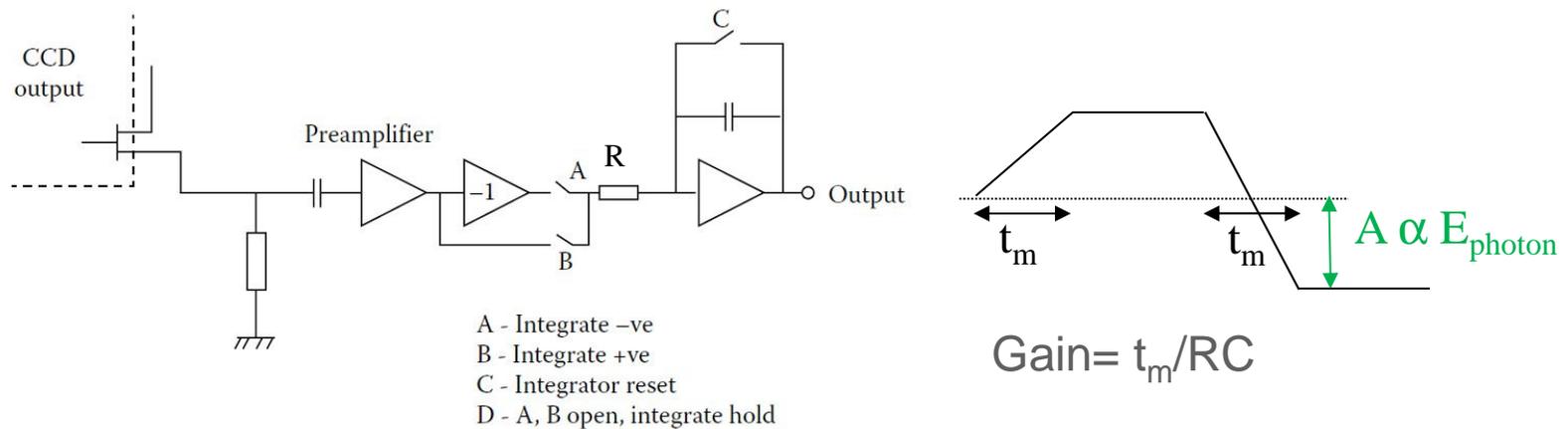
« CAMEX Readout ASICs for pnCCDs », Hermann et al, Proc NSS 2008.

« First Readout of a 64x64 DEPFET Matrix With VELA Circuit », Bombelli et al TNS 2009.

Architecture: Filtrage et mesure d'énergie



2-Dual Slope Integrator: utilisé dans les CCD



Filtrage du continu: bruit kT/C de reset

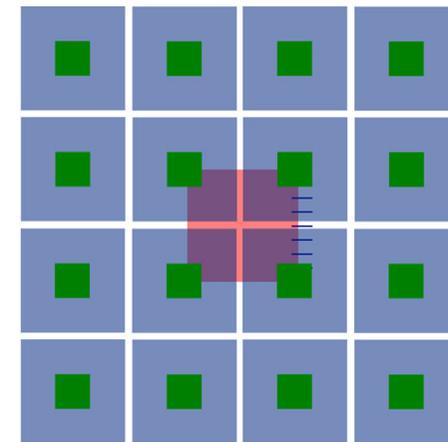
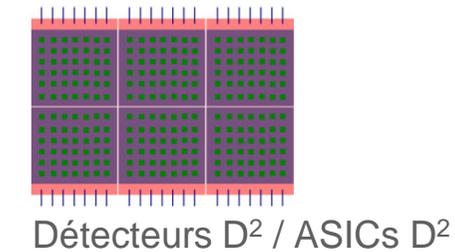
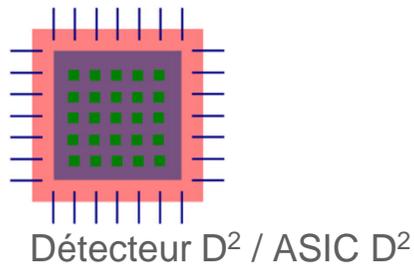
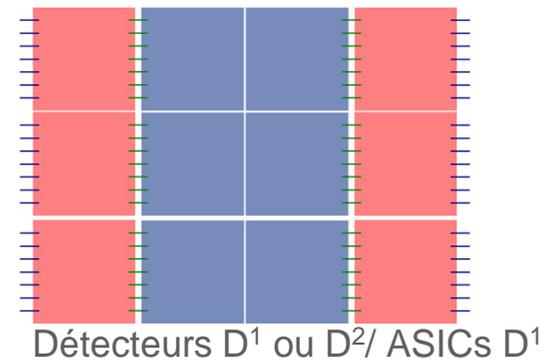
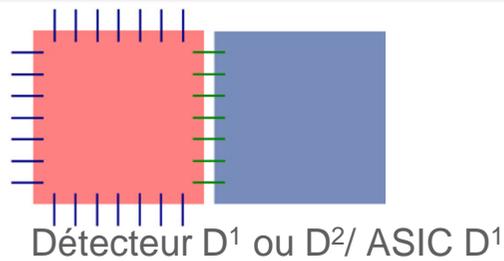
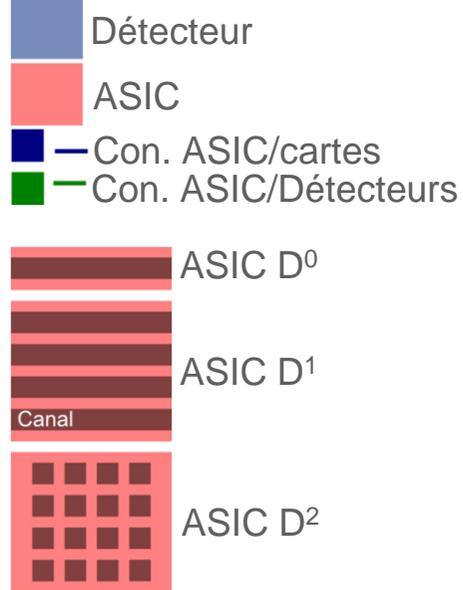
Filtrage du bruit $1/f$ suivant l'écart entre les deux rampes.

Filtrage passe bas de l'intégrateur ($ENC_{\text{serie}} \text{ en } 1/\sqrt{t_m}$)

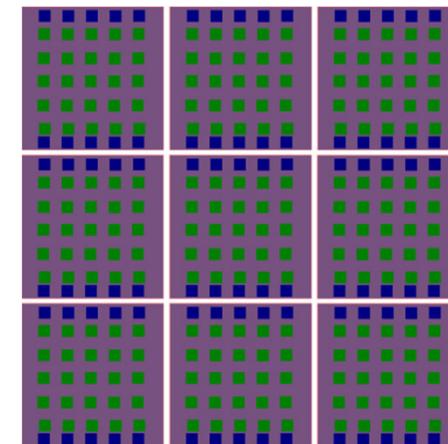
ASIC ASPIC pour LSST (LAL/LPNHE) (Poster A. Qureshi)

Géométrie: Toute une zoologie de plan détecteur

Légende



Détecteur D⁰ / ASIC D¹:
« Aboutabilité » sur 4 côtés

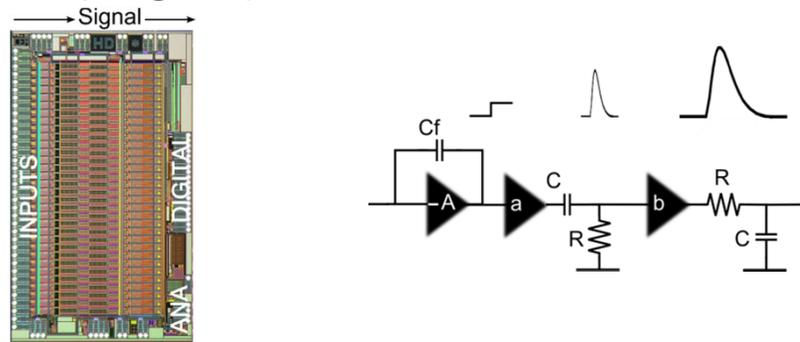


Détecteur D² / ASIC D¹ ou D₂
« Aboutabilité » sur 4 côtés

Géométrie de l'ASIC: D¹, D² ou D³?

A part pour les CCD (D⁰!) les ASICs de spectro imagerie sont tous des ASICs multicanaux.

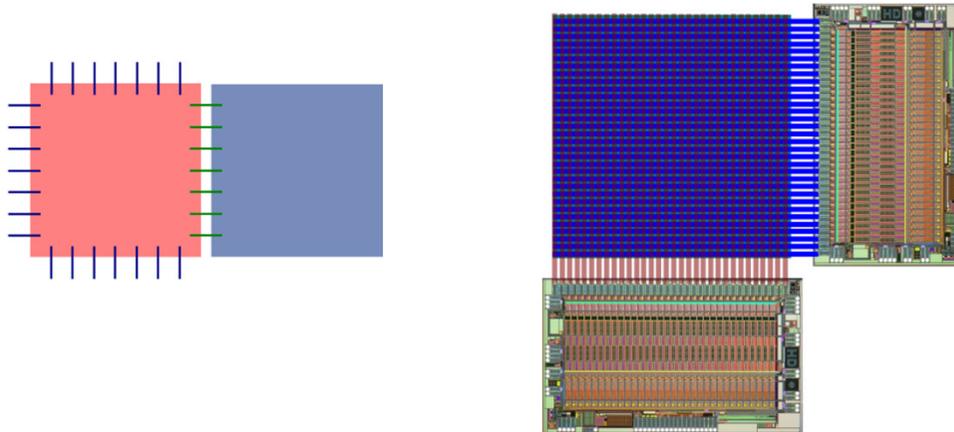
Géométrie D¹: Les canaux sont disposés en lignes:
Le signal (le gain) a une direction.



- Les signaux amplifiés ou numériques sont éloignés des étages les plus sensibles (CSA). Les entrées à gauche, les sorties à droites (pour les droitiers!)=>peu de couplage parasite.
- Le pas inter-canal n'est pas (toujours) imposé par le détecteur => isolation des canaux
- Rien ne limite la longueur du canal (le prix peut être...)

Géométrie de l'ASIC: D¹, D² ou D³?

-DéTECTEURS Strippés



- ASIC D¹ bien adaptés aux strips (même géométrie)
- CANAL « Bipolaire » nécessaire (au moins en charge)
- Couplage ASIC/détecteur:
 - Eventuellement via Pitch adapter mais bonding direct recommandé (DC!).
 - Les deux faces du détecteur doivent être connectées:
 - Couplage AC => polarisation de chaque strip + C_{liaison}
 - Couplage DC => Masse « surélevée » à 600V ?
=> Bipolaire pour i_{leak} .

Géométrie de l'ASIC: D¹, D² ou D³?

-DéTECTEURS Strippés:

Exemple: HXI à bord d'ASTRO-H (lancement 2014)

Détecteurs:

5-20 keV: 4 DSSD 128 strips 250 μm pitch (32 x 32 mm²)

20-80 keV: CdTe-DSD 250 μm pitch (32 x 32 mm²)

128 strips sur chaque face. (equ:16384 pixels)

Résolution en énergie: 2 keV FWHM

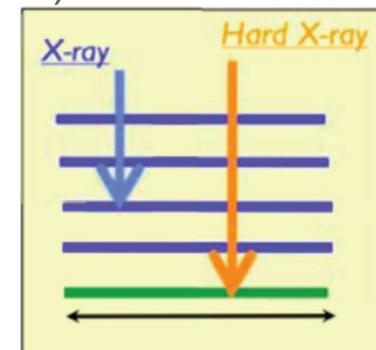
Le même ASIC couplé DC lit les 2 détecteurs:

VATA CMOS AMS 0.35 μm de IDEAS (SEL!)

32 canaux, $T_{\text{peak}}=2 \mu\text{s}$ (fixe), +/-5.5 fC

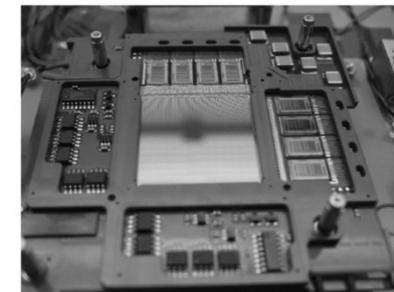
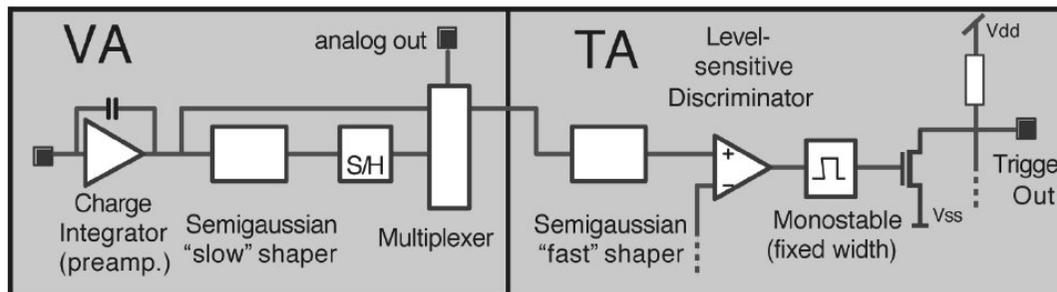
34 el +5.5 el/pF, $V_{\text{SS}}=0$ ou $V_{\text{SS}}=600\text{V}$!

1.3 mW/canal + ADC Wilkinson 10 bits (conversion // 64 canaux)



Double Side Si Strip (4 layers)
(Low Activation $E < 25 \text{ keV}$)

CdTe Double Side Strip
(CdTe: 1Layer)



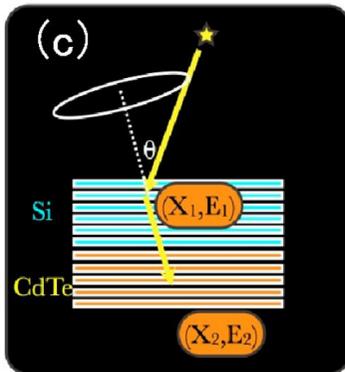
Géométrie de l'ASIC: D¹, D² ou D³?

-DéTECTEURS Strippés:

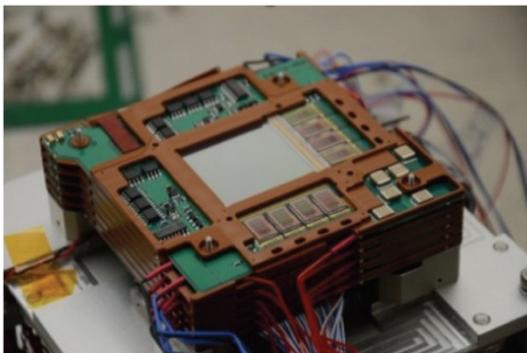
Exemple: Détection de matière radioactive pour Fukushima
(partenariat JAXA/TEPCO)

Caméra Compton grand champ.

Même ASIC et détecteurs que ASTRO-H.



Détection et localisation de ¹³³Ba,
¹³⁷Cs et ²²Na

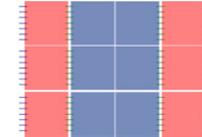


http://www.jaxa.jp/press/2012/03/20120329_compton_e.html

Géométrie de l'ASIC: D¹, D² ou D³?

-DéTECTEURS matriciels: 1 canal/ligne (pnCCD, DPFET)

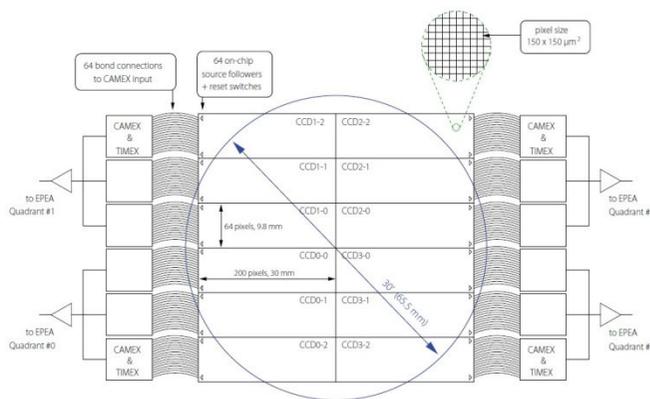
- Potentiellement très gros détecteurs=> « Aboutabilité » sur 4 côtés pas indispensable.
- Les ASICs de lecture sont sur les côtés (comme les strips).



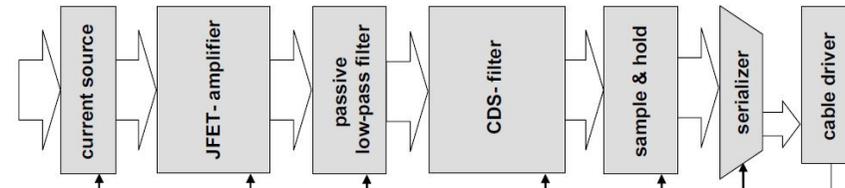
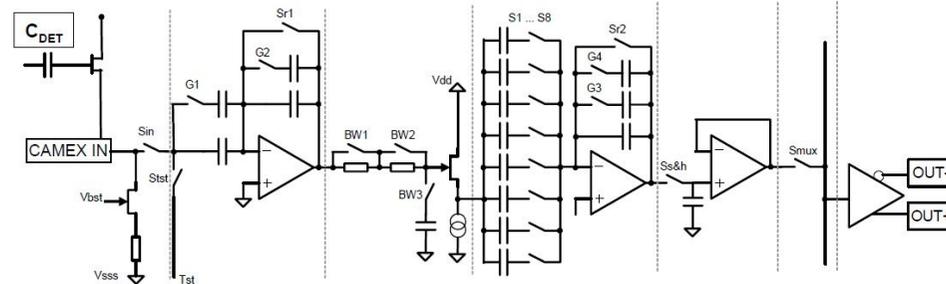
Exemple: XMM Newton (1999) et bientôt eROSITA (2014)

Spectro-imageur de pnCCD (ep 300µm) 36 cm², 0.3-15keV.

12 ASICs CAMEX (64 voies) pour 12 pnCCD: MCDS (4 échantillons).



Architecture du plan
détecteur: 12 détecteurs 12
Asics CAMEX

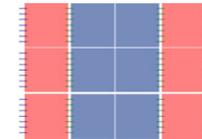


Architecture canal ASIC: préfiltrage +
filtrage MCDS

Géométrie de l'ASIC: D¹, D² ou D³?

-DéTECTEURS matriciels: 1 canal/ligne (pnCCD, DPFET)

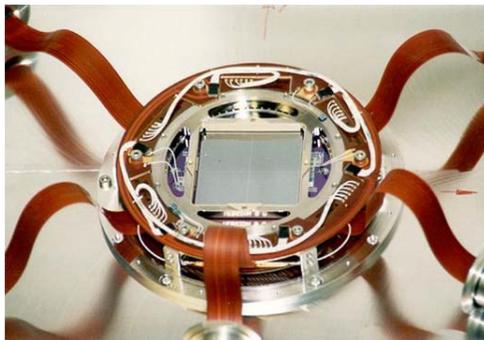
- Potentiellement très gros détecteurs=> « Aboutabilité » sur 4 côtés pas indispensable.
- Les ASICs de lecture sont sur les côtés (comme les strips).



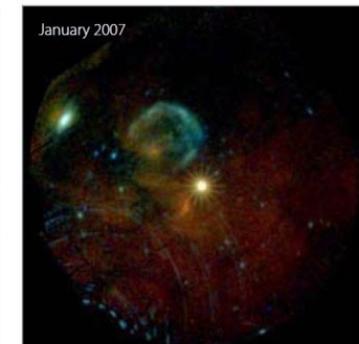
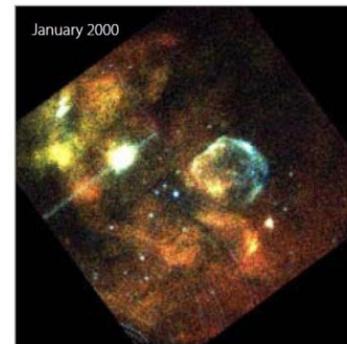
Exemple: XMM Newton (1999)

Image: 153600 pixels (400x384) / 80ms

Résolution en énergie : 80 eV FWHM (9 eV rms).



Plan détecteur pnCCD
400 x 384 pixels

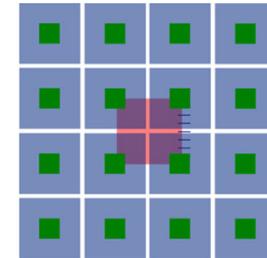


Supernova 1987 A
0.3-5keV

Géométrie de l'ASIC: D¹, D² ou D³?

-DéTECTEURS matriciels: 1 canal/pixel

Plan_{ASIC} // Plan_{Détecteur}



Détecteur = Pavage de mono-pixels

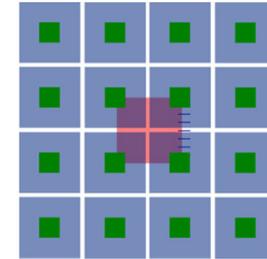
1 ASIC N voies placé en dessous lit une cellule élémentaire de détection constituée de N mono-pixels.

- Nécessité d'un « interposeur » (PCB) de routage vers le détecteur.
- Capacités parasites (=>bruit) même avec bons (=>chers) substrats.
- Couplages entrée/sortie et entrée/numérique sur le PCB=>plans de masse d'isolation (=>bruit!)
- Réalisable uniquement pour des pixels assez gros (Zone morte=0=> $SURFACE_{ASIC+bondings} < SURFACE_{Détecteur\ pixelisé}$) **sauf flip chip**

Géométrie de l'ASIC: D¹, D² ou D³?

-Détecteurs matriciels: 1 canal/pixel

Plan_{ASIC} // Plan_{Détecteur}

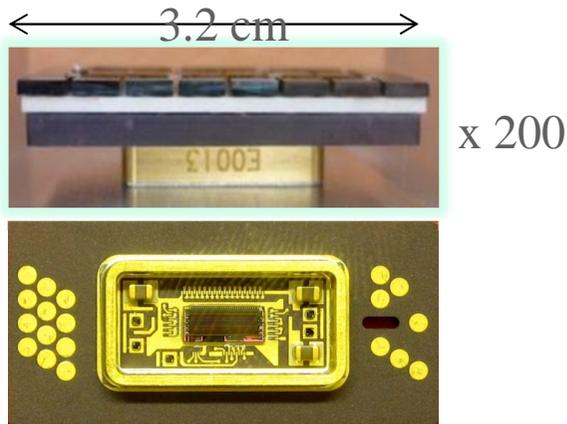


Exemple: SVOM/ECLAIRs

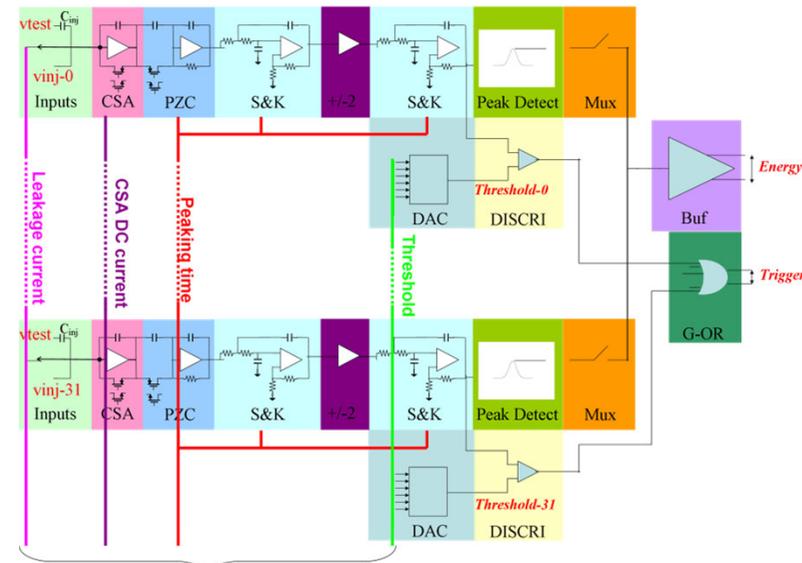
Satellite pour la détection des sursauts gamma.

6400 pixels (4x4x1mm³) de CdTe (spectro-imagerie par masque codé)

4-200 keV C_{parasite} ≈ 3 pF résolution en énergie: 1 keV FWHM (100 el rms) à 60 keV.



Cellule de détection
XRDPIX: 32 pixels, 1
ASIC



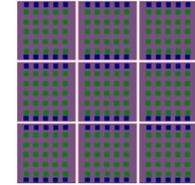
Main tunable parameters

Architecture ASIC IDeF-X ECLAIRs AMS0.35μm

Géométrie de l'ASIC: D¹, D² ou D³?

-DéTECTEURS matriciels: 1 canal/pixel

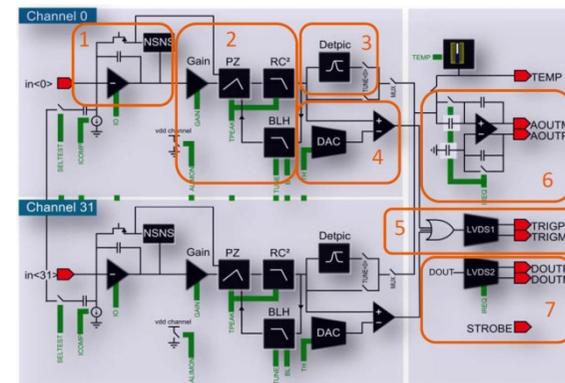
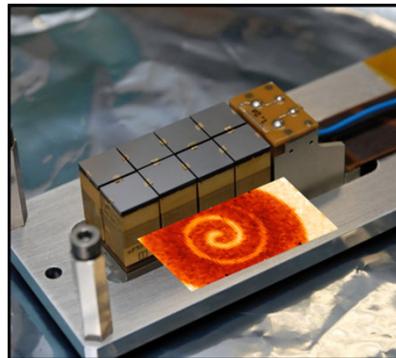
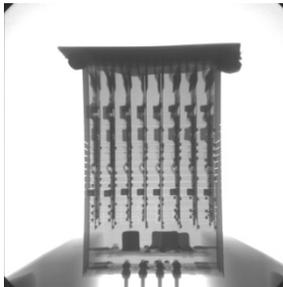
$$\text{Plan}_{\text{ASIC}} \perp \text{Plan}_{\text{DéTECTEUR}}$$



- Nécessité d'un « interposeur » (PCB) de routage vers le détecteur
 - Capacités parasites réduites
 - ~~Couplages entrée/sortie et entrée/numérique sur le PCB~~
- C'est l'épaisseur du PCB+ASIC(aminci) qui limite la taille du pixel.

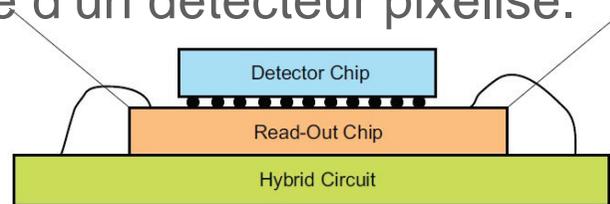
Exemple: Technologie CALISTE (SOLAR ORBITER 2017)

CdTe ou Si, $C_{\text{parasite}} < 1\text{pF}$, Résolution spatiale: 600 μm , Résolution en énergie: 600 eV FWHM (60 el rms), ASIC 32 cnx IDeF-X HD, AMS 0.35 μm , 33 el rms « à vide ».

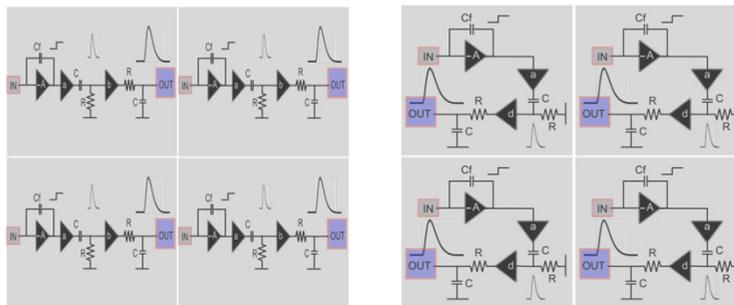


Géométrie de l'ASIC: D¹, D² ou D³?

Géométrie D²: l'ASIC est une matrice de canaux de géométrie adaptée à celle d'un détecteur pixélisé.



- Les nœuds sensibles (y compris l'électrode détecteur) avoisinent les signaux amplifiés et/ou numériques !



Digital	Digital
Analog	Analog
Analog	Analog
Digital	Digital

=> Anneaux de garde, pixels tête bêche, double niveaux de métal pour isoler du détecteur (intérêt des techno 5-6 métaux). Substrat isolé pour le numérique (si possible!)

Géométrie de l'ASIC: D¹, D² ou D³?

Géométrie D²: l'ASIC est une matrice de canaux de géométrie adaptée à celle d'un détecteur pixélisé.

- Connexion directe détecteur-ASIC (indium bump, stud bump)
=>Capacité parasite minimale (on est dans la gamme des 100 fF) et donc résolution en énergie potentiellement excellente.
- Géométrie « Physique » ASIC adaptée=>opérateur multi canaux (lecture automatique des pixels voisins par ex [1])
- ASIC adapté à une géométrie de pixel
- Surface pixel fixée par le détecteur
- ASIC dense (Consommation)

Comment accède-t-on aux pads sans zone morte si on veut des détecteurs « aboutables » sur 4 côtés?

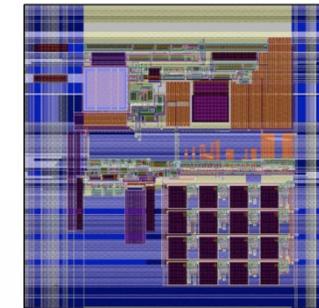
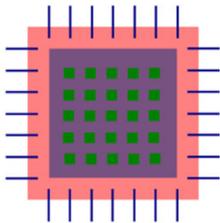
[1] C. M. H. Chen, et al. "Characterization of the HEFT CdZnTe pixel detectors," *Proc. SPIE*, vol. 5198, pp. 9-18, 2003

Géométrie de l'ASIC: D¹, D² ou D³?

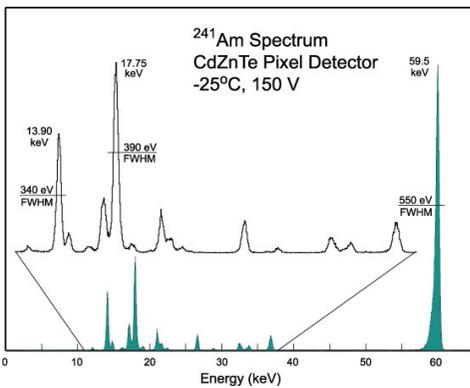
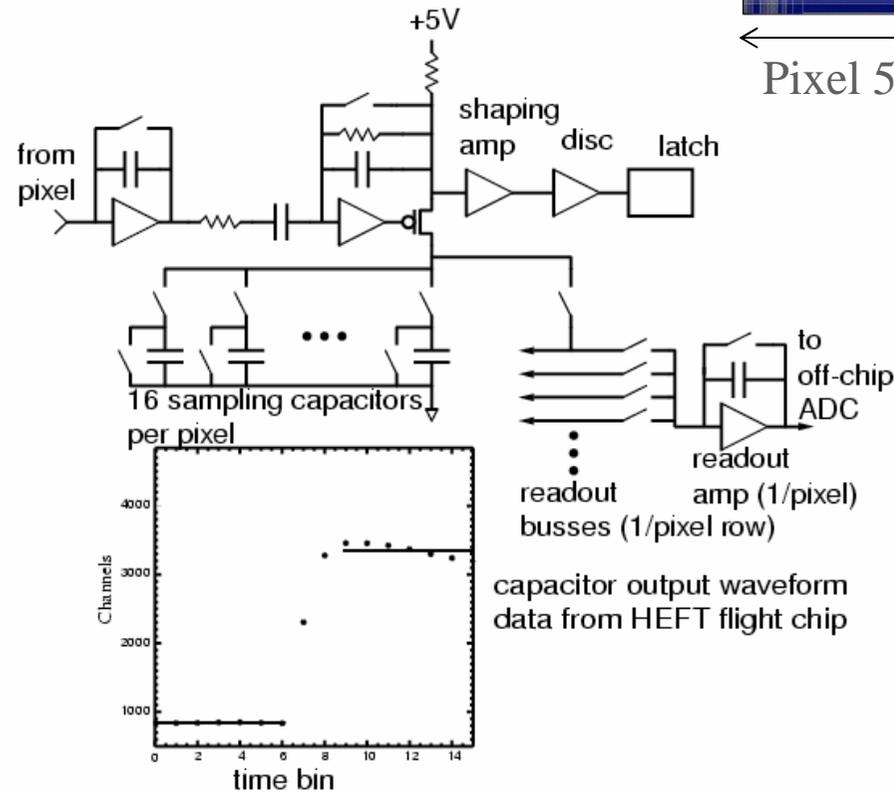
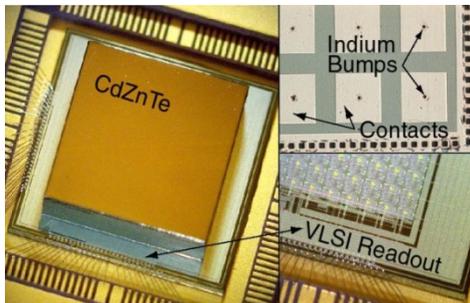
Exemple: Ballon HEFT (2005), CdZnTe+ASIC caltech: 20-70keV

ASIC de 1056 pixels (500μm), **50μW/pixel**

340 eV FWHM (**32 el rms**)

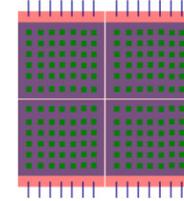


Pixel 500 μm

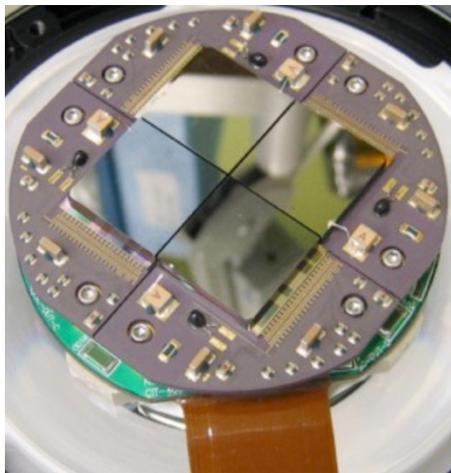


Géométrie de l'ASIC: D¹, D² ou D³?

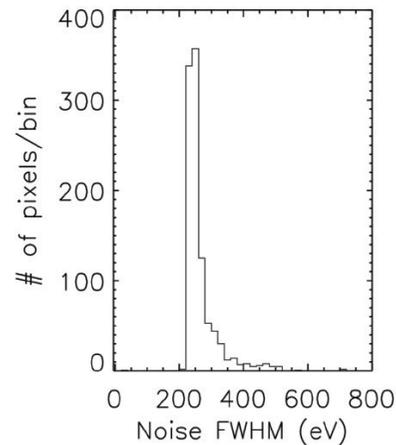
Exemple: Satellite NUSTAR (en orbite depuis juin 2012):



6-80keV (1.3 kel – 18 kel) ASICs (de HEFT) matriciels de 32 x 32 pixels (600 μ m pitch) ENC=20 el rms.



Plan détecteur 4x4 cm²:
-4 CdTe matriciels 32x32
-4 ASICs 32x32



Carte de bruit de l'ASIC
Pic à 200 eV (19 el rms)



Figure 9. *NuSTAR* image of the area surrounding the supermassive black hole, called Sagittarius A*, at the center of the Milky Way. The three images (right) show the X-ray observations during the middle of a flare-up.

Géométrie de l'ASIC: D¹, D² ou D³?

Exemple: STARX 32: l'architecture type.

Politecnico de Milano/THALES/ESA

Application: spatiale et médicale

Détecteur: Cd(Zn)Te, Si, SiC

AMS 0.35μm

32 x 32 pixels (300μm pitch)

Auto triggé

PAC [1] + CR-RC [2] (1-10μs)

Peak discriminator

Peak stretcher

Discr (DAC/canal)

Rejection de pile-up [3]

ENC=34 el rms (400fF, 2.5pA), 16 el (nue).

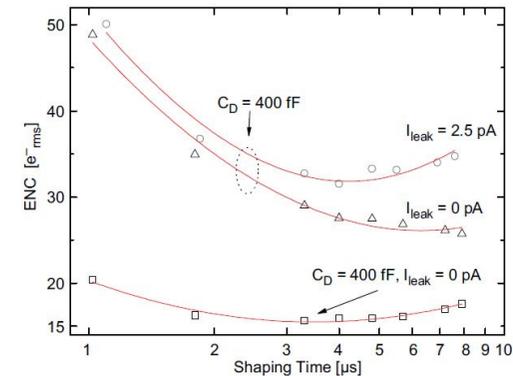
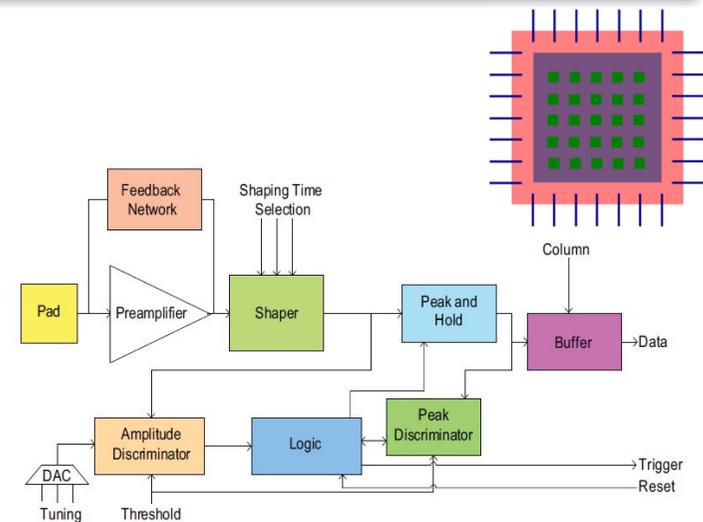


Fig. 8. Measured (symbols) and simulated (lines) equivalent noise charge of the system at room temperature as function of the shaping time

[1] S. Caccia et al "A mixed-signal spectroscopic-grade and high-functionality CMOS readout cell for semiconductor X-gamma ray pixel detectors," IEEE Transactions on Nuclear Science, vol. 55, no. 5, pp. 2721–2726, Oct. 2008.

[2] G. Bertuccio, et al, "R-lens filter: an (RC) current-mode lowpass filter," Electronics Letters, vol. 35, no. 15, pp. 1209–1210, Jul. 1999.

[3] P. Bastia et al, "An integrated reset/pulse pile-up rejection circuit for pixel readout ASICs", IEEE Transactions on Nuclear Science, vol. 53, no. 1, pp. 414–417, Feb. 2006.

Géométrie de l'ASIC: D¹, D² ou D³?

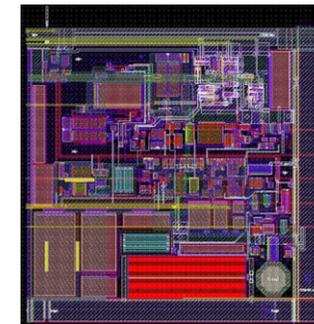
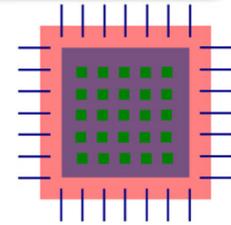
Exemple: STARX 32: l'architecture type.

500 μ W/canal

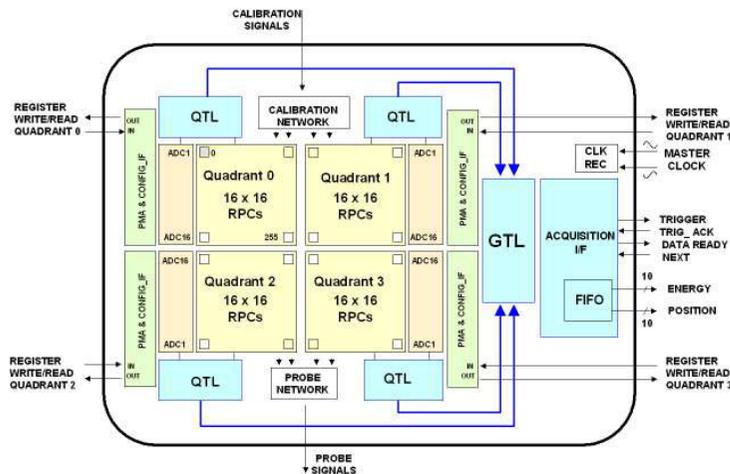
PADs sans protection

Dynamique: 120-12000 électrons

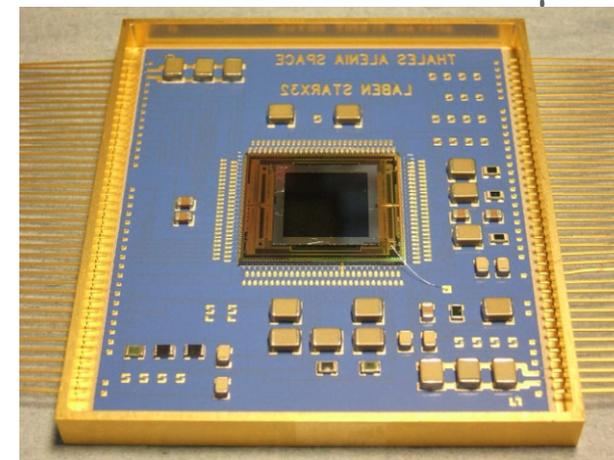
Seuil bas?



Pixel 300 μ m



Architecture du chip



32 x 32 pixels, AMS 0.35 μ m

Géométrie de l'ASIC: D¹, D² ou D³?

Exemple: HEXITEC: le rolling shutter.

RAL pour: « *Dual isotope SPECT, K-edge subtraction, Fluo imaging, Astrophysics, Tumour identification, Illicit materials...* »

Détecteur: CdZnTe

AMS 0.35 μm

80 x 80 pixels (250 μm pitch)

Rolling Shutter 20x20

PAC single ended folded cascode PMOS

$C_f=15/150\text{fF}$, CR-RC³ (2 μs fixe)

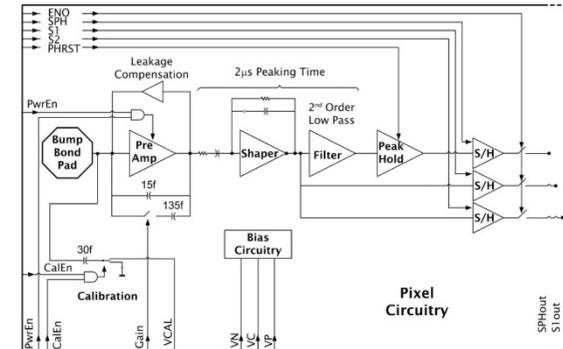
Peak and hold

2 track and hold (détection d'erreur)

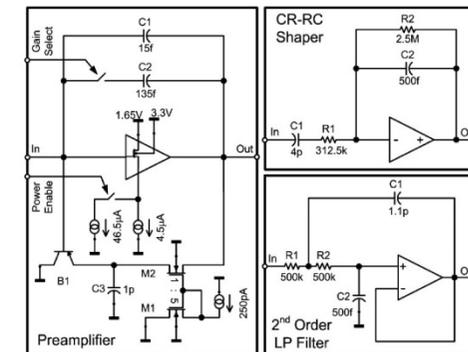
1000 images/s

ENE 200 eV FWHM

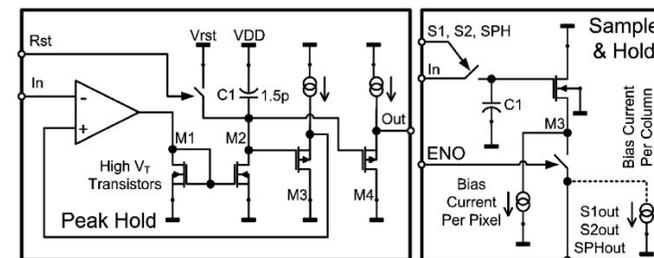
Dynamique:5-200 keV (extension à 2 Mev)



Architecture canal Hexitec



CSA+ shapers



Peak&Hold

Géométrie de l'ASIC: D¹, D² ou D³?

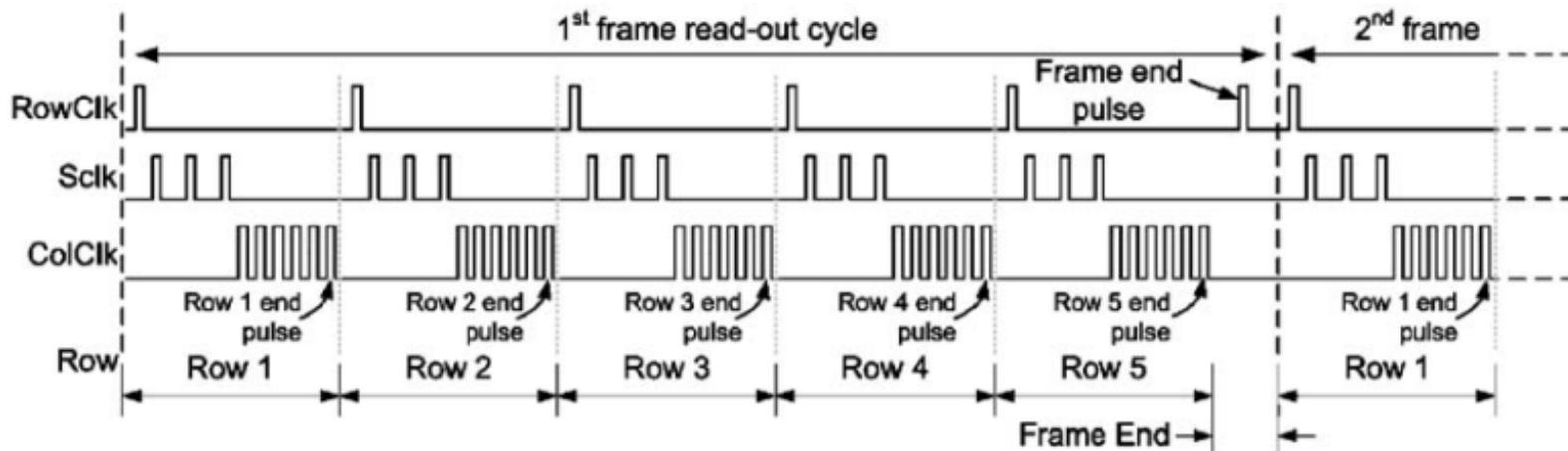
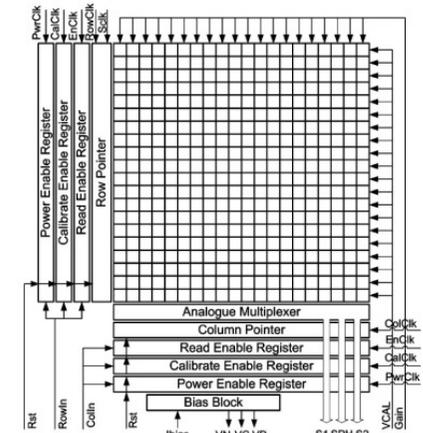
Exemple: HEXITEC: le rolling shutter.

Rolling Shutter:

- 1 Adressage d'une ligne
- 2 Lecture série de toutes les colonnes (detpic)
- 3 Reset de ligne puis passage à la suivante

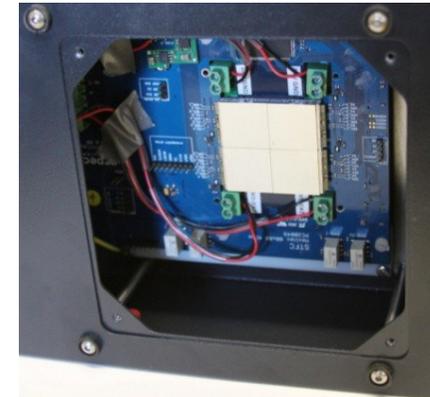
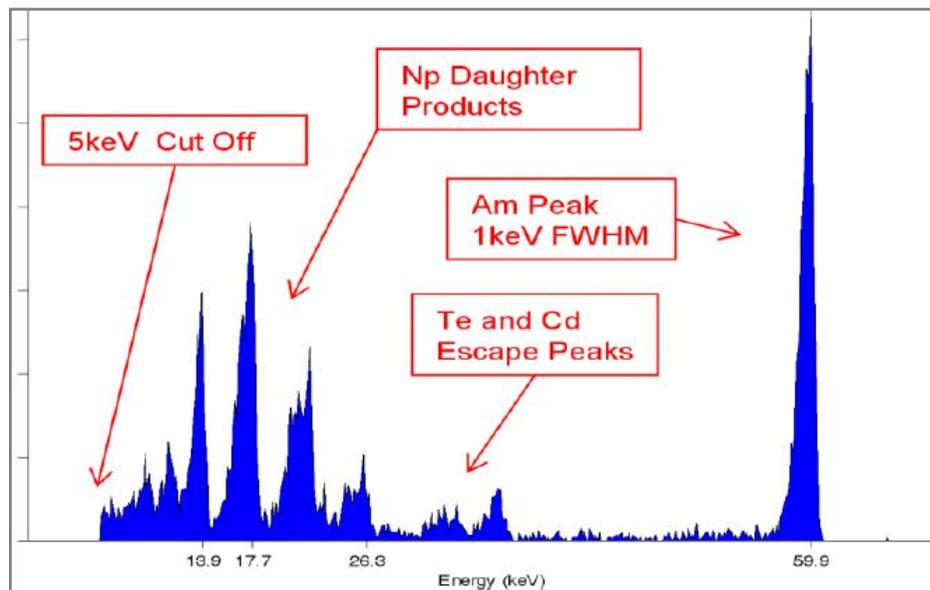
Erreur si:

- Evènement juste avant reset: le détecteur de pic se reset à cette valeur.
 - Evènement juste avant lecture: le signal n'est pas encore passé par son maximum.
- =>Echantillonnage du signal mis en forme avant reset et après lecture du détecteur de pic.

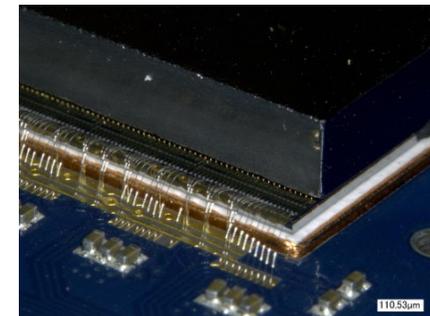


Géométrie de l'ASIC: D¹, D² ou D³?

Exemple: HEXITEC: le rolling shutter.



4 HEXITEC
(SPECT)



Interface
détecteur/ASIC/carte

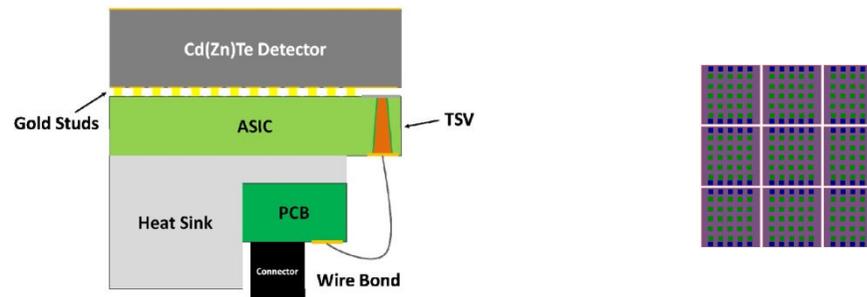
M.C. Veale et al "Development of a 16 cm² small pixel CdTe spectroscopic detector", *IEEE Nuclear Science Symposium*, RTSD NR01-1, October 2012.
L. L. Jones et al, " HEXITEC ASIC –A pixellated readout chip for CZT detectors," *Nuclear Instruments and Methods in Physics Research A*, 604 (1-2), 34-37, 2009.

Géométrie de l'ASIC: D¹, D² ou D³?

P 35: Comment accède-t-on aux pads sans zone morte si on veut des détecteurs « aboutables » sur 4 côtés?

=>**Géométrie D³**: l'ASIC double face est une matrice de canaux de géométrie adaptée à celle d'un détecteur pixélisé: L'aboutabilité sur 4 côtés devient possible pour des petits pixels.

1-Le D³ raisonnable.

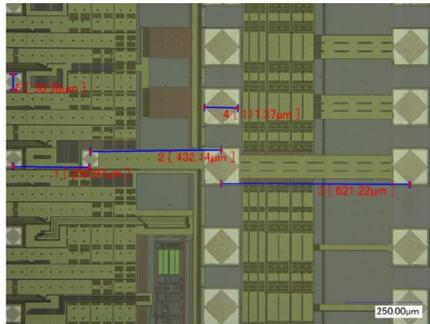


Les Thru Silicon Vias (TSV généralement via last) sont de la taille typique des PADs. Seules les entrées/sorties/bias passent par ces TSV: Permet de réduire les zones mortes pour les mosaïques de détecteurs.

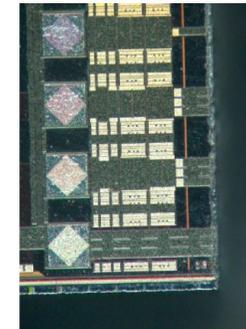
Les avantages et les inconvénients sont grosso modo les mêmes que les ASICs D².

Géométrie de l'ASIC: D¹, D² ou D³?

Exemple: Hexitec (encore!)



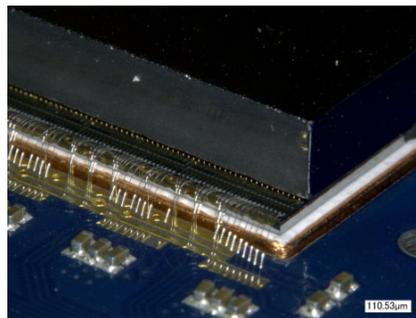
PADs Double rangée



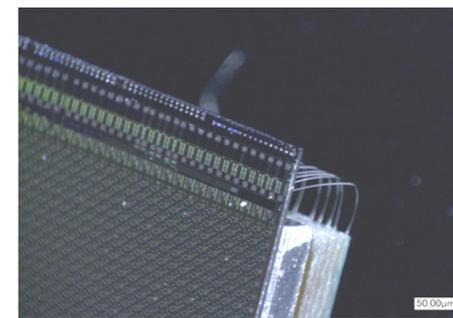
Après découpe

ASIC (AMS 0.35µm) aminci à 120µm

TSV de 50µm de large: TOHOKU-Micro Tec (Japon)



Sans TSV



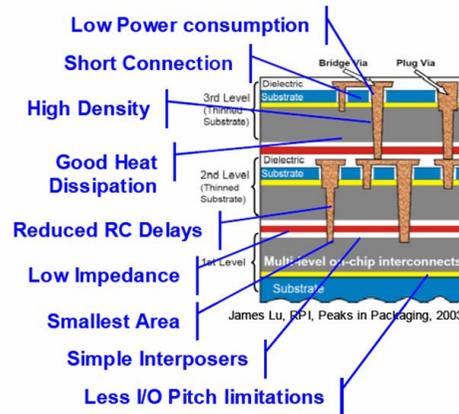
Avec TSV

Géométrie de l'ASIC: D¹, D² ou D³?

1-Le D³ moins raisonnable (pour l'instant!).

Les Thru Silicon Vias (TSV généralement via first ou middle) sont de la taille typique des « wires ». Tout signal peu passer par ces TSV.

Les avantages sont trop longs à lister:



« Le 3D c'est fantastique »

- Aboutabilité sur 4 côtés
- La surface du pixel n'impose plus la taille du canal
- Isolation Analogique/numérique
- Optimisation fonction/technologie

Géométrie de l'ASIC: D¹, D² ou D³?

Exemple: Hexitec (toujours!)

TSV (via last 2 μ m) du Fraunhofer EMFT

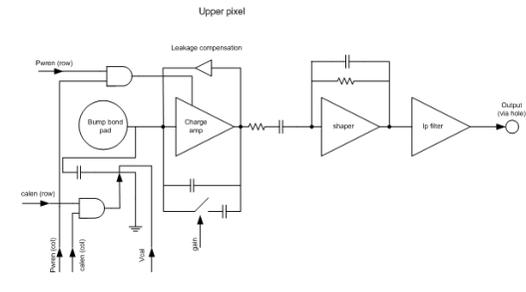
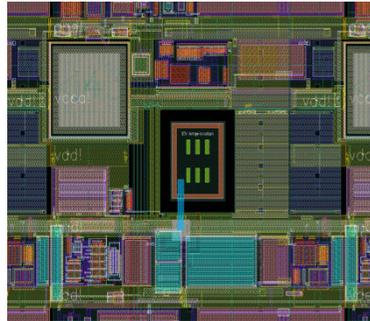
Pixel analogique:

Copie du 80 x 80 HEXITEC

250 μ m pitch

1keV FWHM @ $t_{\text{peak}}=2\mu$ s

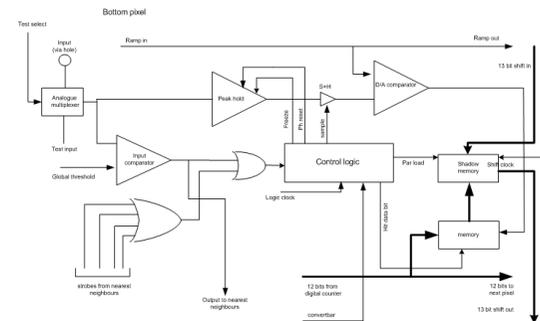
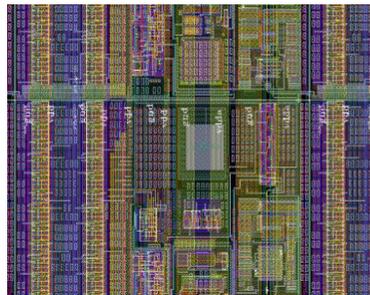
Dynamique: 150keV



Pixel numérique:

Détecteur de pic

ADC 12 bits/pixel



Conclusion

Résolution Spatiale: Va-t-on vers des pixels de plus en plus petit ?

Evidemment, mais il y a une limite due à la taille du nuage de charge généré par le photon: si on a des pixels trop petits, on fait du partage de charge => on doit être encore plus sensible à basse énergie pour récupérer les charges manquantes au pixel principal et sommer les énergies des voisins. Ca revient à améliorer la résolution spectrale.

La diminution de la taille du pixel dans le cas des ASICs matriciels implique de prendre au moins une des deux directions suivantes:

- Migration vers des technologies plus fines: aujourd'hui la plus part des design sont à $L_G > 0.25\mu\text{m}$. Pas forcément bon pour le bruit.
- 3D: La surface du canal n'est plus limitée à la surface du pixel.

Résolution Spectrale: C'est l'hybridation qui est la clef.

Les deux vont plutôt bien ensemble: plus petits pixels=>+petites capacités parasites=>moins de consommation.

Spectro-imageurs Si (CCD et DEPFET): C'est plutôt la vitesse de lecture qu'on cherche à optimiser.